パッケージの動向 —高密度実装用パッケージ

早 川 征 男*

1. まえがき

従来、半導体パッケージといえば DIP (Dual Inline Package) だけであったが、高密度実装に適したパッケージを求める市場の要求と、IC メーカーでの高密度実装に適した IC 用パッケージの開発と相まって、超小形 IC パッケージが実用化されてきている。このようすをFig.1に示す。

すなわち、高密度実装のひとつの方法は、MOSメモリにみられるように、パッケージは一定であっても素子の集積度の向上に伴って達成された例である。

また、他の高密度実装の方法は、パッケージ形態に工夫を凝らして超小形ICパッケージを開発することによって達成された例である。現在、このパッケージ形態は表面実装用パッケージとして具体化されている。

本稿では、高密度実装の要求に応える超小形ICパッケージおよびその実装技術について述べる。

2. 超小形ICパッケージ

Fig.1 に示したように現在実用化されている超小型 IC パッケージは、①チップキャリヤ、②フラットパッケージ、③SOP (Small Outline Package)、④TAB (Tape Automated Bonding) デバイスがある。

Fig.2, Tab.1には、各種パッケージ法と基板占有面積を、16kCMOS スタチック RAM を例に比較してみた。この比較によれば、SOP24を用いればパッケージの基板占有面積は157.70mm²であり、DIP24の472.44mm²に比べて33.4%の占有面積となり、66.6%もの占有面積の縮

Fig.1 Background of Surface Mount Packages

Fig.2 Occupied the Room as Various Packages
(16k CMOS SRAM)

小を可能にできることが分かる。さらに、TABデバイスを採用すればDIP 24の10.6%の占有面積となり、実に約90%もの占有面積の縮小が達成できることになる。この

* Masao Hayakawa / シャープ IC事業本部 IC技術センター

ことは、超小形パッケージは高密度実装を可能にする極めて有効な手段であることを示している。

Fig.2, Tab.1によれば、基板占有面積という観点からは、ベアチップが最もすぐれた方法であることが分かる。しかし、現実には、ベアチップの実施例は少なく、実施例の多くはチップをパッケージに組み立てた後基板に実装している。ベアチップが基板占有面積の点からはすぐれていても、実施例の少ない理由を以下に述べる。

IC、LSIの複数素子実装の宿命として、素子数の増加に伴うアセンブリ後のトータル歩留り低下の問題がある。一般にトータル歩留り (Y_{total}) は(1)式で表される。

$$Y_{total} = (Y_p)^n \tag{1}$$

ここで、

Y_{total} : ハイブリッドICの組み立て歩留り

Y_p : 素子1個当たりの組み立て歩留り

n : 基板当たりの実装素子数

(1)式をもとに Y_p をパラメータとして、実装素子数とハイブリッド組み立て歩留りの相関をFig.3に示す。

例えば、10素子のハイブリッドの場合、個別素子の歩留りが90%であるとする、ハイブリッドの歩留りは35%、個別素子の組立後の歩留りが95%であったとしてもハイブリッドの方は60%である。

Tab.1 Occupied the Room as Various Packages
(16k CMOS SRAM)

Package	DIP24	SOP24	CC24	TAB24	BARE Chip
Occupied the Room					
mm×mm	31.0 ×15.24	15.4 ×10.24	11.18 ×11.18	5.65 × 8.87	5.65 × 6.57
mm ²	472.44	157.70	124.99	50.12	37.12
	12.73	4.25	3.37	1.35	1

Fig.3 Hybrid Assembly Yield VS Chip Density

このようなトータル歩留りでは、組立工程の主たる業務は不良品の再生になってしまう。このようなところにベアチップの実用が限られるひとつの理由がある。

IC、LSIを高密度実装し、なおかつ歩留りを低下させないパッケージ、すなわち超小形ICパッケージを設計するに当たって、特に考慮しなければならないのは次の3点である。

- (1) 素子組立後電気的機能チェックが行えること。
- (2) 基板への実装後基板上での占有面積を小さくすること。
- (3) 適用する機器の要求するコスト、信頼性を満足すること。

これらを考慮して現在実用化されている超小形ICパッケージがFig.1で示した4種類のパッケージであり、いずれも表面実装用パッケージである。これらのパッケージの外観をFig.4に一覧する。

3. 超小形パッケージとアウターリード

超小形ICパッケージには、LCC(Leadless Chip Carrier)に代表されるリードレスタイプと、QFP(Quad Flat Package)やSOPに代表されるリード付タイプ(リード付タイプ)に二大別することができる。

LCCは超小形ICパッケージとして米国から提案されたパッケージで、1979年11月27日にJEDECに登録された¹⁾パッケージである。当時は超小形ICパッケージの本命であるという主張もあったが、半田接合部にかかる応力が大きく、その後の研究で半田疲労に関する問題点が指摘されてきている^{2),3),4)}。

このことから筆者の意見では、超小形ICパッケージといえども

- (1) 応力吸収
- (2) アウターリードピッチの縮小化
- (3) 半田付後の洗浄性

Fig.4 Various Surface Mount Packages

(4) 半田付後の目視性

(5) 手半田付性

の観点からは、たとえわずかな実装面積の拡大を認めても、有リードタイプが採用されるべきであると考えている。

4. 各種超小形ICパッケージの比較

ICパッケージの評価は、そのパッケージに対する要求事項の満足度によって評価されるべきである。パッケージに対する要求事項を抽出して、各種パッケージに対して等価比較を試みることは有効な方法である。

種々の超小形ICパッケージ、すなわちQFP、PLCC (Plastic Leaded Chip Carrier)、LCC、SOP、TABについて抽出したいくつかの項目について比較した結果をTab.2に示す。Tab.2の結果は考察の一結果例であって絶対的な結果ではない。パッケージの評価手法の例示である。

手半田付性はアウターリードがパッケージ本体の外にあった方が好ましいと考えてQFP、SOPを良とし、アウターリードがパッケージ本体の下に隠れてしまったりアウターリードのないPLCCやLCCを不可とした。TABはアウターリード強度の弱い分半田付が難しいと考えて可とした。

半田付後の洗浄性はパッケージと基板の間に適正な間隙の確保のできるQFP、SOP、TABを良とした。間隙の確保できないLCCを不可とし、間隙は確保できるが形状が複雑なうえパッケージ本体とアウターリードの間隙の

少ないPLCCを可とした。

半田付後の目視性については、半田付部分がパッケージ本体の外にあるか、内にあるかで判定した。

アウターリードと基板のなじみとは、半田付時にアウターリードの凹凸の吸収できる程度のことである。基板とのなじみは、リードの位置ずれしやすさと裏腹の関係にあると考えている。つまり、半田付時に半田の表面張力によって、アウターリードを基板に引き寄せることによってアウターリードと基板がなじむと考えている。

この考え方から、リード強度の弱いTABが最も優れていてQFPやSOPはそれに続き、パッケージと基板の平行度がそのまま半田付の結果に結びつくLCCを不可とし、若干の補正能力のあるPLCCを可とした。PLCCやLCCは高い精度のリード平坦度を確保して仕上げられていれば、後に平坦度を悪くすることはないので、高い半田付歩留りは期待できる。すなわち、アウターリードと基板とのなじみは半田付歩留りと直接に関係するものでないことに注意する必要がある。

最少ピンピッチは現在の実施例や規格の値を記したもので、理論的な確認や実験結果から求められたものではない。QFPの0.65mm、TABの0.3mmは生産実績値である。TABについては、すでに学会レベルでは0.2mmのアウターリードピッチも発表されているが⁵⁾、ここでは実績値の0.3mmを記した。

PLCCの1.27mm(50mil)、LCCの1.02mm(40mil)はJEDEC(Joint Electron Device Engineering Council)の規格値であり、SOPの1.27mmはIEC(International Electrotechnical Commission)、EIAJ(Electronic Indus-

Tab.2 Comparison of Various Packages

Items	Q F P	PLCC	L C C	S O P	T A B
Manual Soldering	◎	×	×	◎	○
Clean-up Procedure	○	○	×	○	○
Solder Witness	○	×	×	○	○
Lead Planarity Requirement	○	△	×	○	◎

Pin-pitch Limitation	25.6mil (0.65mm)	50mil (1.27mm)	40mil (1.02mm)	25.6mil (0.65mm)	11.8mil (0.3mm)
Occupied the Room	△	×	×	×	○
Maximum Pin Count	150	84	84	30	200
Joint Reliability	○	△	×	○	○
Lead Dislocation	△	◎	◎	△	×
Socketing	×	○	○	×	—
Package Cost	○	△	×	○	○

◎ Very Good, ○ Good, △ Fairly Good, × Bad

tries Association of Japan), JEDECの規格値である。

Fig.5は、各種超小形ICパッケージの実装密度を示したものである。ここでは、単位面積当たりのピン数を実装密度としている。Fig.4でも明らかのようにSOPは、少ピン領域(28ピンまで)のICパッケージとして使用されるのに対して、30ピンを超えるとQFPの領域となる。ここで重要なことは、QFPは確かに超小形ICパッケージとして都合のよい形状であり、高い実装密度が得られるが、多ピンになればなるほど実装密度が低下してくることである。一見すると、80ピンQFPは44ピンQFPに比べて高密度のように思えるが、実は6ピン/cm²以上も低密度なのである。

一方、0.3mmピッチでアウターリードを配したTABデバイスの場合は、100~120ピン/cm²程度の実装密度をもつことになり、これは実にQFPの5~6倍の実装密度の達成が可能になる。以上、考察を加えてきたように、アウターリードピッチを縮小すればするほど高密度化が達成できることになる。

基板占有面積は、ピンピッチが一定であればQFPの方がアウターリードがパッケージ本体の外に出ている分だけPLCCよりも大きくなる。しかし、ピンピッチが異なればこの関係も変化する。Tab.2の基板占有面積は最小ピンピッチを考慮した比較結果である。

最大ピン数は、一般論として、パッケージの大きさは1インチ(25.4mm)角以下であるべきであるという考え方から、Tab.2に示す数値を考えてみた。これも、最小ピンピッチと関係する値であると考えている。

半田付部の信頼性については、前にも述べたように、LCCは半田疲労の問題が確認されているので不可とした。PLCCはアウターリードがパッケージ本体に固定されていてリードの位置ずれの問題はないが、その反面ストレス吸収の自由度が少なく、半田付部のストレスが大きいと考えて若干のマイナス点をつけて可とした。

リードの位置ずれしやすさについては、PLCCやLCCはアウターリードがパッケージ本体に固定されているので、良とした。TABは極めて強度の小さいアウターリードではあるが、フィルム基体に固定されていて、半田付時に切り離される使い方が一般的であることから、これも良とした。QFP、SOPは、リード強度はリード位置ずれ防止の観点からは十分ではなく、リードもパッケージ本体の外にでていて、常にリード位置ずれの危険に暴されていることから、不可とした。

テストソケットの価格については、PLCC、LCC用ソケットはピンピッチが1.27mm(50mil)と大きいことと、構造の簡単なこともあって、QFP、SOPのその1/2程度であるといわれている。この絶対値については、種々な

Fig.5 Packaging Density of Various Packages

条件によって変わるとしても、QFP、SOPのソケット価格が高価であることは否めない。

パッケージ価格については、LCCの市場価格の他のパッケージの推定価格より高価であることから不可とした。PLCCについては、QFPの生産設備より複雑な生産設備が要求されることから、若干のマイナス点を考慮して可とした。TABが良であることに対して議論があるかも知れないが、シャープでは昭和51年以来10年間にわたって、最も価格の厳しい電卓用LSIにこの技術を採用してきている実績から、良とした。

以上、各種超小形ICパッケージについて比較してきたが、PLCCはフルブルーフに使えるという点から使いやすい優れたパッケージであるといえる。しかし、超小形ICパッケージに求められる二大特性、すなわち、①多ピンの達成、②高密度実装の達成、の観点からは、QFPの方がPLCCより優れているといえる。しかし、QFPにはリードが変形しやすいことと、ソケットが高価である2つの大きな欠点がある。84ピンを超える超小形汎用ICパッケージとしては、現在QFPしかないわけであるから、前に述べたQFPの2つの欠点を克服する努力がIC生産者に求められる。

アウターリード形状の設計、梱包手法に関する考察で実用上問題のないレベルまでの改善は可能であると考えている。

5. 超小形ICパッケージ標準化に関する考察

Fig.1にも示したように、超小形ICパッケージは、①小形薄形機器に適したパッケージ、②基板占有面積の小さいパッケージ、を求める市場の要求を満足する形で開発

されたものであった。この背景の中に、顧客ニーズの満足が優先し、標準化に関する概念が若干遅れたことは事実であろう。しかし、たとえ超小形ICパッケージが、カスタム指向の中に生まれたものであっても、その概念が正しければ当然標準品へも普及していく訳である。現在では、メモリ・デバイスやマイクロプロセッサに超小形ICパッケージが好んで採用される場合がある。こうなると互換性という観点から標準化が極めて重要な問題となる。

市場の要求である小形・薄形機器を作るのに適した超小形パッケージも、標準化という観点からは問題があるという指摘もある⁶⁾。現在行われている指摘自体は、考察が十分でなく議論のあるところであるが、標準化の必要なことは間違いない。

SOPについては、その一部はすでにEIAJでもJEDECでもその規格が登録されているが、その両者の間に整合性のないことが、T.OrcuttによってFig.6のように指摘されている⁶⁾。

この指摘を理解するには、EIAJとJEDECの考え方の相違を理解しなければならない。Fig.7には、EIAJとJEDECのパッケージ呼び寸法の異なりを示した。EIAJはアウターリードの基板と接する平坦部の中心間、すなわち基板の半田パットの中心間の値を呼び寸法としているのに対して、JEDECではパッケージの本体幅を呼び寸法としている。

この違いが一つの原因となって、Fig.5に示した不整合が発生してきていると考えられる。理由はともあれ不整合はユーザーにとってはたいへん迷惑な話であり、改善

の求められるところである。

EIAJ呼び寸法決定の背景は、以下のように考える。

- (1) 一般化しているDIPと同じ概念、すなわち基板の半田パットの中心間の距離を呼び寸法とする概念を踏襲した。
- (2) 同じ呼び寸法のパッケージでも、パッケージ本体幅が要求によって変化することがあり、かつこれらが同一グループ標準パッケージとして不都合が起らない場合がある。

上記の(2)で述べた具体例をFig.8に示す。Fig.8に示したTYPE 1、TYPE 2、TYPE 3の3つのTYPEのパッケージはいずれも 300mil DIP と呼ばれているパッケージである。TYPE 1は一般的に用いられている例で、パッケージ本体幅は6.35mmを採用している。この場合は、4mm幅を超える素子の実装は難しいが、パッケージ生産技術の観点からは安全度も高く安定した生産ができる。しかし、256k ダイナミックRAMのように、素子幅が4mmを超えかつ300mil DIP に実装しなければならないという命題に応えるためにTYPE 2、TYPE 3のパッケージが考えられ、実用化されている。この場合でも、パッケージ本体幅だけが異なっても他の寸法は同一であるので、実用上の問題発生はなく、互換性をもって使用されている。

この例のように、パッケージの標準化とはすべての寸法を同一にするのではなく、守らなければならない寸法は何であるかを多角的に検討して決定し、その寸法については必ず守るというふうにすべきであると考えている。この考え方からEIAJの概念は支持できる概念である。

Fig.6 SO Package Outline Comparison Thickness-Width
(Extract from 35th Electronics Components Conference Proceedings 1985 Page 279, by J.Orcutt)

Fig.7 The Difference of Nominal Dimensions for SOP Between EIAJ and JEDEC

Fig.8 Various Package Width for 300mil(7.62mm) DIP

参考文献

- 1) Electronic Industries Association (EIA), "The JEDEC Chip Carrier and LSI Package Standard", JEDEC Registered and Standard Outlines for Semiconductor Device, (1979)
- 2) Waller D.L., Fox L.R. and Hannemann R.I.: "Analysis of Surface Mount Thermal and Thermal Stress Performance", IEEE Transaction of CHMT, Vol.CHMT-6, No.3, pp.257-266, (1983)
- 3) Engermaier W.: "Fatigue Life of Leadless Chip Carrier Solder Joints During Power Cycling", IEEE Transaction on CHMT, Vol.CHMT-6, No.3, pp.232-237, (1983)
- 4) Engermeier W.: "Effects of Power Cycling on Leadless Chip Carrier Mounting Reliability ND Technology" Preedings of 2nd International Electronics Packaging Coference, pp.15-24, (1982)
- 5) Nakabu S., Nukii T., Miyake R., and Awane K.: "Development of A Pocket-sized and High Resolution Liquid Crystal Display Unit Using A Press-formed MO Substrate (Metal-Based Organic Film Substrate)", Proceedings of the 1984 International Symposium on Microelectronics, pp.318-324, (1984)
- 6) Orcutt J.W.: "Surface Mount Packaging Imperfect State of Affairs and Its Impact on Users", Proceedings 1985 35th Electronic Components Conference, pp.278-281, (1985)

6. あとがき

高密度実装技術および多ピンパッケージの要求の動向の中に、超小形ICパッケージが考案されて本格的に実用化されて久しくなる。現在までは、高密度実装と多ピン化の動向に応えるパッケージとして自由な発想で具体化されてきた感がある。それは、主として、カスタムユーザ用のパッケージとして設計され定着してきた歴史的経過にも理由があると考えている。

しかし、最近、64 k ダイナミックRAMや16 k スタチックRAMのような標準品にも、超小形ICパッケージが採用されるようになってきている。このことは、超小形ICパッケージといえども種々な角度から考察を加えて整理統合、標準化が図られるべきときに来たことを意味する。

そこで、本稿では、超小形ICパッケージのいくつかの要素について抽出して考察を試みた。この考察から結論を引き出すまでにはいたっていないが、本稿での考察の一部でも今後の超小形ICパッケージの整理統合、標準化、さらに概念確立の一助にでもなれば幸いである。

(p.12よりつづく)

月1回の技術委員会の出席が、いつしか関連委員会にも月2回、3回と出席するようになった。平委員から幹事、委員長にもなった。JISの専門委員、IECの専門委員にもなり、その責任の重さを感じる。

出席当初は、自社のことだけを考え、案を作ったり、提案していたと思う。委員会で宿題が出され、実験データを出すたびに、会社のノウハウを出すような気がしてならなかったが、それがかえって業界にとっても、自社にとってもプラスなのだということがだんだん分かってきた。

われわれの行っている標準化、規格化の作業は、自社

の主張というより、どうしたら業界にとってプラスになるか、業界全体を考え作業をしなければならない。今日決まったから、明日から実施するというものではない。将来の方向、目標を的確につかむことが大切なのだ。

自社のことだけを主張する委員がいるが、そういう人はJISの専門委員やIECの専門委員になってはならないと思う。

われわれIECの専門委員は、日本のことだけでなく、世界全体を考え作業しなければならない。

これがわれわれの使命なのである。

教訓

相手の立場も考えよう。