電子デバイス用ポリイミド

Polyimides for Electronic Devices

平本 叔*

1. はじめに

半導体素子をはじめとする電子デバイスにおいては、素子の機能を維持するための保護膜や多層配線の層間を絶縁するための層間絶縁膜が重要な役割を担っている。素子の信頼性は、これらの膜の性質に大きく依存し、従来は主として無機材料が用いられていた。しかし、無機膜は素子の大形化に伴いその形成が困難になるとともに、基板の凹凸の平坦化という新しいニーズに応えられなくなってきた。

無機材料の欠点を補うものとして注目を受けてきたのがポリイミドである。ポリイミドは、熱的、機械的、電氣的性質がすぐれているだけでなく、その構造を変えることにより電子デバイスからの多様なニーズにこたえることができる。

また、電子デバイスへの適用に不可欠な微細加工性も有しており、Fig.1の左側に示すように、ポリイミド膜上にフォトレジストのパターンを形成した後ヒドラジンでエッチングすることにより、微細パターンが形成できる。この工程は非常に煩雑であり、ポリイミドの用途展開の妨げとなっていたが、この工程を大幅に合理化できる感光性ポリイミドが開発され、ポリイミドの用途はいっきに拡大した。

本稿では、ポリイミドの材料開発の動向をトピック的に取り上げた後、その用途についてハイブリッド分野を中心に述べる。

2. 感光性ポリイミド

感光性ポリイミドの研究は、Kerwin ら¹⁾の研究に端を発している。ポリアミド酸溶液に重クロム酸を添加して感光性を付与している。この感光液を基板上に塗布し、ついで露光、現像してパターンを形成する。このパターンを熱処理してポリイミドに転換する。この方法は、感光液の寿命が著しく短いため、実用にはいたらなかった。

Siemens 社の Rubner ら²⁾は、ポリアミド酸のカルボキシル基の部分にエステル結合を介して感光基を導入する感光性ポリイミドを開発し、実用化の途を開いた。

R*：感光基

この Siemens 技術は、感度が低い、現像時に膨潤しやすい、ラインパターン間にブリッジを生じやすい、感光基が揮散しにくい等の欠点がある。この技術は、Merck, Du Pont, Ciba-Geigy, 旭化成にライセンスされ、これら各社で独自に改良が進められている。

この内、Merck 社の Merrem ら³⁾は、感光基 R*としてペンタエリスリトールトリアリルエーテルを選択し、ヒドロキシエチルメタクレートのものより感度がすぐれたものを開発した。

また、Du Pont 社のゴフ⁴⁾は感光基を有するポリイミド前駆体を、次式に例示するようなパーフロロアルキル基を有するものに規定するとともに、多官能性アクリレート化合物を添加する方法で改良を図っている。

*Hiroo Hiramoto

東レ/Toray Ind. Inc.,

Fig. 1 Polyimide Patterning Process

東レのYodaら⁵⁾は、感光基とアミノ基を有する化合物をポリイミド前駆体に添加し、塩結合で感光基を導入する方法を発表している。感光基は不飽和二重結合である。この技術が東レ感光性ポリイミド“フォトニース”

の基礎となっているといわれている⁶⁾。“フォトニース”の特長は、感度が高い、ネガ型にもかかわらず現像時の膨潤やラインパターン間のブリッジ形成がない、キュア時に感光基が揮散しやすいなどである。これらの特長は感光基の導入方法と密接な関係がある。

日立製作所の片岡ら⁷⁾も塩結合で感光基を導入する技術を開発している。片岡らは、感光基としてアジド基を選んでいる。

Ciba-Geigy社のPfeiferら⁸⁾は、次に示すような特定構造のポリイミドが感光性を有することを見出した。

R, R': アルキル基

イミド閉環していることと増感剤を必要としないことが他の感光性ポリイミドに見られない特徴である。イミド結合に対してオルソ位のアルキル基が感光性に大きく寄与しているが、感光機構は分かっていない。置換基の数が多いほど感度が高い。

上述の感光性ポリイミドはいずれもネガ型である。半導体微細加工用フォトレジストの場合、ネガ型は現像時の膨潤のため解像度が低く、しだいにポジ型に変わりつつある。上述のネガ型感光性ポリイミドも東レ“フォトニース”のような塩結合型を除けばいずれも現像時の膨潤の問題をかかえており、フォトレジストと同様にポジ型への期待がある。三菱電機の久保田ら⁹⁾はポジ型感光性ポリイミドを合成した。このポリマのUV吸収スペクトルには260~270nm付近に0-ニトロベンジル基の吸収があり、このピークはUV照射により消失する。UV照射により0-ニトロベンジル基がはずれ、側鎖がカルボキシル基になるためアルカリ可溶性になる。2%KOH水溶液により現像すればパターンを得ることができる。

以上感光性ポリイミドの材料開発の動向について述べたが、感光特性の代表例として東レ感光性ポリイミド“フォトニース”の感度曲線と分光感度曲線をFig. 2, Fig. 3に示す。Fig. 2から、UR-3100と高感度タイプの適正露光量は各々70mJ/cm², 7mJ/cm²で、前者はポジ型フォトレジスト並、後者はネガ型フォトレジスト並の高い感度を有していることが分かる。Fig. 3の分光感度については、いずれのタイプも感光ピークは390nm近傍にある。UR-3100の場合は*i*線と*h*線が主として感光に寄与しており、*g*線の寄与は小さい。一方、UR-3600の場合はいずれの輝線に対してもUR-3100より高い感度を有しており、ステッパで用いられる*g*線に対しても十分実用レベルの感度を有している。

3. 低熱膨張性ポリイミド

Numataら¹⁰⁾は、各種有機材料と無機材料の線膨張率をFig. 4のように整理している。従来電子デバイスに用いられてきたポリイミドの熱膨張率は4~6×10⁻⁵/°Cで、

Fig. 2 Photosensitivity of “PHOTONEECE”

Fig. 3 Photosensitivity Spectra of “PHOTONEECE”

電子デバイスに用いられる各種無機材料に比較して2~10倍の値である。このように熱膨張率に差があるとポリイミドと無機材料を積層して使用する場合に問題を生じることがある。例えば、シリコンウェハにα線遮蔽膜のような厚いポリイミド膜を形成する場合、キュア温度から室温に冷却する過程で収縮の度合いが異なるため基板に反りが生じる。基板に反りが生じるとパターン加工時マスクが均一にコンタクトできない問題が生じたり、極端な場合には素子特性も影響を受ける。また、ポリイミド上に窒化シリコンを形成する場合、熱膨張率が異なると窒化シリコン膜にクラックが生じる¹¹⁾。このような問題はポリイミドの熱膨張率を下げた無機材料と合わすことによって解決できるので、低熱膨張率ポリイミドが強く求められるようになってきた。

Numataら¹⁰⁾はポリイミドの化学構造と熱膨張率の関係を詳しく調べ、ポリイミドの熱膨張率が4×10⁻⁷~6×10⁻⁵/°Cの広い範囲に分布していることを示した。これらの内、無機材料と同程度(2×10⁻⁵/°C以下)の低い熱

Fig. 4 Thermal Expansion Coefficients of Various Materials¹⁰⁾

膨張率をもつものが低熱膨張率ポリイミドと呼ばれている。低熱膨張率ポリイミドを構成するジアミン成分の化学構造を Fig. 5 に示す。環構造のパラ位に結合しているのが特徴である。また、ベンゼン環に置換基のついたものも多い。一方、酸無水物としては、ピロメリット酸無水物とビフェニルテトラカルボン酸無水物が好適で、柔軟なケトン基を有するベンゾフェノンテトラカルボン酸無水物は適していない。低熱膨張率ポリイミドは、化学構造的には剛直で、直線状の棒状構造を有しているのが特徴である。代表的な低熱膨張率ポリイミドを Tab. 1 に示す。

4. バッファコート

LSI チップサイズが大きくなり、また配線が微細化するに伴って、封止樹脂の応力に起因するチップの不良率が高まっている。特に、半田づけをする表面実装パッケージでは、半田づけ中に大きな熱応力を受けてバッシベーション膜にクラックを生じて素子寿命が低下する。

また、DRAM のセンスアンプが封止樹脂に含まれる無機フィラによって誤動作を起こすことも報告されている¹²⁾。樹脂の体積収縮やチップと樹脂の熱膨張率に起因する内部応力が無機フィラの凸部を介してチップに集中的に伝わって発生するといわれている。

このような封止樹脂の応力に起因する不良は、チップ上にポリイミドのバッファコート層を形成することにより大幅に低減できることが可能となった^{12),13)}。

封止樹脂のストレスを吸収するという意味から、バッファコート用ポリイミドとして低ヤング率ポリイミドが注目されている。代表的な低ヤング率ポリイミドである東レ“セミコファイン” SP-200 シリーズの物性を Tab. 2 に示す。

Fig. 5 Conformation of Various Diamines for Low Thermal Expansion Coefficient Polyimides¹⁰⁾

5. ポリイミドの電子デバイスへの応用

ポリイミドは、ディスクリートや LSI などの半導体素子の層間絶縁膜や保護膜、液晶表示素子の配向膜、コンピュータ用 LSI 実装基板やラインセンサなどの広義のハイブリッド素子の層間絶縁膜や保護膜として広く実用に使われている。

LSI の分野では、封止樹脂に起因するストレスの影響を軽減するためのバッファコートが最近注目されている。4MDRAM でも多くのメーカーが 5 ~ 7.5 μm のポリイミドバッファコートの採用を決定している¹⁴⁾。この分野では低ヤング率のポリイミドが求められている。

また、LSI の分野では、多層配線の重要性が増しており、低吸湿ポリイミドや分極の小さいポリイミドが求められている。また、加工上の利点から感光性ポリイミド

Tab. 1 Typical Low Thermal Expansion Coefficient Polyimides¹⁰⁾ (unit: $\times 10^{-5} \text{K}^{-1}$)

0.04
0.20
0.26
0.54
0.59
1.00
1.83

Tab. 2 Properties of Buffer Coat Polyimides

Item	Units	Typical Values	
		SP-220	SP-270
Tensile Strength	[kg/mm ²]	12	12
Elongation	[%]	25	30
Young's Modulus	[kg/mm ²]	170	160
Melting Point	[°C]	None	None
Glass Transition Temperature (Tg)	[°C]	284	None
Coefficient of Thermal Expansion	[1/°C]	4.5×10^{-5}	4.2×10^{-5}
Dielectric Constant	(1kHz, 25°C)	3.3	3.1
Dissipation Factor	(1kHz, 25°C)	0.001	0.001
Volume Resistivity	[Ωcm]	3.0×10^{16}	3.0×10^{16}
Surface Resistivity	[Ω]	10^{16} minimum	10^{16} minimum
Dielectric Strength	[kV/mm]	240	350

を用いるケースが多くなっている。

NTTの内藤ら¹⁵⁾は、感光性ポリイミド“フォトニース”を層間絶縁膜に用いた20K ゲート CMOS 論理 LSI を試作した。実効チップサイズは 12mm×12mm で、5 層のアルミ配線が形成されている。ポリイミド層間絶縁膜の厚さは 1.6 μm で、スルーホールサイズは 3 μm である。上層アルミ配線と下層アルミ配線との間の層間緑緑耐圧は 200V/ μm 以上、スルーホール部のコンタクト抵抗は $8 \times 10^{-7} \Omega / \text{cm}^2$ 以下と実用上十分な値を得ている。また、5 層配線を形成した LSI の論理回路もすべて正常に働き、多層配線しても残留応力の小さいポリイミドの効果が確認された。

コンピュータ用 LSI 実装基板、ラインセンサ、サーマ

ルヘッド、通信用回路など広義のハイブリッド素子の分野は、ポリイミドの主要な用途である。コンピュータ用 LSI 実装基板では、ポリイミドを用いることにより信号の高速化が図れる^{16), 17)}。その他のデバイスでは、ポリイミドを用いることにより比較的大きな基板に簡便に信頼性の高い絶縁・保護膜が形成できる。これらの分野では、感光性ポリイミドが使われるケースが多い。

NEC は、スーパーコンピュータ SX-2 の LSI 実装基板の層間絶縁膜にポリイミドを採用した¹⁸⁾。その断面図を Fig. 6 に示す。セラミック基板上にポリイミドを層間絶縁膜として用いた信号回路が形成されている。同回路は配線幅 25 μm 、配線ピッチ 75 μm の高密度配線で信号の高速化に大きく寄与している。

NTT の Ohsaki ら^{19),20)}は、感光性ポリイミドを層間絶縁膜に用いた高密度 IC 実装基板を発表している。90mm 平方のセラミック基板上に、ポリイミドを層間絶縁膜に用いた 4 層配線が形成されている。4 層の配線は、2 層の信号層とその上下に形成した電力／アース層からなっ

ている。ポリイミドの膜厚は $23\mu\text{m}$ で、ビアホールは $50\mu\text{m}$ 平方である。配線は湿式法(無電解メッキ／電解メッキ)で形成しており、**Fig. 7**に示すように乾式法(スパッタリング)に比較して、段差部の信頼性が高い。**Tab. 3**に配線とポリイミド膜の主要特性を示す。多層セラミック

Fig. 6 Multi-layer Ceramic Substrate Cross Section¹⁸⁾

Fig. 7 Metallization Process for the Via-Holes¹⁹⁾

Tab. 3 Characteristics of Fabricated Substrate¹⁹⁾

	New substrate	Co-fired multilayer ceramicsubstrate
Characteristic impedance	50 Ω	50 Ω
Dielectric constant	3.3	9.5
Line width	25 μm	100 μm
Via-hole size	50 μm $\square$	100 μm ϕ
Line resistance	1.3 Ω/cm (1.3 Ω/cm)	0.8 Ω/cm
Line capacitance	1.2 pF/cm(1.3 pF/cm)	2.3 pF/cm
Propagation delay	60 ps/cm(61 ps/cm)	100 ps/cm

() are calculated values.

Tab. 4 Characteristics²⁴⁾

Items	Conditions	Results
*Conductor Sheet resistivity Adhesion strength	6 μm thickness ϕ 1.5mm pattern pull speed 5mm/min	3.0 m $\Omega/\square$ >2.5 kgf/mm ²
*Insulator Surface resistance	DC 100 volts, 50 μm gap PCT 2 atoms., 200 hrs	10 ¹³ Ω 10 ¹¹
Interlayer resistance	DC 100 volts, 10 μm mt. PCT 2 atoms., 200 hrs	10 ¹³ 10 ¹¹
Break down voltage	10 μm thickness, DC	3.4 kV
Dielectric constant	PCT 2 atoms., 300 hrs	3.0 kV
Dissipation factor	Room temp., 1 kHz	3.5
	Room temp., 1 kHz	0.003

Fig. 8 Schematic Structure²⁴⁾

基板に比較して、高密度つまり信号のパスが短く、誘電率が低いので信号の遅延が小さい。25 μm 幅、6 μm 厚の信号ラインの遅延は60 ps/cmで、多層セラミック基板より40%小さい。2 Gbit 以上の高速信号のやりとりが可能である。

将来、高速 VLSI チップを搭載する大規模マルチチップパッケージへの展開が期待されている。

Brown Boveri (現 Asea, Brown Boveri) の Ackermann ら²¹⁾ 感光性ポリイミドを層間絶縁膜に用いた薄膜回路を開発した。99.5%の Al₂O₃ 基板を用いている。配線は2層で、配線幅75 μm 、取線間50 μm の設計となっている。ポリイミド層間絶縁膜は約10 μm で、スルーホールサイズは50 μm である。回路を形成した基板上に ASIC (用途特定集積回路) 3個と RAM 2個を実装している。基板サイズは39 mm $\times$ 27 mm である。DIL パッケージ LSI を用いて同じ回路を形成すると 100 mm $\times$ 150 mm のプリント回路が18枚必要となる。感度ポリイミドの使用により配線の高密度化が可能になり、機能素子を大幅に縮小できる。

三菱電機の Takasago ら^{22)~24)} は、感光性ポリイミド“フォトニース”を層間絶縁膜に用いたハイブリッド IC を開発した。断面図を Fig. 8 に示す。放熱性のすぐれた

銅を基板に用い、ポリイミドを層間絶縁膜に用いた銅の配線を形成している。IC の下に銅のヒートシンクを形成して、銅基板への伝熱を促進している。ポリイミドの標準膜厚は10 μm である。Tab. 4 に導体とポリイミド絶縁膜の主要特性を示す。絶縁破壊電圧は、PCT (121°C, 2atm H₂O, 300hr) 前後で、各々3.4 kV, 3 kV である。高電力用 IC 実装基板に適している。

松下電器の由上ら²⁵⁾ は、“フォトニース”を保護膜に用いた密着型イメージセンサを発表している。耐湿熱性にすぐれていることが採用の理由である。

6. おわりに

電子デバイス用ポリイミドコーティング剤の技術動向を概説した。ポリイミドは、そのすぐれた膜形成性、パターン形成能、膜物性を武器に電子デバイスへの応用が着実に進められている。また、電子デバイスの多様なニーズにこたえるべく、材料そのものの改良も強力に進められており、今後の大きな展開が期待できる。

参 考 文 献

- 1) R. E. Kerwin, M. R. Goldrick : Polymer Eng. Sci. 11, 426,

- (1971)
- 2) R. Rubner, H. Ahne, E. Kühn, G. Kolodziej : Photograph. Sci. Eng. 23, (5), 303, (1979)
 - 3) H. J. Merrem, R. Klug, H. Härtner : Polyimides, Vol. II, 919, (1984), Plenum Press.
 - 4) デュポン : 特開昭58-120636
 - 5) N. Yoda, H. Hiramoto : J. Macromol. Sci. (Chem) A21, 1641, (1984)
 - 6) 日経ニューマテリアル : 1986年4月7日号, p.49
 - 7) 日立製作所 : 特開昭57-102926
 - 8) J. Pfeifer, O. Rohde : 2nd Intern. Conf. on Polyimides p.130, (1985)
 - 9) 久保田, 森脇, 安藤, 不可三 : 日本化学会第51秋季年会, 3B3-15, (1985)
 - 10) S. Numata, K. Fujisaki, D. Makino, N. Kinjo : 2nd Intern. Conf. on Polyimides, 492, (1986)
 - 11) 三沢, 門馬, 沼田, 金城 : 月刊 Semiconductor World, 1986 (10), 40
 - 12) K. Arimoto et al. : Proceedings of Symp. on VLSI Technology, VIII-3, (1985)
 - 13) S. Sasaki et al. : Proceedings of 34th Electronic Components Conf. 383, (1984)
 - 14) 日経マイクロデバイス, 1988年5月号, p.41
 - 15) 内藤, 角田, 和田 : 電気通信学会・半導体トランジスタ研究会
子稿, SSD86-70, 85, (1986)
 - 16) M. Terasawa, S. Minami, J. Rubin : Intern. J. for Hybrid Microelectronics, 6, (1), 607, (1983)
 - 17) T. A. Lane, F. J. Belcourt, R. J. Jensen : 37 th Electronic Components Conf. 614, (1987)
 - 18) 村野, 成田, 渡里, 松尾, 岡野 : 日経エレクトロニクス, 1985年6月17日号, p.243
 - 19) T. Ohsaki, T. Yasuda, S. Yamaguchi, T. Kon : Preprint, Electronic Manufacturing Tech. Symp., 178, (1987)
 - 20) K. Moriya, T. Ohsaki, K. Katsura : 34th Electronic Components Conf., 82, (1984)
 - 21) K. Ackermann, R. Hug, G. Berner : Intern. Symp. on Microelectronics, 519, (1986)
 - 22) H. Takasago, M. Takada, K. Adachi, A. Endo, K. Yamada, Y. Ohnishi, Y. Morihiro : 34th Electronic Components Conf., 324, (1984)
 - 23) H. Takasago, M. Takeda, K. Adachi, A. Endo, K. Yamada, T. Makita, E. Gofuku, Y. Ohnishi : 36th Electronic Components Conf., 481, (1986)
 - 24) K. Adachi, A. Endo, M. Takada, H. Takasago, Y. Ohnishi : Printed Circuit World Convention VI, 40, (1987)
 - 25) 由上, 西谷, 山下 : 画像電子学会・第76回研究会講演予稿, (1983. 11. 21)