プリント配線板の自動配線設計手法

後 藤 敏*

Automatic Routing Algorithms for PWB.
Satoshi GOTO *

* 日本電気株式会社 C & C システム研究所 (〒213 神奈川県川崎市宮前区宮崎 4-1-1)

* C&C Systems Research Laboratories, NEC Corporation (4-1-1, Miyazaki, Miyamae-ku, Kawasaki-shi, Kanagawa 213)

1. はじめに

プリント配線板の配線手法の歴史は、Lee の論文に始まり、既に25年余を経過した。この間、電子機器の進歩、特にデジタル機器の急速な発展に即応して、自動化のための手法およびプログラムが開発されてきた。60年代は基本手法の考案と、自動配線の実用化の開始、70年代は実用化の本格化と配線手法の改良、80年代はより複雑な、大規模プリント配線板に対応するための改良がなされてきた。配線の基本手法の開発は70年代前半に終わり、その後はより複雑な製造条件と大規模化に対する工夫がなされてきたといえよう。

では、この間に配線問題は解決したかと言えば否である。今もって、どのような自動配線プログラムをもってきても、すべての問題について100%の結線を行うことはできない。複数本の信号線を基板上に収容できるように配線する問題は、しらみつぶし法(総当たり法)以外では解けないとされている。つまり、結ぶべき信号線のすべての可能な経路を考えておき、経路が接触しないように、配線経路を選べば、この問題は解ける。しかし、可能な経路の数や配線経路が接触しないかを調べる回数は、配線板の大きさ(配線格子数)に従い、指数関数的に増加するために、少し大きな配線板(数百の配線格子)でも、コンピュータ処理時間が膨大にかかってしまう。まして、数万以上の配線格子をもつ実際の配線板では、しらみつぶし法を採用することは考えられ

ない。

結局、実用化に供している配線手法は、信号線に適当な順序づけを行い、順序に従って、1本ずつ、できるだけ素直な経路を見つける方法を基本的には採用している。

実際の配線プログラムでは、次のような制約条件を考慮して作られている。

(1) 回路接続条件

論理的に等価な端子、等電位な端子を考慮して、論理的に正しく、端子間を接続する。

(2) 幾何学的条件

製造プロセスにより決まる配線幅、ピンまたはビアホールサイズ、配線間隔、ホール間隔、配線-ホール間隔の制限を守って、配線を行う。

(3) 電気的条件

遅延時間、雑音特性を制限値以下にするために、最大配線長、平行配線長、分岐長に制限を設けて、配線を行う。

本文では、配線手法について解説するために、上記の条件を考慮した説明は省略する。まず、迷路法、線分探索法という古典的手法を述べ、次に、比較的最近になって開発された同時配線法や引きはがし法、更に知識ベース手法について解説する。

2. 迷路法

2.1 基本原理¹⁾

昔、ピラミッドの中に入り、迷路を動き回りながら、宝物を探して、無事に脱出するにはどのように

4	3	2	3	4	5	6	7	8	9
3	2	1	2	3	4	5	6	7	8
2	1	A(0)		4	5	6	7		9
3	2	1		5	6	7			
4	3	2		6		8	9	10	11
5	4	3		7				11	
6	5	4		8	9	10	11	B(12)	
7				9	10	11			
8	9	10		10	11				
9	10	11		11					

図 1. 迷路法の前進探索

		1	2	3	4				
		A(0)			5				
					6	7			
						8	9	10	
								11	
								B(12)	

図 2. 迷路法の後退探索

するかが動機となって考え出された方法といわれている。直観的には池の中に石を投げ込んだとき、波紋の広がりを見ればよい。波紋が目的物にぶつかれば、経路が存在したこととなり、ぶつからなければ経路は存在しないこととなる。1 層配線で、2 点間（A と B）を結ぶ問題を例にとり、基本的手法を述べる。

〔前進探索〕

- (1) 出発点 A の格子点にラベル“0”を与える。
 $i = 0$
- (2) ラベル“i”が付いている格子点を取り出し、それに隣接する格子点の内、禁止点以外でラベルが付いていないものがあれば、“i+1”のラベルを付ける。“i+1”のラベルを付ける格子点が無ければ処理を終了する（経路は存在しない）。
- (3) 目標点 B に“i+1”のラベルが付いたならば、後退探索へ。付かないならば $i = i + 1$ として、(2)へ戻る。

〔後退探索〕

- (4) 目標点 B（ラベル“i+1”をもつ）を選ぶ。
- (5) ラベル“i+1”が付いている格子点に対して、隣接格子でラベル“i”のものを1つ選ぶ。 $i = 0$ ならば、A までの経路が求まったこととなる。
- (6) $i = i - 1$ として、(5)へ戻る。

図 1 に前進探索、図 2 に後退探索の例を示す。

2.2 実用化に際しての考慮点

基本原理は極めて簡単であるが、実際の問題に対処するには、次のいくつかの問題を考慮して、プロ

グラム化をはからねばならない。

2.2.1 多層配線

配線層が3層以上の場合は、2層問題に分解して解く。上記で述べた基本原理を2層に拡張するには、第1層と第2層のビアホールも1配線格子と考え、ラベル付けを行っていけばよい^{2), 3)}。

2.2.2 配線経路の選択

迷路法では、2点間を結ぶ最短距離にある経路が選ばれる。一般には、最短経路は複数本あり、この内から1個の経路を選ばねばならない。この選択は後退探索時に、折れ曲がり数やビアホール数等のいずれを最小にするかを評価項目として、経路探索を行う。図1の例で、折れ曲がり数（X-Y原則の場合はビアホール数）が最小な配線経路は図2ではなく、図3となる。一般には、2.3.3の深さ優先探索によって、経路の最適化を行う。

2.2.3 多点間配線

3点以上を結ぶ際には、まず1点から複数個の目標点に対して、ラベル付けをし、2点間の配線経路

		1	2	3					
		A(0)		4					
				5					
				6					
				7					
				8	9	10	11	B(12)	

図 3. 迷路法の後退探索時における経路の最適化

を求める。次に、求めた配線経路上にある格子点をすべて出発点として、つながっていない目標点に対して探索を行う。

2.2.4 データ構造

迷路法では、すべての格子点について配線状態を記憶しておく必要があり、必要とするメモリ（セルマップと呼ぶ）は格子点数×配線状態数となる。配線状態は、配線禁止、ピア、既配線等であり、1格子点当たり、 $2n + 3$ ビット、または $3n + 1$ ビット（ n は配線層数）で表すものが一般的である⁴⁾。ラベル値に関しては、図1のようなラベル値を付けると膨大なメモリ量が必要なため、配線が格子状であることを利用して、ラベル値として、1-1-2-2-1-1-2-2-、1-2-3-1-2-3-とすることにより、2ビットで済みます方法³²⁾がとられている。

2.3 高速化法

迷路法はラベル付けされた格子の数(探索範囲)に、計算時間がほぼ比例するために、探索範囲をいかに減らすかが、迷路法の高速化の鍵である。以下に、今まで提案された方法を紹介する。

2.3.1 出発点の選択³²⁾

2点間A、Bを結ぶ経路を求める際、基板の端に近いほうを出発点とする。図4の例ではAを出発点に選んだほうが、探索範囲が狭い。1点Aと線分Bを結ぶ経路を求めるには、図5に示すように、点を出発点としたほうが探索範囲が狭い。

2.3.2 探索範囲の限定³²⁾

あらかじめ、A、Bを含む矩形や適当な枠を設定し、その内部だけを探索範囲とする。高速化を狙うと同時に、配線長に制限を設けた経路や、特定の配線経路パターンを求める時にも用いる（図6）。

2.3.3 深さ優先探索

2.1で述べた方法は、広さ優先探索（Breadth-First-Search）と呼ばれ、等路離にある格子点を波状に探すものである。一方、古くから深さ優先探索（Depth-First-Search）法が知られており、この方法を経路探索に用いる^{5), 6)}。点Aから出発して、隣接するすべての格子点にラベル付けをするのではなく、目標点Bに近づく方向にある1つの隣接点だけにラベル付けをする。ラベル付けが行き詰ま

(a) Aが出发点 (b) Bが出发点
図4. 出発点の選択

(a) 点Aが出发点 (b) 線Bが出发点
図5. 出発点の選択

(a) 矩形の探索範囲 (b) 特定経路の発見用探索範囲
図6. 探索範囲の限定

図7. 深さ優先探索による経路発見

れば、もっとも新しくラベル付けされた格子点に戻る。戻ってもラベル付けができなくなれば、目標点Bから遠ざかる方向を許して、ラベル付けを行う。

図7に示すように、DFSはBFSに比べて探索範囲が狭い(図1と比較のこと)ため、配線経路が単純な場合は速い。しかし、ラベル付けの制約のために、スタック操作を必要とし、配線経路が複雑になると遅くなる^{7),8)}。

3. 線分探索法

3.1 基本原理

迷路法は2点間を結ぶ経路があれば、必ず発見するという長所をもつ。ところが、発見する経路は格子点のラベル付けによって決まるために、欲しい配線パターンがなかなか求まらない。あえて求めようとすると、配線プログラムに様々な制御を入れることとなり、プログラムが複雑になってしまう。そこで、特定の配線パターンのみが生成されるように、あらかじめ決めておき、配線経路の探索を行う。配線経路を単純な線分パターンで探すことから線分探索法と呼ばれる。特定の配線パターンに限定しているために、発見に要する計算時間は迷路法に比べてかなり短い、2点間に経路があっても見つからないことは当然起こる。

3.2 パターン限定法

配線パターンの折れ曲がり数(ピアホール数)を2以下に限定した場合を特別にパターン限定法と呼ぶ。配線パターンの形状によって、I、L、Z型と呼ばれる⁴²⁾(図8)。

- (a) I型: 折れ曲がり数が0の配線パターン
- (b) L型: 折れ曲がり数が1の配線パターン
- (c) Z型: 折れ曲がり数が2の配線パターン

極めて単純な配線パターンではあるが、通常のプリント配線板では、この方法によって、60~70%の信号線を結線することができる。

3.3 一般線分探索法

結ぶべき2点A、Bから、次々と水平または垂直の線分を交互に発生させ、発生させた線分で結ぶべき経路を発見する方法である。図9に示すように、まずAを通る水平および垂直の線分を発生させる。この線分レベルを“0”とする。同様に、Bを通るレベル“0”の線分を2本発生させる。これらの線分同士が重なれば2点間を結ぶ、折れ曲がり数が1以下

図8. パターン限定法

図9. 線分探索法

の配線経路が見つかったことになる。重ならなければ、Aのレベル“0”の線分から、禁止領域を乗り越えるように、垂直な線分(レベル“1”と呼ぶ)を発生させ、レベル“0”のBの発生線分との重なりを調べる。重ならなければ、Bのレベル“0”の線分から垂直なレベル“1”の線分を発生させる。この操作を、A、B両側より繰り返して、与えられたレベルの値まで、探索を続ける^{11),12)}。

レベルの値は、配線パターンの折れ曲がり数またはピアホール数に相当し、大きな値を与えれば、複雑な配線パターンをも探し、計算時間もかかる。一方、小さな値では、単純な配線パターンだけを探し、計算時間も短い。この方法は、折れ曲がり数を3以上でも扱えるパターン限定法の一般化と考えることができる。図9の例では、折れ曲がり数が3の配線パターンが発見されている。

より一般化した方法として、発生する線分数を水平または垂直方向に1本ではなく、複数本発生させるライン・メイズ法と呼ばれるものがある。線分探索法に迷路法の良さを取り入れた方法である。

3.4 データ構造

探索用データ構造としては、迷路法で使ったセルマップを使う場合と、線分データ自身をもつ場合の2通りがある。前者は、セルマップ上で格子点をチェックしながら線分を発生させるもので、特定の配線にターンを生成することが迷路法と異なる。セルマップを用いれば、迷路法や線分探索法の区別なしに、同一データ構造上で即時に、自由に処理ができるという利点がある。後者は、X、Yの各座標軸ごとに、使用可能な配線格子を線分データでもつために、基板上に禁止領域あるいは配線線分が少ない時は、線分の発生は非常に速い。しかし、禁止領域が増えてくると、発生する線分の探索に時間がかかり、セルマップよりも有利とはいえなくなる。また、線分探索法の後に迷路法を実行させようとするれば、データ構造の変換が必要となる。

4. その他の配線手法

世の中で実際に使われている配線プログラムでは迷路法と線分探索法が採用されているが、新しい試みもいくつかされている。以下では、代表的な方法を紹介する。

4.1 2段階配線法

プリント配線板の高密度化に伴い、ピン間に配線できる本数が2本から3本、5本へと増加している。迷路法や線分探索法のように基板上に配線格子を設けて配線を行う方法を採用すると、配線格子数が極めて多くなり、処理速度の低下と記憶容量の増大を招いてしまう。このために配線格子を設けずに、配線経路を決定する方法の開発が望まれていた。

2段階配線法は大局的な(トポロジカル)経路と詳細な経路の2段階に分けて、配線経路を見つけるもので、以下の2つのステップからなる。

- (1) ピン間の配線格子数をチャンネル容量として考え、信号線をチャンネル容量を越さないように、どのピン間に通すか(配線格子の絶対位置までは決めない)というチャンネル割り当て問題を解く。
- (2) 割り当てられた大局経路に従って、チャンネルごとに、配線格子レベルで配線経路を求める。

16) ではチャンネル割り当て法として線分探索法を

図10. 一行配線

用い、17)、18) で提案された一行配線可能条件をチェックしながらチャンネル割り当てをし、その後一行配線で最終的な経路を決定する方法を提案している。一行配線とは図10に示すように、一行に並んだピンに対して、上、下ストリートとピン間の配線本数を守って、平面上に配線パターンを描くことである。ピン間4本までの問題に対して、平面上に配線パターンが描ける必要十分条件が分かっている。ピン間本数が増えても、計算時間の増加は少なく、配線性能を向上させることが報告されている。

同様のアプローチが19)でされているが一行配線に限定しないで、2次元に並んだピン上でチャンネル割り当てをし、斜め線も許して詳細配線を行うことが17)と異なる。

4.2 ダイナミック・ルータ

上記で述べたすべての配線手法は、ある信号線について配線経路が決まれば、配線経路は2度と動かしないうで、次の信号線の経路決定をする方法をとっている。すなわち、本来は信号線間の相互影響を考えて(2段階配線法は少し考えているが)、配線経路を決定すべきなのに、未処理の信号線の実在は無視して、配線経路を決めている。配線経路が見つからなければ、その信号線の結線はあきらめて、未結線として、次の信号線の処理へ進む。この意味で従来の配線手法をスタティック(静的)手法と呼ぶ。一方、配線経路が見つからなかった時、結線を邪魔している配線を動かして、結線を試みる手法をダイナミック(動的)手法と呼ぶ^{22)~25)}。

ダイナミック・ルータは以下のステップからなる。

- (1) ある信号線の結線が不能のとき、その結線を邪魔している配線(障害配線)を発見する。
- (2) 障害配線を除去する。
- (3) 結線しようとする信号線と除去した障害配線を結線する。

(1)の障害配線の発見には、迷路法を用いて波紋を広げていき、ラベル付けを不可能としている既配線

図 11. ダイナミック・ルータ

を見つける方法がとられている。より効果的に障害配線を見つける工夫がいくつかされている^{25), 26)}。

3) の問題は、本来の配線問題の部分問題であり、本数が少ない配線問題を解くことになる。一般的には解けないため、25) ではまず結線が不能だった信号線を結び、次に除去した障害配線を順序を変えながら結線する方法がとられている。

図11はダイナミック・ルータが有効に働いた例である。実験結果では1%前後の結線率の向上がはかられたことの報告がある²⁵⁾。

4.3 知識ベース手法

どのような自動配線手法を用いても、100%の結線率を達成することはできない。したがって、現在のCADシステムは、対話型システムをもっており、人間がディスプレイ上の配線パターン図を見ながら、パターンの修正と追加の作業を繰り返して、完全な配線パターンを実現する。この人間の作業をコンピュータに置き換えるものとして、AI手法を導入した配線手法が研究開発されている^{29), 30)}。システム自身はLSIのパターン設計用であるが、配線手法はそのままプリント基板へも適用できるため、紹介をしておく。

ディスプレイ上で設計者が行っていることは、以下のとおりである。

- ①未結線のピン対が基板上のどこにあるかを探し、どのピン対から結線していくかを定める。
- ②未結線のピン対の結線を妨げている既配線を探し、どの既配線のパターンをどのように変えれば、未結線のピン対がどこに配線できるかを考える。
- ③考えた解決案に基づいて、ディスプレイ上で、タブレットとファンクション・キーボードを操作し、既配線パターンを変更し、新しい配線パターンを生成する。
- ④考えた解決案が不成功であったならば、別の案を

図 12. 知識ベースに基づく配線手法

実行するために、①または②に戻る。

このときの、どの、どのように、どこ、の決め方により、設計を完成させる時間が大幅に異なる。能力のある設計者は、これらを首尾よく決められる。そこで、これらの熟練者のノウハウを知識ベースとして、コンピュータ内に格納しておき、問題の場面に応じて、適切に取り出して、問題解決に利用する方法が、知識ベース（人工知能）に基づく配線手法である（図12）。人手設計に比べて、1/3～1/4の時間内で未結線解決ができることが報告されている³¹⁾。

5. おわりに

プリント配線板の配線手法について、古典的手法から最近の状況までを簡単に説明した。配線問題は古くて新しい問題であり、この30年間、研究課題として取り上げられ、多数の配線プログラムが開発され、実用に供せられてきた。おそらく、全世界で発表された論文は1000件、開発されたシステムは100件を下らないであろう。その大半は、基本的手法の開発よりはむしろ、新しい製造プロセスへの対処と手法の改良に力が注がれている。

今後、より大規模、高密度なプリント配線板に対して、100%結線を得るための基本的配線手法の研究開発が望まれる。

(1987. 2. 26 - 受理)

文 献

迷路法

- 1) C.Y.Lee: "An algorithm for path connection

and its applications", IRE Trans., EC-16, p. 345 (1961).

- 2) F. Rubin : "The Lee path algorithm", IEEE Trans. Comput., C-23, p. 907 (1974).
- 3) J. H. Hoel : "Some Variations of Lee's Algorithm", ibid., Vol. C-25, pp.19-24 (1976).
- 4) S.B. Akers : "A Modification of Lee's Path Connection Algorithm", IEEE Trans. Electron. Comput., Vol. EC-16, pp. 97-98 (1967).
- 5) F.O. Hadlock : "A shortest path algorithm for grid graph", Networks, 7,4, pp. 323-334, (1977).
- 6) J. Soukup : "Fast Maze Router", Proc. 15th Design Automation Conf., pp. 100-102 (1978).
- 7) 千葉, 井手, 白川, 尾崎 : "2層配線に対する迷路法の一手法", 信学論 (A), 59-A, 3, p.247 (昭51 - 03).
- 8) 千葉, 白川, 尾崎 : "配線問題における迷路法の多層基板適用への拡張について", 信学論 (A), 60-A, 1, p.33 (昭52 - 01).
- 9) J.M. Geyer : "Connection routing algorithm for printed circuit board", IEEE Trans., CT-18, p.95 (1971).
- 10) R.K. Korn : "An efficient variable-cost maze router", Proc. of 19th DAC, pp.425-431 (1982).

線分探索法

- 11) K. Mikami and K. Tabuchi : "A computer program for optimal routing of printed circuit conductors", IFIP Congress, pp.1475-1478 (1968).
- 12) D.W. Hightower : "A solution for line-routing problem on the continuous plane", Proc. Design Auto. Workshop, pp.1-24 (1969).
- 13) 山村, 白川, 尾崎 : "二層プリント基板上の配線問題に対する線分探索の一手法", 信学論 (A), 57-A, 9, p.671 (昭49 - 09).
- 14) W. Heyns, et al. : "A line expansion algorithm for the general routing problem with

a guaranteed solution", Proc. 17th Design Automation Conf., pp.243-249 (1980).

- 15) 北沢 : "高配線率線分探索の一手法", 情報処理学会誌, 26,11, pp.1366-1375 (昭60 - 11).

2段階配線法

- 16) 浅原, 尾谷, 小倉, 白川 : "一行配線法を用いた高密度プリント基板用自動配線システムについて", 情報処理学会論文誌, 22, 4, pp.368-375 (昭56 - 4).
- 17) H.C. So : "Some theoretical results on the routing of multilayer, printed wiring boards", Proc. IEEE Inter. Symp. Circuits and Systems, p. 296 (1974).
- 18) B.S. Ting, E.S. Kuh and I. Shirakawa : "The multilayer routing problem : Algorithms and necessary and sufficient conditions for the single-row-single-layer case", IEEE Trans. Circuits & Syst. CAS-23, 12, p.768 (1976).
- 19) M.T. Doreau and P. Koziol, "TWIGY, a topological algorithm based routing system", Proc. of 18th DAC, pp.746-753 (1981).
- 20) S. Tsukiyama, I. Shirakawa and S. Asahara : "An algorithm for the via assignment problem in multilayer backboard wiring", Proc. IEEE Inter. Symp. Circuits and Systems, p.156 (1977).
- 21) R. Raghavan and S. Sahni : "Optimal single row router", Proc. of 19th DAC, pp.38-45 (1982).

ダイナミック・ルータ

- 22) J. Soukup : "Global router", Proc. 16th Design Automation Conf., pp.481-484 (1979).
- 23) W.A. Dees and R.J. Smith : "Performance of interconnection rip-up and reroute strategies", Proc. 18th Design Automation Conf, pp.382-390 (1981).
- 24) W.A. Dees and P.G. Karger : "Automated rip-up and reroute techniques", Proc. 19th Design Automation Conf., pp.432-439 (1982).
- 25) 松田, 高見沢, 藤田, 後藤 : "ダイナミック・ルー

タ”, 情報処理学会第25回全国大会論文集,
pp.1301-1302 (昭57).

26) 鈴木, 大附: “ダイナミックルータにおけるデータ構造に関する考察”, 電子通信技術研究報告, CAS 82-153, pp.85-92 (昭58).

27) T.Ohtsuki, M.Tachibana and K.Suzuki: “A hardware maze router with rip-up and re-route support”, Proc. of ICCAD-85, pp.220-222 (1985).

28) H.Shin and A.Sangiovanni-Vincentelli: “MIGHTY: A rip-up and reroute detailed router”, Proc. of ICCAD-86, pp.2-5 (1986).

知識ベース手法

29) H.Mori, K.Mitsumoto, K.Fujita and S.Goto: “Knowledge based VLSI routing system -WIREX-”, Proc. of FGCS-84, pp.383-388 (1984).

30) R.Joobbani and D.P.Siewiorek: “WEAVER: A knowledge-based routing expert”, Proc. of 22nd DAC, pp.266-272 (1985).

31) 後藤, 森, 藤田, 光本: “対話型配線設計の処理時間を短縮するLSI配線設計用エキスパートシステム”, 日経エレクトロニクス, pp.245-271, 11-4 (昭60).

配線手法一般

32) S.A.Akers, “Routing, chapter 6 in Design Automation of digital systems”, edited by M.A.Breuer, pp.283-333 Prentice-Hall (1972).

33) H.Nakahara: “Computer-aided interconnection routing: General survey of the state-of-the-art”, Networks, 2, p.167 (1972).

34) 白川: “実装設計における配置配線技法の動向”, 電子通信学会誌, Vol.61, No.3, pp.245-255 (昭53-03).

35) J.Soukup: “Circuit Layout”, Proc. IEEE, Vol.69, No.10, pp.1281-1304 (1981).

36) S.Aranoff and Y.Abulaffio, “Routing of printed circuit boards”, Proc. of 18th DAC, pp.130-136 (1981).

37) 樹下編: “論理装置のCAD”, 情報処理学会発行, オーム社 (昭56).

38) 後藤: “LSI レイアウト設計のCAD”, 電子通信学会誌, Vol.64, No.12, pp.1274-1281 (昭56-12).

39) 大附: “レイアウト設計におけるCAD: 配線処理手法”, 情報処理学会誌, Vol.25, No.10, pp.1090-1099 (1984).

40) T.Ohtsuki: “Maze-running and line search algorithm in Layout design and verification edited by T.Ohtsuki”, North-Holland, pp.99-131 (1985).

41) 白川: “プリント配線板に対するCAD技法の現状と今後”, Vol.1, No.2, プリント回路学会誌, pp.72-81 (昭61-10).

配線システム

42) H.Mori, T.Fujita, M.Annaha and S.Goto: “Advanced interactive design system for printed wiring boards, in Hardware and Software Concepts in DLSI edited by G. Rabat”, Van Nostrand Reinhold, pp.495-523 (1983).

43) J.B.Brinsfield and S.R.Tarrant: “Computer aids for multilayer printed wiring board design”, Proc. 12th Design Auto. Conf., p.296 (1975).

44) 坂本, 千葉, 白川, 尾崎, 杉田, 栗本, 西岡: “プリント基板自動配線システムOSACA”, 情報処理, Vol.17, No.6, p.486 (昭51).

45) 西岡, 栗本, 西田, 久保, 山本, 永川, 白川, 尾崎: “ミニコンを用いたプリント回路基板自動配線システム”, 信学技報, CST 76-77 (1976).

46) G.L.Patterson and B.H.Phillips: “A proven operational CAD system for P.W.B. design-based on a mini-computer and featuring fully automatic placement and routing”, Proc. 13th Design Auto. Conf., p.259 (1976).

47) 浅原, 尾谷, 小倉, 白川, 尾崎: “高密度プリント基板用配線システムとその性能評価”, 信学会論文誌, J65-A, 2, pp.159-166 (昭57).

48) N.Kuwabara, S.Asami, N.Takano and M. Nomura: “A routing system for high-performance systems”, Proc. of ICCAD-86, pp.250-253 (1986).