多層プリント配線板技術入門 第1回

多層プリント配線板の電気的特性

渋谷 昇*, 松本 正重**, 雀部 俊樹***

Electric Characteristics of Multilayer PWB.

Noboru SCHIBUYA*, Masashige MATSUMOTO**, Toshiki SASABE***

* 拓殖大学工学部情報工学科 (〒193 東京都八王子市館町 815-1)

** 日本電気株式会社回路基板事業部技術部 (〒229 神奈川県相模原市下九沢1120)

*** 株式会社東芝府中工場回路基板部 (〒183 東京都府中市東芝町1)

* Faculty of Engineering, Takushoku University (815-1, Tate-machi, Hachiohji-shi, Tokyo 193)

** Engineering Dept., PWB Division, NEC (1120, Shimokusawa, Sagami-hara-shi, Kanagawa 229)

*** PWB Dept., Fuchu Works, Toshiba Corp. (1, Toshiba-cho, Fuchu-shi, Tokyo 183)

はじめに

編集委員会から「多層プリント配線板の入門講座の解説を書くように」と仰せつかったのだが、プリント配線板に関しては、まったくの素人。どうしたものかと悩んでいると、「初心者向きなので、素人の目からみたほうが分かりやすいものが書ける」とか、「いろいろな人から話を聞いて書くように」と、おだてられたりすかさされたり、これを機会に配線板の工場見学などもさせて頂いたりして、“気楽に”第1回目を引き受けてしまった。

ということで、プリント配線板を素人の立場から眺めて見ることにする。

「プリント配線板は部品を載せるもの」というイメージがまだまだ根強くある。たしかにそのとおりなのだが、その上に電子回路部品を搭載し電源を投入すれば、回路が働き電流が流れる。ところで世はまさに軽薄短小の時代、回路の高速化、高密度実装化へと進んでいる。高密度実装された配線板上に速い電流の変化があると何かしらトラブルが起こる。ちょうど過密化した都市に新幹線が走るようなもの。騒音、振動対策として線路や建物以外に土地の地質調査までやらなければならない。それと同じように、回路実装においてもプリント配線板を電子部品の1つとして考えなければならなくなってきたのである。

電子部品ならばその電気的特性はいかに？そこで、多層プリント配線板の話に入る前に、プリント配線板の電気的特性についておさらいをしてみよう。

プリント配線板の電気的特性

導体パターンと誘電体基板からできているのがプリント配線板。さて導体と誘電体の組み合わせといえ、まず容量、すなわちコンデンサを思い浮かべる。その次に出てくるのが、導体があれば必ず存在する抵抗とインダクタンス。そして、それらの定数で決まる特性インピーダンスや信号の遅延。いわずと知れた、この導体と誘電体で作られる電気的世界、これがプリント配線板なのである。

2.1 実効誘電率

前にも述べたように、誘電体基板は単に部品を載せるための板ではなく、比誘電率 ϵ_r をもった電気材料である。基板上に導体パターンを置く場合には、電気信号の見る“誘電率”は導体の配置、幅や間隔などにより少しずつ異なる。これを実効誘電率と呼んでいる。

$$\epsilon_{\text{eff}} = \frac{C_{\epsilon_r}}{C_{\epsilon_0}} \dots\dots\dots (1)$$

C_{ϵ_r} : 誘電率 ϵ_r の配線板上の導体系のもつ容量

C_{ϵ_0} : 真空中にある導体系のもつ容量

で定義されているが、実際には、

$$\epsilon_{\text{eff}} = 0.475 \epsilon_r + 0.67 \dots\dots\dots (2)$$

$$(1 \leq \epsilon_r \leq 15)$$

のような実験式が求められている¹⁾。この式より、比誘電率 $\epsilon_r = 5$ の配線板上に導体があるとき、実効誘電率は $\epsilon_{\text{eff}} = 3$ 程度になる。

この実効誘電率は後で述べるように、信号の伝わる速さに関係する量である。

2.2 容量、インダクタンス

我々としては、プリント配線板上の導体系がどれくらいの容量を持っているかを知りたいわけであるが、その計算が意外と難しい。一口に導体系の容量といっても、これを求めることは、実は大変なことなのである。

よく知られているように、導体に帯電した電荷を Q 、導体間の電位差を V とすると、容量は、

$$C = \frac{Q}{V} \dots\dots\dots (3)$$

で定義されている。最も簡単には、たとえば図1のような平行な平面導体では、容量はガウスの法則より $C = \epsilon_0 \epsilon_r \frac{S}{h}$ と求められる。これをもう少し定式化すると話は複雑になるのだが、ここでは容量計算の流れがどのようなになっているかを理解してほしい。

図2のような導体系の中にある導体の電位は、

$$\phi_i = \sum_{j=1}^n P_{sij} Q_j \dots\dots\dots (4)$$

と書き表される。ここで P_{sij} は電位係数行列と呼ばれ、

$$P_{sij} = \frac{1}{s_i s_j} \int_{s_i} \int_{s_j} G(r, r') ds' ds \dots\dots (5)$$

s_i : 導体 i の表面積

で表される。また $G(r, r')$ はグリーン関数であり

$$\Delta G(r, r') = \delta(r, r') \dots\dots\dots (6)$$

のような式の解ということになる。たとえば、3次元的にはグリーン関数は、

$$G(r, r') = \frac{1}{4\pi|r-r'|} \dots\dots\dots (7)$$

で与えられる。求めたい容量は結局 p_s の逆行列をとって

$$C_s = p_s^{-1} \dots\dots\dots (8)$$

式より得られることになる。ここで得られるのは多導体系のショート回路容量と呼ばれるもので、2端子容量とは、

$$C_{ii} = \sum_j C_{sij} \dots\dots\dots (9)$$

図1. 平行平板コンデンサの容量

図2. 多導体系の電位

(a) ストリップ線路

(b) マイクロストリップ線路

(c) 実際の配線板

図3. ストリップ線路

$$C_{ij} = -C_{sij} \dots\dots\dots (10)$$

のような関係がある。C は導体が N 個あれば N 次の行列になる。

さて、実際には、誘電体基板上でのグリーン関数をどのように計算するかが容量計算のポイントになる。しかしこの計算は一般には大変複雑である。1970年代には数多くの人々が上に述べたようなグリーン関数法や有限要素法を使った容量の計算方法を開発してきた^{2), 3)}。これについては文献を参照してほしい。筆者らも図3(b)のような場合の三次元的な容量計算プログラム CALCAPを開発している³⁾。CA-

図4. 平行ストリップ線路の容量の線間隔依存性
不均等分割，積分法の容量計算プログラム
CALCAPによる²⁾

LCAP による計算例を図4に示す。最近では，LSI メーカーによって，かなり精度の良い容量計算プログラムが開発されている^{4)~7)}。

実際の配線板でよく見られるのは，図3(a)のような形状をしたストリップラインと呼ばれるもので，解析的に

$$C = \frac{8 \epsilon K(k)}{K(k')} \dots\dots\dots (11)$$

$$k = \left(\tanh \frac{\pi w}{4h} \right)^2 \quad k' = \sqrt{1 - k^2}$$

K'はk'を母数とする楕円積分

のような計算式が得られている。これは，等角写像法という方法で求めたものであり，K, K'は楕円積分である⁸⁾。このままでは，w/h を変化させたときの容量の変化はよく分からない。数表に与えられているK, K' を使って計算した容量の値を図5に示している。

ここで，注目してほしいことは，比誘電率が大きいと，基板の厚さが薄いと，また線幅が大きいと容量は大きくなるということである。

次によく出てくるのは，図3(b)のようなマイクロストリップ線路と呼ばれるもので，これは実は4層配線板でよく見かける構造をしている。これの容量についても，いままでに数多くの人が計算式を求めたり，実験的な式を作ったりしている⁹⁾。たとえば，平行平板に端の効果を検討した，

図5. ストリップ線路の容量計算例

$$C = \frac{8 \epsilon K(k)}{K(k')} \quad k = \left(\tanh \frac{\pi w}{4h} \right)^2 \text{ の式による}$$

・たとえば $\frac{w}{h} = 1$ のときA点より $C = 2.5 \text{ pF/cm}$ となる

図6. マイクロストリップ線路の容量計算例

$$C = \epsilon_0 \epsilon_r \frac{w}{h} \left\{ 1 + \frac{2h}{\pi w} \left[1 + \ln \left(1 + \frac{\pi w}{2h} \right) \right] \right\} \text{ の式による計算}$$

・たとえば $\frac{w}{h} = 0.1$ のときA点より $C = 0.37 \text{ pF/cm}$ となる

$$C = \epsilon_0 \epsilon_r \frac{w}{h} \left\{ 1 + \frac{2h}{\pi w} \left[1 + \ln \left(1 + \frac{\pi w}{2h} \right) \right] \right\} \dots\dots\dots (12)$$

のような式が知られている。図6に上式の計算結果を示しておく。

ところが，実際の両面および多層プリント配線板上の導体系というのはもう少し複雑で，図3(c)のように三次元的になったり，あるいは断面を見ると

図 7.(a) 導体配置

図 7.(b) 自己インダクタンスの計算例

$$\circ L/l = \frac{\mu_0}{2\pi} \left[\ln(2u) + \frac{1}{2} + \frac{1}{3u} \right] \quad u = \frac{l}{w}$$

図 7.(c) 相互インダクタンス

$$\circ L_m/l = \frac{\mu_0}{2\pi} \left[\ln\left(\frac{2u}{1+v}\right) - 1 + \frac{1+v}{u} - \frac{1}{4} \left(\frac{1+v}{u} \right)^2 + \frac{1}{12(1+v)^2} \right] \quad v = \frac{s}{w}$$

$\circ w = 0.4 \text{ mm}, u = 100, v = 1$
 $(l = 4 \text{ cm}, s = 0.4 \text{ mm})$ のとき
 $L_m = 28.8 \text{ nH}$ となる

くさんの導体層が縦横になっていたりする。とにかく、簡単な配置でもひどくやっかいな計算をしなければならぬということがお分かりいただけたと思う。

次にインダクタンスであるが、インダクタンスは幾何学的な形状によって決まるものである。この幾何学的なインダクタンスもいろいろな方法により計算されているが、まともにやろうとするとかなり大変である^{(10), (11)}。そこで、図 7(a) のような自己インダクタンス L と相互インダクタンス L_m について次のような近似式が使われる。

$$\frac{L}{l} = \frac{\mu_0}{2\pi} \left[\ln(2u) + \frac{1}{2} + \frac{1}{3u} \right] \dots\dots\dots (13)$$

$$\frac{L_m}{l} = \frac{\mu_0}{2\pi} \left[\ln\left(\frac{2u}{1+v}\right) - 1 + \frac{1+v}{u} - \frac{1}{4} \left(\frac{1+v}{u} \right)^2 + \frac{1}{12(1+v)^2} \right] \dots\dots\dots (14)$$

$$u = \frac{l}{w}, \quad v = \frac{s}{w}$$

μ_0 : 真空中の透磁率

この計算結果を図 7(b), (c) に示す。ところが、実際に回路に高周波電流を流すと、表皮効果のためにインダクタンスは周波数依存性を持ち、高周波領域では小さな値をとる^{(11), (12)}。したがって、多導体系では電位係数行列、あるいは容量係数行列より、

$$L = \frac{1}{v^2} C_0^{-1} \dots\dots\dots (15)$$

の関係を使って計算したほうがよい。ここで、 C_0^{-1} は真空中の容量係数の逆行列、 v は伝搬速度である。CALCAP により求めた 2 導体系のインダクタンスの計算例を図 8 に示している。

ところで、なぜこのように容量、インダクタンスのことを詳しく述べたかということ、配線板の何を考えるにしても、これらの量が関係してくるためである。

図 8. CALCAP により求めた平行 2 導体系のインダクタンス

2.3 伝搬遅延時間

真空中を電気が伝わる速さは光の速度と同じで、 $3 \times 10^8 \text{ m/s}$ であるが、誘電体中を伝わる速さはそれより遅い。配線板の実効誘電率を ϵ_{eff} とすると、伝搬速度は、

$$v = \frac{c}{\sqrt{\epsilon_{\text{eff}}}} \dots\dots\dots (16)$$

c : 光速

となり、単位長さ当たりの伝搬遅延時間は、

$$T_D = \frac{1}{v} = \frac{\sqrt{\epsilon_{\text{eff}}}}{c} = 0.033 \sqrt{\epsilon_{\text{eff}}} \text{ ns/cm} \dots\dots (17)$$

となる。ここで実効誘電率はまた、容量に依存してもいるので、容量が大きくなると、伝搬遅延時間も大きくなる。たとえば、 $\epsilon_r=5$ のガラスエポキシ配線板上の導体を置いたとき、実効誘電率は $\epsilon_{\text{eff}}=3$ 程度であり、したがって、 $v=1.73 \times 10^8 \text{ m/s}$ となる。導体1 cm当たりの伝搬遅延時間は0.057 nsとなる。最近、配線板の低誘電率化がうねんされているのは、実はこの伝搬遅延時間を小さくしようとする傾向の現れなのである。回路が高速になってくると、配線による信号の伝搬遅延が動作に影響するようになるのである。

2.4 特性インピーダンス

信号が高速になってくると、プリント配線板上の導体を分布定数回路として取り扱う必要が生じてくる。信号の波長と同程度の長さの導体では、信号が位置によって変化するのが見えてくる。このような分布定数回路では、特性インピーダンスと位相定数が線路の特性を決める。特性インピーダンスは線路の抵抗が小さいとインダクタンスLと容量Cにより

$$Z_0 = \sqrt{\frac{L}{C}} \quad \dots\dots\dots (18)$$

と表される。

特性インピーダンスの計算については、容量計算と同じように、従来より数多く行われているが、実際の配線板のインピーダンスを計算により求めることは難しい¹³⁾。そこで、簡単な配置については、計算しやすい近似式が求められている。たとえば、前に述べた図3(a)のストリップ線路では、

$$Z_0 = \frac{120 \pi}{8 \sqrt{\epsilon_r}} \cdot \frac{K'}{K} \quad \dots\dots\dots (19)$$

$$Z_0 = \frac{30 \pi}{\sqrt{\epsilon_r}} \cdot \frac{1 - t/h}{w_e/h + C_f/\pi} \quad \dots\dots\dots (20)$$

$$C_f = 2 \ln \left(\frac{1}{1 - t/h} + 1 \right) - \frac{t}{h} \left[\frac{1}{(1 - t/h)^2} - 1 \right]$$

$$w_e/h = \frac{w}{h} - \left[\begin{array}{ll} 0 & w/(h+t) > 0.35 \\ (0.35 - w/h)^2 / (1 + 12t/h) & w/(h-t) < 0.35 \end{array} \right]$$

で、図9に(20)の式による計算結果を示す。また、図

図9. ストリップ線路の特性インピーダンス¹⁷⁾

$$Z_0 = \frac{30 \pi}{\sqrt{\epsilon_r}} \cdot \frac{(1 - t/h)}{w_e/h + C_f/\pi}$$

$$C_f = 2 \ln \left(\frac{1}{1 - t/h} + 1 \right) - \frac{t}{h} \left[\frac{1}{(1 - t/h)^2} - 1 \right] \quad \text{端の効果}$$

$$\frac{w_e}{h} = \frac{w}{h} - \begin{cases} 0 & w/(h-t) > 0.35 \\ \frac{(0.35 - W/h)^2}{1 + 12 t/h} & w/(h-t) < 0.35 \end{cases}$$

図10. マイクロストリップ線路の特性インピーダンス

$$\textcircled{1} Z_0 = \frac{60}{\sqrt{\epsilon_{\text{eff}}}} \ln \left(\frac{5.98 h}{0.8 w + t} \right) \quad \epsilon_{\text{eff}} = 0.475 \epsilon_r + 0.67 \quad (11)$$

$$\textcircled{2} Z_0 = \begin{cases} \frac{60}{\sqrt{\epsilon_r}} \ln \left(8 h / (w + 4 h) \right) \Omega & w/h < 1 \\ \frac{120 \pi}{\sqrt{\epsilon_r}} \left[\frac{1}{w/h + 1.393 + 0.667 \ln (w/h + 1.444)} \right] & w/h > 1 \end{cases} \quad (17)$$

$$\textcircled{3} w/h = 1 \text{ のとき A 点より } 70 \Omega$$

3(b)のようなマイクロストリップ線路では、

$$Z_0 = \frac{60}{\sqrt{\epsilon_{\text{eff}}}} \ln \left(\frac{5.98 h}{0.8 w + t} \right) \quad \dots\dots\dots (21)$$

図11. TDR法によるマイクロストリップ線路の特性インピーダンスの計算 (2 導体系)

$$Z_0 = \begin{cases} \frac{60}{\sqrt{\epsilon_r}} \ln(8h/w + w/4h) & w/h < 1 \\ \frac{120\pi}{\sqrt{\epsilon_r}} \left[\frac{1}{w/h + 1.393 + 0.667 \ln(w/h + 1.444)} \right] & w/h \geq 1 \end{cases} \quad (22)$$

のような式がよく使われる。これらの2つの式により得られる容量の w/h 依存性¹⁴⁾を図10に示す。ほとんど一致していることが分かる。

実験的には、反射を利用したTDR法や線路の開放・短絡法がよく知られている。TDR法のシミュレーションによるマイクロストリップ線路の特性インピーダンスの計算結果を図11に示す。

図12. 反 射 波 形

2.5 インピーダンスの整合

ところで、伝送線路ではインピーダンスが整合し

表 1. ICの入出力インピーダンスの測定例

ロジック	入力インピーダンス (10MHz)			出力インピーダンス (10 MHz)	
	R _p (Ω)	C _p (pF)		R _s (Ω)	L _s (nH)
74LS04	758	9.13	H	116	653
ALS04	802	5.84	H	53.5	776
AS04	687	8.94	H	40.4	696
LS00	890	8.38	H	121.4	639
ALS00	898	5.42	H	63.8	700
AS00	719	9.17	H	23.0	703
256K, DRAM					
D _{IN}	128 kΩ	3.56			
Aφ	41.7k	4.64			

ていないと反射が目立つ。反射についてはよく知られているので、ここでは簡単なしごダイヤグラムによる計算法を図12に示しておく。反射によるアンダーシュートがメモリボードの誤動作を引き起こすことはよく知られている。そこで、配線板上の導体系のインピーダンスのコントロールが重要になってくる。配線板上の導体系の定インピーダンス化はまた、配線板の雑音の面からも重要である。そのために「配線のインピーダンスを50～60Ωにせよ！」とか「インピーダンスは整合すること！」との厳命が下ることになる。ここで日頃の疑問を少し述べさせてもらおうと、「何と何を整合するのか？」、「はたして、インピーダンスの整合はとれているのだろうか？」という問題がある。

少し余談になるが、よく使われているICの入出力インピーダンスをあるところで測定してもらった。それによると、表1のようにTTLロジックファミリでは出力インピーダンスは20～100Ω、入力インピーダンスは600～900Ωであった。CMOSのメモリでは入力インピーダンスは数 + kΩ以上。さて、そこで、たとえば、TTLはファンアウトが10だから入力インピーダンスを10で割ると60Ω。特性インピーダンスを60Ωにすれば整合が取れているといえはそれまでだが、そこが伝送線路、定常状態では確かに、インピーダンスは同程度の値になるもののこれでは意味がない。電圧が半分になるだけのこと。それでも、反射によるオーバーシュート、アンダシュートが起こる。そこで「配線系のインピーダンスを50Ωで誤差が5%にすること」というのが、もうひとつよく分からないのである。〔注〕

これはむしろ、インピーダンスの整合というよりは、配線の定インピーダンス化、すなわちバラツキをなくすという意味なのではないだろうか。むしろ、本当にインピーダンスを整合させるならば、高周波回路のようにテーパのついた配線が必要ではないかと思われる。もっとも「配線系のインピーダンスを50Ωで……」うんぬんは後で述べるノイズのほうからの要請でもあるのだが。

〔注〕ICメーカでは、各種ICのファンアウトと配線インピーダンスごとの、終端しないでもよい配線長を発表している（オーバシュートが35%、アンダシュートが12%以内におさまっているという条件）。たとえば、モトローラでは、ECL-10Kで、60 ps/cm の遅延時間の場合は、ファンアウト1に対して特性インピーダンス50Ωで21.1cm、100Ωでは16.3cmの配線は終端なしでも大丈夫だとしている。それから見ると、特性インピーダンス50Ωのほうが100Ωより長くできるということになる¹⁵⁾。

2.6 配線系のインピーダンス

配線のインピーダンスについては、主に次の2つが重要である。

- ① 電源線系のインピーダンス
- ② 信号線系のインピーダンス

これらについては、次の3章で詳しく述べるので、ここでは雑音の基本的な事柄について簡単に触れておこう。

2.6.1 スイッチング雑音

図13のような回路に電流の急激な変化があると、

$$V_N = L_{eff} \left(\frac{di}{dt} \right) \dots\dots\dots (23)$$
 の誘導起電力が電源グランド間に発生する。これをスイッチング雑音などと呼んでいるが、 L_{eff} は電流が流れるループの実効的なインダクタンスで、 L_{eff} が小さいほど、雑音は小さくなることが分かる。これが、導体配線は“適当にやってはだめ。ループを小さくせよ！”という理由である。 $\left(\frac{di}{dt} \right)$ は電流の時間的变化で、これは最近ますます大きくなってきている。これを $\frac{1}{Z} \left(\frac{dv}{dt} \right)$ に書き換えるとインピーダンスZがあまり小さくても V_N が大きくなることになる。

2.6.2 共通インピーダンス

基本的には上に述べたスイッチング雑音と同じものであるが、図13のように、2つの回路が1本の配

図13. スイッチング雑音と共通インピーダンス I_g により $V_g = Z_g \cdot I_g$ の電圧がOA間に発生する

(a) クロストーク雑音のモデル

(b) クロストーク雑音の線間隔依存性⁶⁾
(終端整合時)

図14. クロストーク雑音

○ 2本のアクティブラインと1本の動作していない線路の特性インピーダンスと雑音との関係

$L_{eff} = 0.5 \text{ nH}$
 ドライバの出力電圧 $V_o = 1 \text{ V}$
 同時に動くゲートの数 20
 ドライバ出力インピーダンス 10Ω
 信号の立ち上り時間 $tr = 1 \text{ ns}$

(線幅 $w = 0.1 \text{ mm}$
 線間隔 $S = 0.4 \text{ mm}$
 線厚 $t = 25 \mu\text{m}$
 誘電率 $\epsilon_r = 4.0$)

図15. 特性インピーダンスと雑音

線 Z_g を共有しているとき、1の回路に流れる電流 I_g による電圧変動が他の回路に影響を及ぼすことを共通インピーダンスによるノイズの結合とよんでいる。

2.6.3 クロストーク

配線が密になり、相互容量や相互インダクタンスによる結合で、隣の配線上の信号のスイッチングの影響が伝わることをクロストーク雑音という。図14のように、終端を整合しているときは相互容量 C_m や相互インダクタンス L_m により

$$V_B = \frac{1}{4} \left(\frac{L_m}{L} + \frac{C_m}{C + C_m} \right) V \dots\dots\dots (24)$$

の電圧が近端に、

$$V_F = -\frac{\sqrt{LC}}{2} \left(\frac{L_m}{L} - \frac{C_m}{C + C_m} \right) l \frac{dv}{dt} \dots\dots\dots (25)$$

l : 線路の長さ

の電圧が遠端に発生する。実際の配線板上ではもう少し複雑になるが、詳しくは文献を参照してほしい。¹⁶⁾ 図14(b)に平行2導体系のクロストーク雑音の計算例を示す。

というわけで、電源線系のインピーダンスは、高周波でなるべく低インピーダンスになるように配線しなければならない。また、信号線系のインピーダンスは大きすぎても小さすぎてもいけないということになる。

上に述べたような雑音を考慮しながら回路の配線を行うと、雑音を最低にするためには、結局、図15のように40~80Ω程度の配線インピーダンスが適当

であるという結論が出てくる。詳しくは文献を参照してほしい¹⁷⁾。

ということで、長々と配線板上導体の電気的特性について述べてきたが、配線板とその上の配線パターンというのは極めて電氣的であり、設計においては配線のしやすさばかりでなく、電氣的特性を考える必要がある。すなわち、配線設計をあだやおろそかにしてはいけないということがご理解いただけたと思う。

3 多層プリント配線板の必要性

さて、いよいよ、多層プリント配線板の話に入るわけだが、いままで述べてきた電氣的特性と多層プリント配線板との接点はどこにあるのであろうか。

多層プリント配線板で最も簡単なのが4層配線板で、図16のように、基本的には2層片面配線板の間に電源層とグランド層を挿入した構造になっている。4層配線板はマスマミネーションがきくということで広く使われているという。ところで、ラミネーションとは薄板、積層にすることで、あのラミネートチューブと語源は同じ。4層配線板では図16のように内層を作って、その上に“適当に”銅板を張るだけでいいので、基板屋さんに言わせると、4層板は多層板ではないらしい。

さて、多層プリント配線板にする主な理由としては、

- ① 配線の立体化 — 高密度実装による配線スペースの減少を立体化で補う。

図 17. 電源線インピーダンスによるノイズの結合

- ② 雑音対策 — 高速化に対応するための配線長の低減と配線インピーダンスのコントロール

の2つが挙げられる。

図 16. 4層配線板とその製造工程（東芝ケミカルカタログより）

$$V_N = \frac{Z // R_i}{Z // R_i + R_o}$$

$Z // R_i$ は Z と R_i の並列抵抗
 Z が小さいと V_N は小さくなる

(a) 電源グランド配線の例

(b) 電源グランド配線の悪い例

図18. 片面板の電源グランド配線

$$Z = \frac{120}{\sqrt{\epsilon_r}} \ln \left(\frac{d}{w} + \sqrt{\left(\frac{d}{w}\right)^2 - 1} \right)$$

例えば、 $d/w = 1.2$ のとき、 $Z = 34 \Omega \rightarrow A$ 点

$$Z = \frac{377}{\sqrt{\epsilon_r}} \frac{h}{w}$$

$h/w = 0.1$ のとき、 $Z = 17 \Omega \rightarrow B$ 点

図19. 導体の配置と特性インピーダンス

もちろん、多層配線板は多少コスト高であるという欠点があるものの、多層配線板にすることによる利点も十分あるわけである。

まず、高密度実装が進むと配線のスペースがなくなり、CADによる自動配線が難しくなってくる。多層にすると配線のCAD化がますます容易になってくる。次に、多層配線板は先に述べた雑音の低減のための“究極の解決策”ということができる。ここでは、雑音という観点からみた、多層配線の利点を述べてみよう。

3.1 電源供給線系の低インピーダンス化

電源供給線系を低インピーダンスにしなければなら

ない理由の1つは、前で述べた電源線系のインピーダンスによる共通インピーダンス結合を低減させるためである。すなわち、図17のような例題を考えると、2つの回路系は電源供給線インピーダンスでつながっている。したがって、このインピーダンスを小さくすれば、回路1から回路2への雑音の伝搬は少なくなる。

図18のような電源系とグランド系が平べったく向かい合った構造は、前に述べたように、インダクタンスLが小さく容量Cが大きいため、高周波領域では低インピーダンス化が可能である。単層の片面あるいは両面の配線板でもそうだが、電源配線は普通図

18(a)のようになっている。はなはだしい場合には、図18(b)のようになっていることもある。前に述べたように、 $\llcorner$ 配置と $\llcorner$ 配置では、2つの線路のインピーダンスは図19に示すように $\llcorner$ 配置のほうがはるかに小さくしやすい。ところが、片面や両面の配線板だと $\llcorner$ 配置はつくりにくい。それが、4層板にすると内層の電源グランド層を $\llcorner$ 配置にすることができる。

3.2 信号線系の特性インピーダンスのコントロール

やはり、前に述べたように、多層にすることにより、大きな面を参照面（レファレンスプレーン）とし、その上の導体を配線するマイクロストリップ線路が構成されることになり、安定した特性インピーダンスが得られる。また、計算による予測が簡単にできる。このような構成ではCが大きくなるため、低インピーダンス化が実現できるが、前に述べたように、雑音を考慮したインピーダンスの最適値は40～80Ω程度であるといわれている。

ここで問題になるのは、多層化で層間隔を小さくすると、容量Cが大きくなり低インピーダンス化は実現できるが、容量をあまり大きくすると、高速、すなわち立上りの速い信号が鈍ってしまう。そのため、層間隔を小さくする場合には、配線板の誘電率を小さくする必要があるが、現在低誘電率材料の開発が進められている。

3.3 クロストークの低減

立体配線にすることで、平面上を走っていた配線を短くすることができ、クロストークを減少させることができる。また、信号配線層をいくつもつくり、それらの配線を直交させることにより、クロストークが低減できる。

3.4 シールドとしての役割

内部で発生する伝導性ノイズの対策ばかりでなく、多層配線板のもう1つのメリットとしては、配線板内の、あるいは外部からの放射性ノイズのシールドにも効果があるということである。たとえば、図20のような4層配線板で内層を信号配線とし、外側に幅広い電源グランド層を張ったものや、6層配線板では、電源グランド層の更に内層を信号層としており、そこからの放射雑音は電源グランド層によりシ

図 20. 電源とグランド層がシールドの役目をする4, 6層配線板

図 21. 多層配線板¹⁹⁾

ールドされる。最近では、図21のようにコンピュータ用の多層配線板では、最外層を電源グランド層にする例や、またアース層を多く挿入することも試みられている^{18), 19)}。

4 ま と め

以上、配線板の電気的特性からみた多層プリント配線板について述べた。単に配線板といっても、部品を搭載するだけの基材ではなく、その上に載っている回路の種類、周波数によって、さまざまなことを考えなければならない。

最後にまとめとして、プリント配線板の形状と電気的パラメータ、それらが何に関係してくるかを表2にまとめて示すことにする。

(1987. 2. 26 - 受理)

表 2. 配線板の物理的パラメータと設計パラメータ

多層配線板の必要性

文 献

- Defalco : 「Reflection and Crosstalk in Logic Circuit Interconnections」, IEEE Spectrum, July, p. 44 (1970)
- Reuhli : 「Equivalent Circuit Models for Three-dimensional Multiconductor System」 IEEE, Trans. MTT, Vol. MTT-22, 3, p.216 (1974)
- 高木, 渋谷, 伊藤 : 「雑音解析評価システム — 多導体系の容量係数計算プログラム CALCAP について」, 信学論(B), J 67-B 8, p 900 (昭59)
- 西, 上川井, 柳生, 中西, 正木 : 「導体電気特性の3次元解析 — TRISIM 1 —」, 信学技報CAS85-59, p.7 (昭60)
- 林, 柳生, 正木, 中西 : 「有限要素法による導体間容量の1計算」, 昭和56電気学会東京支部大会 p.9
- Cottrel, Buturla & Thomas : 「Multi Dimensional Simulator of VLSI Wiring Capacitance」 IEDM 1982, Technical Digest Proc., p. 548 (1982)
- Uebbing, 福岡 : 「配線容量の3次元シミュレーション — TRICEPS —」, 信学技報SSD 83-89, p. 41 (昭58)
- 浜崎 : 「マイクロ波ストリップ線路」, 電子通信学会誌, 52-9, p. 1144, 52-10, p. 1240 (昭44)
- 渋谷, 高木 : 「ノイズ対策最新技術」, 関康雄編, 総合技術出版, p. 7 (1986)
- Hoer & Love : 「Exact Inductance Equations for Rectangular Conductors with Applications to More Complicated Geometries」 J. res. NBS, 69C, 2, p. 127 (1965)
- Reuhli : 「Inductance Calculations in a Complex Integrated Circuit Environment」, IBM J. Res. Develop., 16, 8, p. 470 (1972)
- 渋谷, 高木, 伊藤 : 「プリント基板のインダクタンス計算とアース雑音解析 — インダクタンス計算プログラム — CALIND — の開発」, 信学論 (B), J 68-B 6, p. 753 (昭60)
- 松村, 望月, 芳野 : 「マイクロストリップ線路の伝送特性について」, 電気通信学会誌41-7, p. 694 (昭33)
- Pozar : 「Antenna Design Using Personal Computers」, Artech house Inc., 1985
- M. Mardiguian : 「Interference Control in Computers and Microprocessor-Based Equipment」 Don White Consultants, Inc, 1984
- 渋谷, 高木, 本間, 熊本, 伊藤 : 「プリント配線板上のクロストーク雑音解析」, 信学論 (B), J 68-B 9, p. 1068 (昭60)
- チェレンスキ, シェニレ, モディ : 「電気特性の制御性を高め雑音を抑制したセラミック多層基板」, 日経エレクトロニクス 1984. 3. 26, p. 166
- 鈴木, 河野, 斉藤 : 「電子部品の多様化に対応するプリント配線板」 NEC 技報, 38-2, p. 159 (1985)
- 松本, 野口, 平井, 中村 : 「表面実装対応プリント配線板」 NEC 技報, 39-3, p. 154 (1986)