PWB上へのフリップチップ実装

頼 明照*, 土津田 義久*, 貫井 孝*, 大西 哲也**

Flip-Chip Bonding on PWB

Akiteru RAI*, Yoshihisa DOTTA*, Takashi NUKII* and Tetsuya OHNISHI**

* シャープ株式会社生産技術開発推進本部生産技術研究所 (〒632 奈良県天理市樺本町2613-1)

** シャープ株式会社IC事業本部IC開発センター (〒632 奈良県天理市樺本町2613-1)

* Production Technology Laboratories, Production Technology Development Group, Sharp Corporation (2613-1, Ichinomoto-cho, Tenri-shi, Nara 632)

** IC Development Center, IC Group, Sharp Corporation (2613-1, Ichinomoto-cho, Tenri-shi, Nara 632)

概要 プリント配線板(PWB)上へサイズの異なるチップ(3mm□, 6mm□, 9mm□)をフリップチップCOB (Chip On Board) 実装したサンプルを用いて, それぞれの熱疲労寿命を評価した。その結果, レジンのないサンプルでは, チップサイズが小さくなるほど寿命は延びるが, いずれの場合も非常に寿命が短く, 実使用レベルにないことがわかった。一方, 熱膨張係数をはんだに合わせたレジンをチップ-基板間に注入することによって, 各サンプルの信頼性は飛躍的に向上し, 十分実使用レベルにあることが判明した。レジンを注入していないサンプルで生じた不良については解析を行い, その不良モードを明らかにした。また, 大サイズチップ(12mm□, 15mm□)についても同様の評価を行い, 信頼性に見通しを得た。さらに, 4 MマスクROMデバイスをPWB上へフリップチップボンディングし, 信頼性評価を行ったところ, 温度サイクルテスト(-65°C/150°C) 2000サイクル, 高温高湿通電テスト(85°C, 85%RH, 5.5V) 4000 h および高温動作テスト(125°C, 5.5V) 4000 h まで良好に動作できることを確認した。

Abstract

The thermal fatigue lifetime of a flip-chip COB sample has been experimentally studied using various sized chips (3mm□~15mm□) bonded onto PWB. We found that in the sample without resin insertion, these lifetimes are short, which indicates that they cannot be put to practical use. Also, when a resin with a TEC (Thermal Expansion Coefficient) close to that of the solder is inserted into the gap between the chip and the substrate, the lifetime of these samples is greatly extended, which indicates that they can be put to practical use. We ran failure analysis tests on the samples without resin which failed, and clarified the mode of failure. The reliability of a 4 M-mask-ROM-chip bonded on PWB (0.25mm²) using a solder bump was also evaluated. There were no problems in the temperature cycling test, the humidity storage test and the high temperature storage test.

1. 緒言

近年, SMT (Surface Mount Technology) 技術は飛躍的に進歩し, 生産レベルでは0.5mmピッチの半導体パッケージ部品の接続が可能となっている。今後これら部品の端子ピッチはさらに微細化へと向かう

であろう。しかしながら, 現行 SMT の延長技術ではその接続に限界が見えつつある。このような状況の中で, ベアチップをPWB (Printed Wiring Board) 上に直接搭載する技術はポスト SMT を支える技術として大きな期待を集めている。中でも, フリップチップボンディング方式は, ワイヤボンディング方

式やTAB (Tape Automated Bonding) 方式と比べて最も実装面積を小さくでき、しかも最短結線が可能となるため、きわめて魅力のある技術である。それにもかかわらず、一般にフリップチップ接続技術はセラミック基板をベースとするものが主であり、PWB 上へ応用した例はわずかである^{1)~3)}。その理由はシリコンチップと PWB 間の大きな熱膨張係数の差によってはんだ接続部の熱疲労寿命が低下するためである。PWB 上へのフリップチップ COB (Chip On Board) 技術はそのため実用性に欠けるとされており、その熱疲労寿命についての研究も数少ないのが実情である。しかしながら、低コスト化が要求される民生機器への応用においては PWB をベースとしたフリップチップ COB が望まれる⁴⁾。

我々は、1 mm×7 mmのサイズのチップをポリイミドはんだダムを有する PWB 上へフリップチップボンディングした後、適切なレジンをチップー基板間に注入することによって、接続部の寿命は向上し、良好な信頼性が得られるようになることをすでに実証した¹⁾。本報告では、一般的な PWB (FR-4) を用いて、さらに大きなチップサイズに対する熱疲労寿命を評価すると共に、不良に至るメカニズムについての解析を行った。また、4 Mマスク ROM (Read

Only Memory) デバイスを PWB 上へフリップチップボンディングし、その信頼性評価も行った。

2. 実験方法

2.1 チップ

テストチップには 3 mm²から15mm²までの 5 種類のサイズのものをを用いた。標準的なはんだバンプの断面構造を図 1, SEM 写真を図 2 に示した。はんだバンプは、通常のウェハプロセスによって形成されたアルミ電極上に、まず中間金属層としての PLM (Pad Limiting Metallization) をスパッタリングした後、Cu スタッドおよびはんだを連続的に電解めっき法で形成することにより作製した。はんだは Sn/Pb= 6 / 4 共晶組成、バンプ配列は160μmピッチでチップ周辺にデザインした。バンプ根元径は70μm^φ、バンプ高さは75~80μm^tになるようそれぞれ調整した。PLM には TiW (90%) - Cu 系と Ti - Cu 系の 2 種類を採用した。各チップのバンプ数は 3 mm²、6 mm²、9 mm²、12mm²、15mm²において、それぞれ68個、140個、212個、284個、356個で、1 バンプあたりのせん断強度は約17gf、破断モードはすべてはんだであった。

また、4 Mマスク ROM デバイスについても、チップ周辺へのバンプ形成を行った (バンプ数は45個)。

2.2 基板

フリップチップボンディング用の PWB としては FR-4 を用いた。基板のボンディングパッド部の構造を図 3 で示した。ボンディングパッド径は70μm^φ、基板厚はテストチップ用が0.45mm^t、4 Mマスク ROM デバイス用が0.25mm^tである。配線は、Cu 配線 (18 μm^t) 上に Ni (2 μm^t)、および Au めっき (0.5 μm^t) を施した。

図 1. はんだバンプの断面図

図 2. はんだバンプのSEM写真

図 3. PWBパッド部の断面図

2.3 ボンディングプロセス

フリップチップボンディングプロセスを図4に示すと共に、以下に概説する。まず、 bumps付きチップをフリップチップボンダーによってあらかじめフラックスが塗布された基板上へボンディング部が対向するよう位置決めし、フラックスの粘性性によって基板上へ仮接着する。次にこのサンプルをピーク温度が約230℃のリフロー炉に通し、はんだを溶融固着する。さらに、サンプルを溶剤洗浄し、フラックス残渣を取り除く。ボンディング後、サンプルの電気テストによりフリップチップ接続が良好に行われているか否か確認し、ここでもしデバイス特性または接続部に不良があればチップ交換を行い、問題なければチップー基板間に封止のためのレジンを注入する。

フリップチップ実装したはんだ接続部には、チップと基板間の熱膨張係数の差によって大きな応力が加わる。しかし、これらの間に注入するレジンの特性を工夫すれば、耐湿性等の耐環境性を向上させるのみならず、この熱応力を緩和し、接続信頼性を向上させることが可能となる。注入するレジン特性としては、

- ・レジンははんだの熱膨張係数が同レベル（約 $3 \times 10^{-5}/^{\circ}\text{C}$ ）である
- ・耐湿性、耐熱性に優れている

図4．ボンディングプロセス

- ・純度が高い（半導体レベル）
- ・ポットライフが長い
- ・作業性に優れている

等が要求される。そこで我々は、これらの特性を兼ね備えたエポキシ系レジンを選定し、チップー基板間に注入した。作製した COB サンプルの最終形態を図5に示した。

2.4 評価用サンプル

表1に作製した温度サイクルテスト用 COB サンプルの内容を示した。5種類のサイズのチップに対し、レジンを注入したものとししないものをそれぞれ作製した。また、レジン封止していない $3\text{mm}^{\square}$ のサンプルでは、Ti-Cu系とTiW-Cu系とを比較することによって PLM についても評価した。なお、その他のサンプルはすべて TiW-Cu系を用いた。

2.5 評価方法

実施した信頼性テスト項目と条件を表2に示した。テストチップをフリップチップ実装したサンプルについては温度サイクルテスト（ $-45^{\circ}\text{C}/100^{\circ}\text{C}$ ）を、マスク ROM をフリップチップ実装したサンプルに

図5．フリップチップCOBサンプル

表1．信頼性テストサンプル

No	チップサイズ	界面レジン	PLM
1	$3\text{mm}^{\square}$	あり	TiW-Cu
2	〃	なし	〃
3	〃	〃	Ti-Cu
4	$6\text{mm}^{\square}$	あり	TiW-Cu
5	〃	なし	〃
6	$9\text{mm}^{\square}$	あり	〃
7	〃	なし	〃
8	$12\text{mm}^{\square}$	あり	〃
9	〃	なし	〃
10	$15\text{mm}^{\square}$	あり	〃
11	〃	なし	〃

表 2 . 信頼性テスト項目および条件

チップ種類	テスト項目	条件
4M-マスク ROM	温度サイクル テスト	-45°C/100°C (1cyc/1h)
	温度サイクル テスト	-65°C/150°C (1cyc/1h)
	高温高湿通電 テスト	85°C, 85%RH, 5.5V
	高温動作テスト	125°C, 5.5V

については温度サイクルテスト (-65°C/150°C)、高温高湿通電テスト (85°C, 85%RH, 5.5V) および高温動作テスト (125°C, 5.5V) を実施した。テストチップの COB サンプル評価は信頼性テスト前後におけるフリップチップ接続部の接続抵抗を測定することにより行った。接続抵抗増加量が1 バンプあたり0.05Ω を超えるものについては、それを接続不良とみなし、そのような接続不良が1 サンプルに対して1 箇所でもあれば、そのサンプルを不良と判定した。また、マスク ROM の COB サンプル評価は信頼性テスト前後において実際にチップを動作し、デバイス特性の変化に注目した。

3 . 実験結果および考察

3.1 ボンディング性

3 mm[□]から 9 mm[□]までのチップサイズの COB サンプルにおけるボンディング後のチップー基板間ギャップの寸法、およびチップ傾きを表 3 に示した(ギャップはチップ 4 コーナー部のチップー基板間寸法の平均値で、傾きはその最大値と最小値との差)。各サンプル共ギャップの寸法は60μm前後であり、ばらつきは小さい。また、1 チップ内での傾きも 2~6 μmと小さく、良好な結果を示している。

ボンディング後チップのせん断試験を行ったところ、1 バンプあたりのせん断強度は約20gfで、破断モードはすべてはんだであった。

表 3 . COBサンプルのチップー基板間ギャップおよび傾き

チップサイズ	3mm [□]	6mm [□]	9mm [□]
ギャップ(μm)	65±1	58±1.5	62±1
傾 き (μm)	2~6	2~6	2~6

図 6 . セルフアライメント効果

3.2 セルフアライメント効果

フリップチップボンディング方式の場合、基板上へ仮接着されたチップに多少の位置ずれがあっても、リフロー時におけるはんだのセルフアライメント効果によって良好な接続が可能になるという特長がある。今回用いた COB サンプルの場合、どの程度の位置ずれまでセルフアライメント効果が期待できるかについての検討を行った。図 6 は 6 mm[□]のチップについてその結果を示したものであり、70μm^φの接続パッドサイズに対して約50μmの位置ずれまでセルフアライメントが可能であることが確認できる。この値は、基板側接続パッド形状およびはんだバンプサイズの幾何学的関係から推察しても妥当な値であると考えられる。

3.3 チップサイズに対する熱疲労寿命評価

図 7 にチップサイズ、PLM, レジンの有無のファクターが熱疲労寿命に及ぼす影響についての結果を示した。レジンのないサンプルについては、いずれの場合も寿命は非常に短い。チップサイズが小さくなるほど寿命が延びるのは、コフィンーマンソンの式からも明らかのように^{5)~8)}、チップサイズが大きくなるほどチップと基板の熱膨張係数の差によってバンプに加わる応力が増大するためである。

また、3 mm[□]チップの COB サンプルにおいて、PLM を TiW-Cu と Ti-Cu にした場合の違いによる寿命の差は認められなかった。この両者については、各サイクル数におけるはんだ接続部を SEM 観察し(図 8 および図 9 参照)、その挙動の違いを比較した。その結果、TiW-Cu 系のサンプルについては

図7. 温度サイクルテストに対するチップ累積不良率
($-45^{\circ}\text{C}/100^{\circ}\text{C}$, 1cyc/h)

図8. 温度サイクルテスト($-45^{\circ}\text{C}/100^{\circ}\text{C}$)前後におけるはんだ接続部のSEM写真
(PLM: TiW-Cu系, チップサイズ: 3mm□)

25サイクルの時点で PLM のはく離が発生し始め、電氣的な接続不良を起こす200サイクルに至るまで、徐々にはく離が増加する。また、はんだの表面状態を観察すると、微細な白い部分と黒い部分がサイクル数の増加と共に成長し、その後、両者間で若干のクラックの発生が確認できる。

図10は Pb-Sn 系合金の状態図であるが、一般に共

晶組成のはんだは、室温で Pb 中に若干の Sn が溶け込んだ α 相と Sn 中に若干の Pb が溶け込んだ β 相が微細粒として混在しており、この α, β 両相が図8に示される白い部分と黒い部分にあたる。この α, β 両組織は温度サイクルテスト時の高温状態の間に各々粗大化し、その後バンプに生じた熱応力に耐えきれず、 α, β 両相間でクラックを発生させる。

図9. 温度サイクルテスト(−45℃/100℃)前後におけるはんだ接続部のSEM写真
(PLM:Ti-Cu系, チップサイズ:3mm²)

図10. Pb-Sn系合金状態図

一方、Ti-Cu系のサンプルについてはPLMのはく離も若干見られるが、 α 相- β 相間に大きなクラックが100サイクル前後で生じ、これが電氣的接続不良を起こす。すなわち、前者のサンプルの場合、温度サイクルテストにより生じる不良原因はアルミ電極とPLM間のはく離モードが支配的となり、後者の場合にははんだのクラックに起因する破断モードが支配的になる。不良モードは異なるものの、寿命としては共に同レベルであり、いずれの場合も実使用レベルにない。

それに対して、レジンを注入したサンプルについ

ては、3mm²から9mm²までのチップにおいていずれの場合も飛躍的に寿命は向上し、10000サイクル後でも不良は生じていない。また大サイズチップ(12mm², 15mm²)についても、5000サイクル後において、不良は生じていない。このように寿命が大幅に向上する一つの要因としては、レジンの注入による応力分散が考えられる。すなわち、レジンのないサンプルの場合にはチップ-基板間の熱膨張係数の差によって生じる応力がバンプ根元部に集中するのに対し、レジンを注入したサンプルでは応力がCOB構造体全域に分散する。そのため1バンプあたりに加わる応力が減少し、寿命が延びるのである。

この考察を裏付けるため、はんだ接続部のシミュレーション解析を試みた。サンプル形態は図11で示すような軸対称構造を仮定し、はんだは塑性変形する性質があるためそれを考慮した非線形解析を行った。図12は9mm²チップをCOB接続し、温度を−45℃に低下させたときのシミュレーション解析結果を示すものである。図からも明らかのように、レジンがない場合に比べて、レジンを有するサンプルではバンプ根元部の応力が大幅に減少していることが確認できる。

中野等⁹⁾はセラミック基板を用いたフリップチッ

図11. シミュレーション形状の概略(軸対称モデル)

(a) 界面レジンなし

(b) 界面レジンあり

図12. COBサンプルのシミュレーション解析

ブ実装技術において、チップー基板界面にレジンを注入することにより、熱疲労寿命を約10倍向上させたと報告している。

本検討により、本来、熱膨張係数が大きいためにフリップチップ実装に向かないとされていた PWB

図13. マスクROMデバイスを用いたCOBサンプルの外観

においても、レジンの注入によってセラミック基板の場合を大きく上回る寿命の伸び率を示すことが明らかとなった。これは PWB の場合、セラミックに比べてヤング率が小さいために (PWB: 約9500 MPa, セラミック: 約550000 MPa), 温度サイクルテスト時に生じる熱応力に追従してチップ、レジンおよび PWB が一つの構造体となって変形し、その結果、バンプに生じる応力を緩和していることが原因と思われる。

このように、レジンはバンプに集中する熱応力をチップ全面に分散する効果と基板変形による応力緩和の効果を有し、バンプの熱疲労寿命の向上に大きく貢献している。

以上のことから PWB 上へのフリップチップボンディングに関しては、チップサイズが大きくなってもボンディングが良好に行われれば、レジンをチップー基板界面に注入することによって、チップサイズに関係なく飛躍的な熱疲労寿命の伸びを示すと思われる。

3.4 実デバイスの評価

本接続技術を用いて PWB 上へ 4 Mマスク ROM デバイスをフリップチップ接続し、良好に動作できることを確認した。図13にサンプルの外観写真を示した。さらに、本サンプルについて表 4 の内容で温

表 4. 実デバイスサンプルの信頼性テスト

テスト	条件	テスト時間
温度サイクルテスト	-65°C/150°C(1cyc/1h)	2000cyc
高温高湿通電テスト	85°C, 85%RH, 5.5V	4000h
高温動作テスト	125°C, 5.5V	4000h

度サイクルテスト (-65°C/150°C, 2000cyc), 高温高湿通電テスト (85°C, 85%RH, 5.5V, 4000h) および高温動作テスト (125°C, 5.5V, 4000h) を実施したところ, いずれのテストにおいても良好な信頼性結果を得た。これらの結果から, 本技術を用いて 4 Mマスク ROM デバイスを PWB 上へフリップチップ実装した場合でも, 十分実用に耐えるレベルにあることが判明した。

4. 結 論

はんだバンプを用いた PWB 上へのフリップチップ実装技術を確立した。レジンをを用いない構造においては, 3~15mm[□]のいずれのチップを実装した場合も熱疲労寿命は短く, 実使用レベルにない。しかしながら, チップー基板界面にレジンを注入すると熱疲労寿命は急激に向上し, いずれのチップでも十分実使用に耐えるレベルにあることを確認した。

これらの結果をふまえて, 4 Mマスク ROM を PWB (FR-4) 上にフリップチップ実装したサンプルを試作し, 信頼性テスト (温度サイクルテスト, 高温高湿通電テスト, 高温動作テスト) 後も良好に動作することを実証した。

このように, PWB 上へのフリップチップ COB 技術では, 適切なレジンをチップー基板間に注入することによってその信頼性は実使用レベルにまで大きく向上するため, ポスト SMT として一般民生機器への適用が期待される。

(1992.8.19-受理)

文 献

- 1) A. Rai et al.: "COB (Chip on Board) Technology : Flip Chip Bonding onto Ceramic Substrates and PWB (Printed Wiring Boards)", Proceedings of ISHM, 474 (1990)
- 2) 土津田義久, 他: "フリップチップ COB 実装技術", プリント回路学会第 6 回講演大会論文集, 129(1991)
- 3) Y. Tsukada et al.: "Surface Laminar Circuit And Flip Chip Attach Packaging", Proceedings of the 7th IMC, 252 (1992)
- 4) A. Rai et al.: "Flip-Chip COB Technology on PWB", Proceedings of the 7th IMC, 144 (1992)
- 5) S.S. Manson: "Thermal Stress and Low Cycle Fatigue", McGraw-Hill, (1966)
- 6) K.C. Norris and A.H. Landzberg: "Reliability of Controlled Collapse Interconnections", IBM J. Res. Develop., **13**, 266 (1969)
- 7) L.S. Goldman: "Geometric Optimization of Controlled Collapse Interconnections", IBM J. Res. Develop., **13**, 251 (1969)
- 8) P. Lin, J. Lee, S. Im: "Design Considerations for a Flip-Chip Joining Technique", Solid State Technology, 48 (July 1970)
- 9) F. Nakano et al.: "Resin-Insertion Effect on Thermal Cycling Resistivity of Flip-Chip Mounted LSI Devices", Proceedings of the ISHM Conference, 536 (1987)