VLSI パッケージの技術動向

中尾 伸*

Trend of VLSI Packaging Technology

Shin NAKAO *

*三菱電機株式会社 ULSI 開発研究所 (〒664 兵庫県伊丹市瑞原4-1)

* ULSI Laboratory Mitsubishi Electric Corporation (4-1 Mizuhara, Itami-shi, Hyogo 664)

1. はじめに

VLSI デバイスの集積度の向上は目ざましく、例えばメモリデバイスの分野では現在64M ビットの DRAM がほぼ実用化の域にあり、256M ビットの研究開発が行われている。この様なメモリデバイスの大容量化とともにチップサイズも次第に大きくなる傾向にある。図1に DRAM の容量とセルサイズおよびチップサイズとの関係¹⁾を示す。図のように DRAM の容量が4倍になるとチップ面積は約1.5倍になっていることがわかる。しかしメモリデバイスを利用するシステム側からは実装密度を向上させるためにパッケージサイズを小さくしたいという要求が強い。そのためチップ面積に対するパッケージ面積の比、すなわちパッケージ内へのチップ占有率が次第に大きくなる傾向にあり、16M-(D)RAM の

図1. メモリ容量とセルサイズおよびチップサイズとの関係

300mil パッケージでは70%以上にも達している。

一方ノンメモリデバイスは集積度の向上だけでなく、高速化・大消費電力化および多ピン化を招いている。特に MPU や周辺の ASIC はこの傾向が顕著である。図2に MPU の動作速度の動向²⁾を示す。図からわかる様に MPU の処理速度の指標である SPECmark 値は年々増加している。さらに、CMOS 論理 LSI の消費電力と動作速度との間には次のような関係³⁾がある。

$$P = 1/2 (CV^2\nu S_{eff}) \quad (1)$$

ここでCは負荷容量、Vは電源電圧、 ν はスイッチオン・オフの時間当たりのサイクル数、 S_{eff} は有効集積度である。高速化はすなわち ν の増加であり、最近ではチップ当たり30Wもの電力が消費する MPU も開発⁴⁾されている。また多ピン化の傾向としては有名なレンツの法則があり、チップに集積されるゲート規模の増加とともに著しく増している。現

図2. MPUの動作速度の動向

在では400K ゲート以上の ASIC も開発され、近い将来はミリオンゲートとなることは明白である。この様なデバイスに必要なピン数は500～700ピンにも達し、いずれ1000ピンにもなると言われている。以上の様な要求はパッケージ材料や構造の変遷を促している。ここではメモリおよびノンメモリ分野での最近のパッケージ技術動向について述べる。さらに、近年広い分野で注目されている Multi Chip Module (MCM) の動向についても簡単に述べる。

2. メモリ分野でのパッケージ技術動向

メモリ用のパッケージとしては低コストである必要性から従来よりプラスチックパッケージが使われている。図3にメモリパッケージの技術動向の概念図を示す。

まず1970年代までは挿入実装タイプの Dual In-line Package (DIP) が主流であり、一部サイズのシュリンク版やパッケージを立てて挿入実装する Single In-line Package (SIP) や Zig-zag In-line Package (ZIP) が使われていた。1980年代に入り、PCB 基板の両面にパッケージを搭載し、実装密度を上げようとする表面実装型に実装形態が変わってきた。そのためにパッケージも表面実装型のパッケージである Small Outline J-lead Package (SOJ) や Small Outline Package (SOP) が多く使われる様になってきた。この表面実装技術の流れは現在に至っているが、1980年代半ばに厚み約1mmの Thin Small Outline Package (TSOP) が開発され、パッケージの薄形化を促進することになった。現在ではTABの技術を応用し、さらに薄くした厚み約0.5mm

の Dual Tape Carrier Package (DTP) も開発⁵⁾されている。

1980年代後半になると前述した様にパッケージ内へのチップ占有率が増加してきた。この動向はパッケージ外形にインパクトを与えていないが、内部構造の変更を余儀なくさせた。すなわちチップの Al 電極からパッケージの外部リードまでのリードフレームの引き回しをチップ表面上で行おうとする Lead On Chip (LOC) 構造^{6),7)}のパッケージが実用化された。図4に LOC 構造の概観図を示す。図からわかる様にリードフレームのインナーリードおよび引き回し部がチップ上面に設けられ、チップ中央に配置されたボンディングパッドとインナーリードとが Au ワイヤで接続されている。リードフレームとチップとはポリイミド等の材料で接着される場合と中空のままの場合とがある。接着する場合はダイパッドは必要ないが、中空の場合はインナーリード等を形成するのと別にダイパッド用のフレームが必要になる。この様な LOC 構造を採用することにより、パッケージ内のチップ占有率を70%以上に向上させることができるだけでなく、バスバーと呼ばれる電源またはグラウンドラインを設けることができるため、チップ設計におけるボンディングパッド配置の自由度が増し、デバイスの電気特性上有利になるとも言われている。

最近ではこの LOC 技術を用い、パッケージを立てて表面実装することにより、一層の高密度実装を可能にした Surface Vertical Package (SVP)⁸⁾も開発されている。図5に SVP の構造図の例を示す。パッケージの外部リードは J 型に曲げられており、

図3. メモリパッケージの技術動向

図4. LOC構造パッケージの概観図

図 5 . SVPの構造例

PCB に表面実装される。また図には示していないが、パッケージを搭載する際の位置決めやパッケージの支えのための L 型リード（リードスタンド）や突起部（ポストスタンド）が設けられるのが一般的である。

一方上述の様な単体パッケージのほかにカード化およびモジュール化という別の技術の流れがある。これは複数の単体パッケージを PCB 基板に搭載した形態のパッケージであるが、メモ리카ードや SIMM (Single In-line Memory Module) 等の形で実用化されている。このモジュールの分野でもさらに高密度化を図ろうとする動きがあり、パッケージをスタック構造に実装したメモリモジュールが開発⁹⁾されている。図 6 にスタック型のメモリモジュールの一例を示す。

将来もこれらの技術動向は一層強くなると予想され、チップサイズに近いパッケージサイズを実現し

図 6 . スタック型メモリモジュール例

ようとする CSP (Chip Scale Package) やチップを積層して各チップの電極間を金属配線するメモリモジュール等も提案されている^{10),11)}。

3. ノンメモリ分野でのパッケージ技術動向

ここではまずデバイスの多ピン化に対するパッケージの技術動向について述べる。図 7 に多ピンパッケージの電極数および電極ピッチに対するパッケージ形態の関係を示す。挿入実装型の多ピンパッケージとしては Pin Grid Array (PGA) が代表的である。PGA は実装の容易さおよび後述するようなデバイスの要求する諸特性を比較的容易に達成することができるため、数十ピンから 400 ピン以上まで幅広く使われている。PGA のピンピッチは通常 100mil であるが、ピン数の増加とともにパッケージサイズが大きくなりすぎるため、50mil ピッチの表面実装型 PGA が開発されている。

一方典型的な表面実装型の多ピンパッケージに Quad Flat Package (QFP) および Quad Flat J-lead Package (QFJ) がある。QFP はピン数およびサイズとともに種類が豊富であるが、多くのピン数をできるだけ小さなサイズで実現するために、リードピッチの微細化が進展している。すなわち従来 0.8~0.65mm ピッチであったものが 0.5mm ピッチに移行してきており、一部では 0.4 および 0.3mm ピッチの QFP が開発されている。それに対し QFJ はリード加工の困難さから微小ピッチが達成できず、200 ピン以下までとなっている。

さらに 500 ピン以上のピン数には QFP でも対応することができず、TAB 技術を利用することによ

図 7 . 多ピンパッケージの電極数および電極ピッチとパッケージ形態

りリードピッチを0.25mmにまで微細化した Quad Tape Carrier Package (QTP) が開発¹²⁾された。QTP を用いれば、ボディサイズ約□32mmで400ピン以上の端子を取り出すことが可能となる。

なお、図7には記載していないが多ピンパッケージにおいても軽量化、薄形化が一部の電子機器では求められ、厚み約1mmの TQFP が開発されている。この様にパッケージの四辺から端子を取り出す Quad 型のパッケージでは、リードピッチを縮小することにより多ピン化および小型化の要求に対応してきている。

しかしリードピッチが小さくなるにつれて、リードのコプラナリティ (Coplanarity)、PCB 側のパッケージ搭載部のパターン精度、およびパッケージ自体のハンドリング性等の問題からパッケージを搭載することが困難になってきた。そこで近年図7に示した電極ピッチを微細にすることなく、多ピンかつ小型のパッケージが実現できる Ball Grid Array (BGA) パッケージが開発¹³⁾された。図8に BGA パッケージの構造図を示す。

BGA はパッケージ裏面にはんだボールからなる電極が面配置され、このはんだボールを介して PCB 基板に表面実装されるパッケージである。図8に示すように BT レジンの基板上にチップがダイボンドされ、Au ワイヤで接続された後トランスファ成型法により樹脂封止されたパッケージ構造である。図8の例では基板は両面に Cu のパターンが形成されており、基板裏面に直径約0.75mmのはんだボールがピッチ約1.5mmでアレイ状に全面配置されている。

BGA パッケージの大きな特徴の1つに図8にも示したサーマルビア (Thermal Via) がある。VLSI で発生した熱はチップ、ダイボンド部、BGA 基板、およびはんだボールを通して BGA が搭載される PCB 基板へ放散される。このとき BGA 基板内に設けられたビアが放熱のパスとして有効になる。PCB

図8. BGAパッケージの断面構造図

基板内にグラウンドプレーンがある場合、サーマルビアがあると、ない場合に比べて熱抵抗 θ_{ja} が $1/2$ 以下にすることができる¹⁴⁾。図9に225ピン BGA の外観写真を示す。この BGA でボディサイズは□27mmに納まっている。

BGA パッケージは QFP 等甚至比ピン数を増やしても電極ピッチが大幅に小さくならず、今後の多ピンパッケージとして期待されており、現在 JEDEC や EIAJ で積極的に標準化が進められている。しかし BGA は PCB とのはんだ接合点の検査が困難等の問題もあり、今後普及するためには実装機や検査機等の周辺技術が整備されることが不可欠であると思われる。そうなれば、将来ボールピッチを縮小化することでメモリパッケージと同様にチップサイズに近いパッケージサイズが実現される可能性を秘めている。

次にデバイスの高速化および大消費電力化の傾向から考察したパッケージの開発動向について述べる。MPU の高速化の動向については前述した通りであるが、この様な高速化に伴ってパッケージ内での特に給電系のノイズが問題になってくる。 ΔI ノイズまたは同時スイッチングノイズと呼ばれるノイズもこの1つである¹⁵⁾。 ΔI ノイズは多数の出力バッファが同時にスイッチングしたときに、瞬時に多くの電流変化が生じることで発生するノイズである。このノイズを抑えるためにはノイズがパッケージの給電系配線の実効インダクタンスに比例することからパッケージの電源・グラウンド配線のインダクタンスを小さくすることが最も効果的である。したがって最先端の高速デバイスでは電源・グラウンド層を設ける、すなわち多層構造を容易に作ることができるセラミック PGA が最もよく利用される。また特に高放熱性が重視される場合は、キャビティダウン (Cavity Down) でチップを直接 CuW 等のスラグ (Slug)

図9. 225ピン BGAの外観写真

にダイボンドするパッケージ構造が採用されることが多い。また材料面でも AlN や低抵抗の Cu 配線を可能にする低温焼成基板、誘電率の低いガラスセラミックス等が実用化されている。

しかし MPU の周辺論理 LSI や比較的速度の遅い分野で使用される MPU では、コスト低減の必要性からプラスチック QFP が使用される。ただし、磁性体である 42アロイのリードフレームを用いた通常の QFP では、やはり高速化および消費電力の増大に十分対応することができなくなっている。そこでヒートスプレッドと呼ばれる Cu 等の板をダイパッド下に内蔵した Quad Flat Package with Heat Spreader (HQFP)¹⁰⁾が開発されたり、熱伝導率の高い Cu リードフレームを使用して放熱性を高める工夫がなされてきている。Cu フレームは放熱面だけでなく、42アロイに比べてパッケージのリードインダクタンスを小さくすることができるので、今後高速デバイスに対し広く利用されると考えられる。

図10にヒートスプレッドを内蔵した HQFP の構造図を示す。ヒートスプレッドはチップで発生した熱をパッケージの面内方向に拡散させる働きをし、パッケージの熱抵抗を小さくできる。図11に通常の QFP と HQFP の熱抵抗を示す。図には実測結果とシミュレーション結果との両方の値を示している。図から、ヒートスプレッドを内蔵することで熱抵抗を大幅に低減できることがわかる。

次に QFP の特定リードの自己インダクタンスの測定結果を図12に示す。ヒートスプレッドは電気的にフローティングで測定し、インダクタンスは周波数依存性をプロットしている。42アロイに比べ Cu リードフレームはインダクタンスが著しく小さいこ

図10. HQFPの構造図

とがわかる。42アロイでも表面に Ag めっきを施すと Cu ならびにインダクタンスが小さくなっているが、これは表面の Ag 層に電流の大部分が流れているためと考えられる。またパッケージの電気特性をあげるためには電源・グランド層を設けることが有効な手段の1つである。そこで複数のリードフレームをポリイミド等の接着剤で貼りあわせた複合リードフレームも実用化され、利用されるようになってきた。

この様にパッケージは従来のデバイスの保護だけでなく、システム性能を向上させるための役割の一端を担うようになってきており、今後のパッケージ開発の動向を考える上でも重要なポイントであると言える。

4. MCM の技術動向

MCM は複数の機能を有する LSI を 1 枚の基板

図11. QFPの熱抵抗

図12. QFPのリードインダクタンス周波数依存性

に搭載し、目的とする機能や性能を達成しようとする技術で、LSI 間の配線距離を短くし速度性能を最大限に発揮させることを目的にこれまでメインフレームに多く使われてきた¹⁷⁾。ところが、近年 MCM の技術を種々の電子機器に使用する動きもある。現在では使用する基板の材料や配線技術により 3 種類の方式に分類されている。すなわち MCM-L, MCM-C および MCM-D である。MCM-L は基板材料としてガラス-エポキシや BT レジンを用い、MCM-C は厚膜配線技術を用いた多層セラミックスを用いたものである。また MCM-D は薄膜技術により配線形成された基板を用い、材料はセラミックスやシリコンまたは Al 等が利用される。基板への搭載は LSI を一担単体パッケージに収納して行う場合とベアチップを直接搭載する場合とがあるが、一般には L, C, および D の順になるにしたがってベアチップを搭載する傾向が強くなる様である。

MCM-L は最もコストが安くできるが、配線密度、すなわち実装密度が最も低く、一般に放熱性も悪い。それに対し MCM-D は配線密度が最も高く、電氣的・熱的性能にも最も優れているが、コストは最も高くなる。MCM-C は L と D との中庸と言える。

それぞれの MCM の例を図13、図14、および図15に示す¹⁸⁾。図13はカード形状に仕上げられているが、実装技術としては MCM-L の実例である。中央の四角い部品は LSI チップを直接 PCB にフリップチップ方式で搭載したものである。またフリップチップの接続部の信頼性を確保するために、チップと PCB 間には樹脂が充填されている。図14は厚膜多層セラミック基板上に 7 チップ搭載できる MCM-C の例で、パッケージとしては PGA タイプである。LSI チップはワイヤボンド技術で接続される。図15は 5 個のチップを薄膜技術を用いて配線されたセラミック基板上にワイヤボンド技術で接続した MCM-D の例である。セラミック基板上の配線は Cu で層間絶縁材料はポリイミドである。

以上のように MCM はベアチップや単体パッケージを複数個基板にサブアセンブリし、その後電子機器に組み込まれるが、現在では比較的汎用性のある MCM として MPU とキャッシュメモリ用の

図13. MCM-Lの例 (日本IBM提供)

図14. MCM-Cの例 (京セラ提供)

図15. MCM-Dの例

高速 SRAM と MCM 化したものも開発されている。さらに CAD 技術やテスト・バーンイン技術を確立しようとする動きも活発で、これらの技術が普及してくれば MCM は今後大きな市場を形成するであろうと予想されている。

5. まとめ

デバイスの集積度が著しく向上したためにシステムのかかなりの部分が 1 チップに収納できるようになり、システムオンシリコンという言葉が現実的になってきた。そのために LSI パッケージも LSI が搭載されるシステムの技術動向の影響を強く受ける様になってきた。したがって今後 LSI パッケージの開発は単なる部品として捉えるのではなく、システムの一部という考えに基づいた開発が重要になってくるであろう。またシステム開発とパッケージも含めたデバイス開発とが連携を深めることも必要になる

であろう。この様に電子機器の分野では、基本材料から最終システムまで幅広い技術が歩調を合わせて進歩していかなければ、優れた製品を生み出すことは困難になってきていると思われる。

(1993.12.13-受理)

文 献

- 1) Betty Prince, Semiconductor Memories-2nd ed., John Wiley & Sons Ltd., p. 209, 1991.
- 2) 日経マイクロデバイス, p.37, 1992年3月号.
- 3) 大塚寛治: “ASIC パッケージの技術動向”, Semiconductor World, pp.114~119, 1991年6月.
- 4) 日経マイクロデバイス, p.39, 1992年3月号.
- 5) 寺岡康宏, 他: “0.5mm厚パッケージング技術”, Semiconductor World, pp.98~102, 1991年6月.
- 6) William C. Ward, et al.: “VOLUME PRODUCTION OF UNIQUE PLASTIC SURFACE-MOUNT MODULES FOR THE IBM 80-ns 1-Mbit DRAM CHIP BY AREA WIRE BOND TECHNIQUES”, Proceeding of 38th ECC, pp. 552~557, 1988.
- 7) N.Ueda, et al.: “Studies on a New LOC Structure Package”, Proceeding of VLSI PACKAGING WORKSHOP, paper III-4, Oct.1993.
- 8) Tony Chiu, et al.: “High Density Memory Packaging with Vertical Surface Mount Package (VPAK)”, Proceeding of The 1st VLSI PACKAGING WORKSHOP, pp.37~39, Nov.1992.
- 9) 福元孝和, 他: “スタック (階層構造) メモリモジュール”, 電子材料, pp.33-39, 1993年9月.
- 10) 宇和川典彰: “ハーフミクロン時代のアセンブリ技術”, 日刊工業新聞, 1993年7月.
- 11) Myles F.Suer, et al.: “Low profile, 3-D Memory for Portable and Hand Held Applications”, Proceeding of The 1st VLSI PACKAGING WORKSHOP, pp.28~36, Nov.1992.
- 12) T.Ueda, et al.: “HIGH PIN COUNT AND HIGH POWER PACKAGE”, IEEE VLSI & GaAs

Chip Packaging Workshop, pp.13~16, 1991.

- 13) B. Freyman, et al.: “Overmolded Plastic Pad Array Carriers (OMPAC): A Low Cost, High Interconnect Density IC Packaging Solution for Consumer and Industrial Electronics”, Proceeding of 41th ECTC, pp.176~182, 1991.
- 14) Jim Sloan, et al.: “OVER MOLDED PAD ARRAY CARRIER (OMPAC) 'A NEW KID ON THE BLOCK'”, Proceeding of The 1st VLSI PACKAGING WORKSHOP, pp.17~27, Nov. 1992.
- 15) Naohiko Hirano, et al.: “Minimization of Effective Inductance of Ground Plane and Experimental Simultaneous Switching Noise in a Multilayer VLSI Package”, Proceeding of The 1st VLSI PACKAGING WORKSHOP, pp.43~45, Nov.1992.
- 16) 関博司, 他: “多ピン用プラスチックパッケージの電気特性”, 第5回マイクロエレクトロニクスシンポジウム論文集, pp.111~114, 1993年6月.
- 17) Takashi Inoue, et al.: “Micro Carrier for LSI Chip Used in the HITAC M-880 Processor Group”, Proceeding of 41th ECTC, pp.704~711, 1991.
- 18) 日経マイクロデバイス, p.28, 1993年4月号.

用語解説

SPEC mark 値: 実際のアプリケーション・プログラムから演算用のものを選んで、コンピュータ上でプログラムそのものが動いている時間をテストしたベンチマークの標準のことである。

中尾 伸 (なかお しん)

昭和34年生まれ。昭和56年、九州大学工学部情報工学科卒業。現在、三菱電機株式会社 VLSI 開発研究所において、VLSI の新しいパッケージング技術の開発に従事。