CSP(Chip Scale Package)の開発

Chip Scale Package

馬場 伸治*

上田 直人*

中川 治*

1. はじめに

1994年頃から国内外において、究極のパッケージとして CSP (Chip Scale Package) の研究・開発が特に活発化し、注目を浴びている。我々の CSP 開発における基本コンセプトは、①パッケージサイズがほぼチップサイズであること、②また、テストが可能で、KGD (Known Good Die) として品質保証できるパッケージであること、③さらに、小型・軽量化に加え、優れた電気特性、ハンドリング性、実装性の実現が可能であること、などである¹⁾。

携帯機器等をはじめとした電子機器の小型・軽量化・高性能化が進む中で、これらの特徴を備えた CSP に対する、セットメーカーからの期待が著しく強くなっている。

本稿では、我々が開発した100ピン級および1,000ピン級のプロトタイプ CSP の基本構造、製造プロセスおよびその評価結果について紹介する。また、CSP の今後について展望する。

パッド電極とバンプ電極をチップ上に形成した金属配線パターンで電氣的に接続している。この配線パターンは、ウェハプロセスにおいて形成するため、微細配線パター

Wiring Conductor Pattern

Fig.1 Perspective view of the chip scale package for memory device.

Fig.2 Cross sectional view of the electrode bump.

2. 基本構造

CSP の基本構造を Fig.1 に示す。CSP は LSI チップ、封止樹脂、バンプ電極のみから構成される。従来型パッケージに用いられる、リードフレームとボンディングワイヤを持たないため、パッケージの小型化が容易である。Fig.2 はバンプ電極部の断面図である。LSI チップ上の

* Shinji Baba, Naoto Ueda, Osamu Nakagawa
三菱電機㈱半導体基盤技術統括部/Mitsubishi Electric Corporation. Manufacturing Technology Div.

Fig.3 Perspective view of the chip scale package for logic device.

ンの形成が可能であり、外部端子となるバンプ電極を任意の位置に配置可能となる。これによりパッケージの標準化が容易となる。また、ボンディングワイヤを用いないため、LSI 上のパッド電極を従来型パッケージのパッ

ド電極より小さくすることも可能であり、チップサイズの縮小化につながる。

以上の100ピン級 CSP で確立された基本構造は、より高速動作が要求される300ピンを超えるロジックデバイス等に対応した、多ピンパッケージへ展開することも容易である。Fig.3 に多ピンをターゲットとした CSP の基本構造を示す。多ピン対応においても、CSP の基本構造および製造プロセスは、100ピン級 CSP と同等である。

今回、プロトタイプとして開発した100ピン級および1,000ピン級 CSP の外観写真を Fig.4 および Fig.5 に示す。また、プロトタイプのパッケージ仕様を Tab.1 に示す。

3. 製造プロセス

3.1 配線プロセス

CSP の製造プロセスでは、従来型パッケージのアセンブリプロセスの前にウェハプロセスとしての金属配線パターン形成と Pb-Sn はんだ形成が必要となる。Fig.6 にプロセスフロー図を示す。

第1にウェハテストが完了した LSI チップ上にパッド電極と外部電極を接続する金属配線パターン層を設け、はんだ濡れ性の良好な Pb-Sn はんだ層の下地金属層を設ける。プロトサンプルでは、下地金属層にはんだ濡れ性および耐食性の点から TiN/Ni/Au の積層構造で開発を行った。

第2にポリイミドのバッファークोट形成を行う。このバッファークोटは主にモールド樹脂の応力を緩衝するためにであり、外部電極形成部のみ開口する。

第3にポリイミド開口部に、内部バンプ (Cu バンプ) を接合するための接合材として用いられる Pb-Sn はんだ層を形成する。形成方法は、従来、蒸着—リフトオフ法であったが、メタルマスクを用いたはんだボ

Fig.4 Fabricated prototypes for memory device.

Fig.5 Fabricated 1024pin prototype.

Tab.1 CSP prototype outlines.

	Prototype A	Prototype B	Prototype C	Prototype D
Chip Size	5.95×14.84mm			16.0×16.0mm
CSP Body Size	6.35×15.24mm (250×600mil)			16.6×16.6mm
Bump Count	60bumps (5×12)	96bumps (6×16)	32bumps (2×16)	1024bumps (32×32)
Bump Pitch	1.0mm	0.8mm	0.8mm	0.5mm

Fig. 6 Pre-assembly processes.

ールセット法や、印刷法等を適用することにより、低コスト化を実現した。また、はんだ材としては、95% Pb-5% Sn（融点：約310℃）を用いている。

3.2 アセンブリプロセス

CSPのアセンブリプロセスは Fig.7 に示すように下記4段階で行われる。

① Cu バンプ接合プロセス

ベースフレーム上にポリイミド樹脂で接着され、かつ

パターンニングされた Cu バンプと、上記の配線プロセスを終えたチップをフェイスダウン方式で加熱溶融接合する。接合は $H_2 + N_2$ ガス雰囲気中、フラックスレスで行う。

② 樹脂封止プロセス

チップが接合されたフレーム面側をチップごとにトランスファモールドによって樹脂封止する。

③ バンプ転写プロセス

Cu バンプはポリイミド接着層の界面でフレームと機械的に引き剥がされ、内部バンプとしてチップ（パッケージ）に転写される。Cu バンプとフレームの接着力等を最適化することで、フレームとの剥離は容易に行うことができる。

④ 外部電極形成プロセス

フレームの剥離により樹脂封止面から露出した Cu バンプ上に、はんだボールセット法や印刷法等により、外部電極を形成する。

4. はんだ接合部の疲労特性

CSP のように大部分が Si チップであるパッケージを一般的な実装基板に搭載した場合、実装基板と Si チップ間の熱膨張係数差に基づく熱応力が、はんだ接合部に発生する。この応力による疲労破壊は、パッケージの信頼性上重要な要素となる。今回プロトサンプル B に注目し、熱応力シミュレーションおよび温度サイクル試験を行った。

シミュレーションは、ガラスエポキシ基板にベアチップおよび CSP をそれぞれ実装した後ののはんだ接合部の

Fig. 7 CSP assembly process.

Tab.2 Solder joint fatigue life test.

Structure	Result of TEST			Result of Simulation	
	0cyc	200cyc	500cyc	$\Delta \epsilon t$ (%)	Nf(50) (cycle)
Bare Chip	0/20	7/20	19/20	3.534	112
CSP	0/10	0/10	4/10	1.832	478

Test Condition : -40/+125 deg. C

熱応力を算出した。この結果より Coffin-Manson の式からはんだ接合部の疲労寿命を予測した¹⁾。

また、温度サイクル試験は、シミュレーションと同じく、ベアチップおよび CSP をガラスエポキシ基板に搭載し、-40℃～+125℃の条件で行った。

以上の評価結果を Tab.2 にまとめる。これらの結果より、CSP 構造とすることにより、はんだ接合部の疲労特性は向上し、シミュレーション結果ともほぼ一致した。また、現在さらに高い疲労特性を得るための構造および材料等の最適化を進めている。

5. 今後の展望

プロトサンプルとして、100ピン級および1,000ピン級 CSP の開発・試作を行った。これらの CSP は、超小型化を実現し、ハンドリング性・テスト性に優れ、また、電気特性的にも有利なフリップチップタイプのパッケージである。さらに、メモリデバイス等に対応した100ピン級での展開およびロジックデバイス等に対応した300ピンを超える多ピンパッケージへの展開も容易である。

Tab.3 に現在、開発を予定しているロジックデバイス等の多ピンをターゲットとした CSP のラインアップを

Tab.3 CSP lineup.

CSP Body Size [D]/[E] (mm)	Pitch [e] = 0.5mm				Pitch [e] = 0.4mm			
	Ball row [M]×[N] [D]×[E]	Pin Count [N]			Ball row [M]×[N] [D]×[E]	Pin Count [N]		
		Full matrix	Perimeter			Full matrix	Perimeter	
			10row	6row			7row	4row
6.3	10×10	100			13×13	169		144
7.1	12×12	144			15×15	225		176
8.0	14×14	196		192	17×17	289	280	208
9.0	16×16	256		240	19×19		336	240
10.0	18×18	324		288	22×22		420	288
11.2	20×20	400		336	25×25		504	336
12.5	23×23	529	520	408	28×28		588	384
14.0	26×26		640	480	32×32		700	448
16.0	30×30		800	576	37×37		840	528
18.0	34×34		960	672	42×42		980	608
20.0	38×38		1120	768	47×47		1120	688

[D]/[E] ratio = 1

Fig.8 CSP outline for lineup.

示す。Fig.8 に主要な外形寸法図を示す。外部電極ピッチに関しては、0.5mmと0.4mmの2種を検討しており、この外部電極のピッチと最大配列数は、CSP搭載基板の開発動向に密接に関係する。たとえば、外部電極0.5mmピッチで最大6列配置 ($e=0.5\text{mm}$, Perimeter, 6 row) のCSPでは、搭載面側にビルドアップ2層、また最大10列配置のCSPでは、3層のビルドアップ基板が必要となる^{2),3)}。

今回報告したように、CSPのパッケージング技術としては多ピン化に対応した領域に関してもすでに大きな問題は乗り越えており、今後の課題としてはCSP以外の要因、すなわち搭載基板のデザインルールや実装性およびテスト性等の課題があげられる。超多ピンCSPに対してはこれらの技術開発が必要となろう。

参考文献

- 1) M. Yasunaga, S. Baba, M. Matsuo, H. Matsushima, S. Nakao and T. Tachikawa: Chip Scale Package (CSP) "A

Lightly Dressed LSI Chip", Proceedings 1994 IEMT Symposium, (1994), 169-176.

- 2) 榎本 亮, 匂坂克己: MCM/LSI実装用プリント配線板製造プロセス“アディティブ法”, サーキットテクノロジー, Vol. 9 No. 5, (1994), 359-363.
- 3) 福富直樹, 坪松良明, 中山 肇, 和田辰男, 吉野 篤, 石黒智: MCM/LSI実装用プリント配線板製造プロセス“転写法配線板”, サーキットテクノロジー, Vol. 9 No. 5, (1994), 369-376.

〔執筆者紹介〕

馬場伸治 (ばば しんじ)

1989年, 大阪大学・大学院工学研究科修士課程修了。同年, 三菱電機㈱入社。以来, 半導体パッケージ技術の開発に従事。

上田直人 (うへだ なおと)

1982年, 日本大学・電子工学科卒業。同年, 三菱電機㈱入社。以来, 半導体パッケージ技術の開発に従事。

中川 治 (なかがわ おさむ)

1973年, 大阪大学・応用化学科修了。同年, 三菱電機㈱入社。以来, アセンブリ技術開発に従事。現在, アセンブリ技術部パッケージ構造開発課課長。