CSP(チップサイズパッケージ)

—フリップチップ実装 LGA 型 CSP—

CSP (Chip Size Package) -Flipchip Mounting LGA Type CSP-

國友 美信*

1. はじめに

半導体パッケージは大きく3つの役割を持つ。それは環境からのチップの保護、信号の授受や電源の供給など周辺回路との電氣的な接続、そして効率よい熱放散機能である。そのうえに多ピン化と小型化という相反する課題を解決しつつ低価格化を図ってきた。最も普及しているQFP (Quad Flat Package) の場合、国内では0.5mmピッチが量産され0.3mmピッチも一部で実用化が始まっている。しかし、ファインピッチQFPは高い搭載精度と高度なんだ供給技術が必要であり、ユーザが強いられる負担は大きい。昨今の情報通信機器の小型化は著しく、パッケージに与えられる容量や重さは極めて小さくなり、ベアチップでの実装も真剣に検討されている。しかし、KGD (Known Good Die) の供給などさまざまな課題は十分解決されておらず、現状はベアチップ実装が一般的になる環境には至っていない。そこで注目されはじめたのが超小型パッケージCSPである。1994年にさまざまなCSPが発表されたが、検査技術等の周辺技術が未確立であったり、コスト的な問題より、その大半は本格的な実用化には至っていない。

ここで紹介するLGA (Land Grid Array) タイプCSPはそれらの問題を解決し、CSPとして初めて本格的な商品化がなされたパッケージである (LGAタイプCSPはスタッドバンプボンディング方法を用いてセラミックLGAキャリアにチップをフェースダウン実装し樹脂封

Fig.1 CSP structure.

止を行ったタイプのCSPである)。

2. LGA タイプ CSP の構造

Fig.1はLGAタイプCSPの外観写真および構造図である。このパッケージはLSIチップとセラミックキャリア、その隙間を充填する封止樹脂および両者を電氣的に接続する導電性接着剤から構成される。チップの電極パッド上には一般的なワイヤボンダを用いて二段形状のAuバンプが形成されている。導電性接着剤は転写法を用いてこのAuバンプに供給される。この導電性接着剤

* Yoshinobu Kunitomo

松下電子工業(株)半導体事業本部/Matsushita Electronics Corporation. Semiconductor Group.

は Ag-Pd 粉末と特殊エポキシ樹脂からなり、硬化後も弾力性を保つために接続部に応力が印加されても破壊されにくい。

これらの技術がSBB (Stud Bump Bonding) 技術であり、特殊なバンパ形成装置や洗浄工程を必要とせず、通常仕様のアルミパッドのチップを用いてフリップチップ実装を可能としている¹⁾。キャリアは積層セラミックでありチップ搭載面にはAuバンパの位置に対応したメタライズパッドが形成されている。搭載面の裏面には格子状の電極ランドが形成されており、メタライズが充填されたVIAホールを介して電氣的接続がなされている。必要に応じて配線の多層化やグランド層も設置できる。また、底面の電極ピッチは1.0mm以下である。LGAタイプCSPは普及が始まっているBGA (Ball Grid Array) のようにはんだボールを底面ランドに設けないことを特徴としている。

と実装面積の比較を示した。0.5mm ピッチ QFP と 1.0 mm ピッチ LGA タイプ CSP を比較した場合、多ピンになるほど面積比が大きくなる。また、寸法に拘わらずパッケージ高さが一定であることも優れた点である。携帯機器への応用に重要な要因となる重量は256ピンで0.54g, 208ピンで0.42g であり同等のピン数の QFP の10分の1以下である。

(2) 実装性

LGA タイプ CSP は小型パッケージであるにも拘わらず実装が容易である。13mm 角レベルの1.0mm ピッチの場合、**Fig.3** に示したように、ほぼ0.4mm 程度の搭載位置ずれがあってもリフロー中に修正（セルフアライメント）される²⁾。QFP の場合、たとえば0.5mm ピッチでは0.05mm の搭載精度が必要のようにほぼリードピッ

Fig.3 Self alignment.

3. LGA タイプ CSP の特徴

(1) 外形

LGA タイプ CSP に限らずファインピッチ LGA や BGA 最大の特徴はサイズが小さい割には電極ピッチが大きいことにある。QFP がピン数の二乗で実装面積が増加することに対して、これらのパッケージは底面全体に電極を設けるために直線的に増加するためである。

Fig.2 に QFP と LGA タイプ CSP のピン数

Fig. 4 Thermal resistance.

Fig. 5

チの1/10の精度が必要である。さらに微細化に伴い、特殊なはんだ印刷マスクや印刷機、リードフレームの変形などの問題も生じる。LGA タイプ CSP は実装において搭載装置やはんだ供給方法に特殊な技術が必要としない。また、優れた耐吸湿性が開封後の制約を無くしユーザにとって大変扱いやすいものになった。

(3) 熱放散性

LGA タイプ CSP はパッケージ底面全体が0.1mm ~ 0.15mm 程度の厚みのはんだによってプリント基板に取り付けられているために QFP と比較して熱をプリント基板に伝えやすい。この結果、Cu 箔量が多くなる四層板以上の多層プリント基板に搭載した場合の熱放散性は Fig. 4 に示したように QFP より優れている。また、チップ裏面が露出している LGA タイプ CSP は放熱フィンの取り付け効果が大きい³⁾。

(4) 電気特性

LGA タイプ CSP はサイズが小さく LSI チップがキャリア電極にバンパで直接接続されているために伝搬経路が短い。たとえば、40mm 角 QFP の平均配線長は Au ワイヤも含めて約20mm ほどになるが17mm 角の CSP では約3.0mm と QFP のほぼ7分の1になる。その結果、電気特性の向上が認められる。13mm 角の CSP のリードインダクタンスは84ピンの QFP の20分の1以下であり、スイッチングノイズは4分の1、クロストークは6分の1になる。Fig. 5 に256K の SRAM のアドレスアクセスタイムを LGA タイプ CSP の場合と DIP の場合で比較した⁴⁾。

(5) 信頼性

LGA タイプ CSP の信頼性に関してはほとんどの項目において QFP と同等以上である。先に述べた吸湿後の

リフロー信頼性は85℃RH85%の条件で168時間吸湿を行った後に直ちにピーク温度260℃のリフローを行っても問題は認められない。

LGA タイプ CSP の信頼性において最も注意が必要であるのは二次実装信頼性、すなわちプリント基板とセラミックキャリアの接合部の耐熱衝撃信頼性である。二次実装は、メタルマスクによる印刷法により、はんだクリームをプリント基板上に供給し、CSP を位置認識装置付搭載機を用いてプリント基板上に置き、リフローすることによって CSP を他の表面実装タイプのチップ部品と同時に実装することを可能とした。

LGA タイプ CSP はプリント基板とセラミックキャリアや LSI チップの熱膨張差による熱応力の吸収を BGA のようにはんだボールに頼らない。寸法が小さくさらにキャリア厚みが小さいことがはんだ接合部への熱応力の集中を防ぐ効果を生じさせている。これは LGA タイプ CSP の大きな特徴であり、薄型化や低価格化に大きく貢献している。ただしキャリアサイズとチップサイズ、そしてプリント基板の仕様（厚み、層数）やはんだ仕様が二次実装信頼性に大きく寄与するために設計検討は十分に行わなければならない。

4. キャリア設計

4.1 SBB 実装対応キャリア仕様

LGA タイプ CSP の主な材料であるセラミックキャリアは、信頼性はもちろんのこと特性や組立歩留り、さらにはコストにも大きな影響を及ぼす材料である。

SBB 接続部において Au バンパやキャリア電極の高さバラツキによる接続不良を防いでいるのは導電性接着

剤である。その転写厚みは最大14μmであるためにAuバンブとキャリア電極の高さバラツキの和がそれ以上であってはならない。したがって、セラミックキャリアのチップ搭載面の平坦度は最大10μmである。実際的にも10μm以上で歩留りは低下する。電極の位置精度はバンブの位置精度と接着剤の転写状態や搭載精度から±20μm以下が必要である。チップパッドピッチが120μmの場合、Auバンブの台座径バラツキや位置精度、キャリアパッド位置精度、チップマウンタの搭載精度等により最大キャリアパッド幅は70μmである。これ以上大きいパッド幅の場合、隣接するパッド間でショートが発生する可能性がある。

キャリア外辺に対する底面のランドの位置精度も重要である。ソケット等はキャリア外辺で位置決めを行い稼働ピンをランドに接触させるためにこの値が重要である。外辺寸法公差±0.1mm、外辺と底面ランド位置精度も±0.1mm以内が必要である。

4.2 キャリア製造方法

Tab.1 にさまざまなセラミックキャリアの検討案を示した。焼成時の収縮誤差はセラミックの欠点である。

①チップ搭載面メタライズをセラミック焼成と同時に焼き付けるコファイヤ仕様において収縮率±0.3%の場合、パッドの必要位置精度±20μmを確保するためにはキャリアサイズは10.5mmが限界になる。

②焼成後のキャリアにチップ搭載面のメタライズを印刷し焼き付けるポストファイヤ法の場合

Tab.1 Carrier composition.

	TOP FACE ELECTRODE	SUBSTRATE MATERIAL	ELECTRODES MATERIAL ⊕ PLATING	TOP FACE FLATNESS	TOP FACE FINE LINE (LINE/SPACE)	ELECTRODE POSITIONING	VIA HOLE POSITIONING	RESISTANCE [mΩ]	ELECTRODES ACCURACY	APPLICATION TO CSP
1	COFIRE PRINTED METALLIZED ELECTRODE	GLASS CERAMIC	Au ⊕ NON	AVERAGE [< 15 μm]	GOOD	AVERAGE	AVERAGE	EXCELLENT [< 100 mΩ]	GOOD	UNDER CONSIDERATION
		Al ₂ O ₃ (CONV.) Al ₂ O ₃ (NEW)	W Mo ⊕ Ni/Au PLATING	POOR [< 20 μm] GOOD [< 10 μm]	GOOD GOOD	AVERAGE GOOD [< 20 μm]	AVERAGE GOOD	GOOD [< 150 mΩ] AVERAGE [< 200 mΩ]	GOOD GOOD	IMPOSSIBLE UNDER DEVELOPMENT
2	POST FIRE PRINTED METALLIZED ELECTRODE	GLASS CERAMIC	Cu ⊕ Ni/Au PLATING	GOOD [< 10 μm]	GOOD [0.06/0.06]	EXCELLENT [< 10 μm]	AVERAGE	EXCELLENT [< 100 mΩ]	AVERAGE	UNDER MANUFACTURING
3	POST FIRE PLATING ELECTRODE	GLASS CERAMIC	Cu ⊕ Ni/Au PLATING	GOOD [< 10 μm]	EXCELLENT	EXCELLENT [< 10 μm]	AVERAGE	EXCELLENT [< 100 mΩ]	EXCELLENT	UNDER MANUFACTURING
4	COFIRE PRINTED METALLIZED ELECTRODE	NONSHRINK GLASS CERAMIC	Cu ⊕ Ni/Au PLATING	AVERAGE [< 15 μm]	GOOD	GOOD [< 20 μm]	GOOD	EXCELLENT [< 100 mΩ]	GOOD	UNDER CONSIDERATION
	POST FIRE PRINTED METALLIZED ELECTRODE	NONSHRINK GLASS CERAMIC	Cu ⊕ Ni/Au PLATING	AVERAGE [< 15 μm]	GOOD	EXCELLENT [< 10 μm]	GOOD	EXCELLENT [< 100 mΩ]	AVERAGE	UNDER DEVELOPMENT
5	COFIRE VIA HOLE LAPPING	Al ₂ O ₃	Ni/Au PLATING	EXCELLEN [< 1 μm]		GOOD [< 20 μm]		GOOD [< 200 mΩ]		UNDER EVALUATION

合、焼結済みのセラミックはメタライズ焼き付け工程で収縮しないので収縮誤差は発生しない。しかし、VIA ホール位置は収縮誤差が生じており、誤差が大きい場合、VIA ホールとポストファイヤのメタライズの位置合わせが困難になる。ポストファイヤメタライズは複数のキャリアが並んだシート状態で印刷されるために、VIA ホールの位置精度はシート全体の大きさで考える必要がある。

たとえば、収縮誤差はXY 方向ともに $\pm 0.3\%$ の場合、100mm 角のシートにおける VIA 位置精度はXY 方向ともに $\pm 0.3\text{mm}$ の誤差を生じる。この場合、 $\phi 0.15\text{mm}$ の VIA ホールにランドを合わせるためにはランド径が 0.58mm 以上必要になる。これだけ大きいランドは配線引き回しに影響を及ぼし、層数を増加させる原因となる。層数の増加はキャリア平坦度の悪化や、収縮率の誤差の増加を伴う。

③セラミック基板全面にめっきを施し、配線パターン以外の部分のめっきをエッチングによって取り除くめっきエッチング方法においても同様の課題がある。

④焼成時の収縮を厚み方向に限定させることにより平面方向の収縮を抑えこの問題を解決する方法がある。この場合、工法上低温焼成セラミックを用いる必要がある。

⑤平坦度のMAX、 $10\mu\text{m}$ 保証は最も困難な課題である。そこで、平坦度確保のために研磨を行う方法がある。これは搭載面のパターン形成を行わずチップパッド位置に直下の層から VIA ホールのみを上げ搭載面を研磨する方法である。この方法の場合、平坦度は保証可能となるが焼成収縮誤差によるパッド位置の精度は低下する。

現在、平坦度 $10\mu\text{m}$ を満足することのできる工法は、

②ポストファイヤ法と⑤研磨法の2つである。研磨法はコストの問題があり主にポストファイヤ法基板を用いているが、収縮精度 $\pm 0.2\%$ で平坦度も $10\mu\text{m}$ 以下の①コファイヤ法基板も可能になっている。この場合、 $\phi 0.1\text{mm}$ の VIA ホールに $\phi 0.2\text{mm}$ のランドが可能であるために、表層にてすべての配線を引き回す構造（単板仕様）が可能となり、コストの大幅な改善が期待される。

5. LGA タイプ CSP の製品規格

Tab.2 に LGA タイプ CSP の規格を示した。これまで発表されている他の CSP と比較すると、チップの最小パッドピッチやパッケージの寸法が大きい。このことは LGA タイプ CSP が究極の CSP を目標としたものではなく、これまでのチップをそのまま利用することが可能で、実使用上の障害が少なく、しかも高い信頼性を確保することを優先したためである。たとえば、検査のソケットの準備や既存の搭載機やはんだ印刷機の使用が可能であることや、特殊な仕様プリント基板の必要が無いことなどである。

6. 外形標準化

外形の標準化は新パッケージの普及を助ける。標準化により、汎用のソケットやトレイが得られるようになり、プリント基板の設計ルールの設定も容易になる。

現在 EIAJ (Electronic Industries Association of Japan) では LGA タイプ CSP の標準化を検討中である。検討項目は本体寸法、ランドピッチ、さらにプリント基

Tab.2 CSP design.

	Massproduction availability	Recommendation
Chip thickness	0.3mm~	
Chippad pitch	MIN. 120 μm	
Chip pad size	MIN. 92 μm ×92 μm	
Pad material	Conventional Al	
Protection coating	Organic or inorganic film	
Package size	Every 1.0mm square	From 7mm~23mm odd numericals
Size difference (Package) - (Chip)	MIN. 2.0mm	
Package land diameter	0.4mm~0.7mm	0.6mm
Pin counts (Land)	45pin~525pin	More than 200pin
Land pitch (MP) (Consideration)	1.0mm (0.8mm, 0.65mm, 0.5mm)	
Print circuit board condition	Thickness 0.6mm~1.5mm Layer counts 2-layers~	More than 4-layers
Land~body overhang	0.5mm±0.15mm	

板の配線引き出しや容量の接続を考慮したランド配列などである。

JEDEC (Joint Electron Device Engineering Council) においては、0.5mm ピッチを基本として、そこから使用しないランドを省く方法を提案している。この場合、1.0mm ピッチ未満は、1.0mm ピッチの千鳥格子配列、0.5mm ピッチの2種類のみである。95年中に EIAJ においても結論を出す予定であるが、JEDEC 同様1.0mm ピッチを最大として0.5mm ピッチまでピッチの種類を検討してゆく。

EIAJ は今年 6 月に JEDEC に対して CSP の標準化の開始と基本方針を伝えた。従来、標準化においては品種数を少なくすることが重要な役割であったが、CSP の場合従来とは違った考え（パッケージをチップに合わせる、有効に面積を使う）が必要である。パッケージの統合を主目的にした標準化は CSP の利点をなくする恐れがある。CSP の標準化は周辺装置の共用化や設計を容易にすることを目的として、CSP の特徴を損なうことがないようにすることが重要である。

7. ま と め

1.0mm ピッチの LGA タイプ CSP は厳密には CSP とは言えない場合がある。しかしながら LGA タイプ CSP は、1.0mm ピッチに限定して開発を進めてきた。1.0mm ピッチ未満では現状において未解決の課題が多く量産化には時期尚早である。1.0mm での実績作りが重要と考えた。LGA タイプ CSP の応用が広まれば LGA タイプ CSP 用のチップの開発（ワイヤボンディングを前提にしないパッド配列のチップ）も検討されるであろう。その場合、パッドレイアウトをたとえばキャリア底面のランド位置同様の格子状にすればキャリア上面に配線を設ける必要はなくなる。したがって、ビアホールのみキャリアを用意すれば LGA タイプ CSP の組

立が可能となり、品種毎に異なるキャリアの必要性が解消する。そのような形でキャリアの汎用化が実現すれば一層 LGA タイプ CSP の普及が進むと思われる。

また、キャリアがビアホールのみになればキャリア基板は多層セラミックである必要はなくなる。安価で高い精度を持ち納期の短い材料が他に期待できる。また、半導体メーカーでの基板作製も可能になる。LGA タイプ CSP のような構造は従来より知られていたが、特殊なプロセスの必要性や価格、そして接続部が見えない問題などにより、その使用は分野が限られていた。今回、SBB 技術と低価格キャリアがこのパッケージを一般的なものにした。さらに BGA の先行がグリッドアレイパッケージへの理解を助けている。

LGA タイプ CSP の普及が急速に行われることにより、フィルムやモールドタイプの μ BGA など他のタイプの CSP の実用化も促進されるだろう。今後 KGD 供給が容易に行われる予測もされているが、ベアチップでの取扱いの困難さはもちろんのこと、品種毎に検査治具を用意するためのコストなどを考えれば、ユーザの負担は著しいものがあると予想される。LGA タイプ CSP をはじめとした CSP の普及がベアチップ実装への動きにどのように影響を及ぼすか注目したい。

参 考 文 献

- 1) Y. Bessho, et al.: A Stud Bump Bonding Technique for Density MCM IEMT SYMPOSIUM, 1993.
- 2), 3) 山本哲浩, 斉藤 彰, 石川和弘: mate'95 1st シンポジウム, 溶接学会, p-119-122.
- 4) 影山精一: mate'95 1st シンポジウム, 溶接学会, p-199-202.

【執筆者紹介】

國友美信 (くにとも よしのぶ) 当協会正会員
1980年, 広島大学・理学部卒業。松下電子工業(株)半導体事業本部生産技術センター実装技術部主任技師。EIAJ セラミックパッケージサブコミッティー主査。