CSP の技術開発動向

Technology Trend on CSP
(Chip Size Package)

方 慶一郎*

松田 修一*

1. はじめに

CSP (Chip Size Package もしくは Chip Scale Package) は、新しいコンセプトの PKG 形態として一気に脚光を浴びている。'94年に各社各様の提案が相次いだ、予想以上の市場やユーザの強い要求を受け、開発スピードが加速され、各社ともサンプル出荷ができる段階にきている。'96年には量産化が開始され、'98年にはかなりシェアを伸ばすと見ている人も少なくない。

そこで本稿では、高密度パッケージおよび CSP の技術開発動向についてまとめてみた。

2. 最新高密度実装技術動向 <日米の相違点>

表面実装技術の進展によりロジック系パッケージは、QFP (Quad Flat Package) が主流となっている。しかし、ファインピッチ化に伴い、日本では0.4~0.5mmが、米国では0.65mmが実装性におけるほぼ限界といわれている。そこで、米国が先行した形で BGA (Ball Grid Array) が普及し始めた訳だが、日本のユーザが考えていた以上に BGA の実装歩留りはよく、一部多ピンデバイスには日本でも採用されつつある。しかし、BGA

Fig.1 High density PKG trend.

の主流はあくまでも米国であり、IEEE 主催の今年の ECTC (Electronic Components & Technology Conference) でも BGA 一色であった。

一方、BGA に押され一時の勢いはないものの、電子機器の小型軽量化や高機能化を実現すべくフリップチップ実装/MCM (Multi Chip Module) 技術も米国主導で開発されてきたものである。MCM は複数の半導体チップを一つの基板にベアチップ実装してまとめることで、実装密度の向上が図れ、高速動作も可能となる。ところが良品を保証したベアチップ、すなわち KGD (Known Good Die) でなければ、MCM の歩留り低下をもたらしてしまう。

日本の半導体メーカーにおける KGD の対応は、一部実用化されているものの、思ったほど浸透していないのが現状である。保証方法、選別コスト、ハンドリング性な

* Keiichiro Kata, Shuichi Matsuda

日本電気㈱半導体高密度実装技術本部/NEC Corporation.
VLSI Packaging and Testing Engineering Division.

どの問題もさることながら、最も大きな障壁はパッケージと異なり、標準化が極めて困難な情勢にある点である。また、米国ではコスト的に高いKGDを適用してでも要求されるハイエンドな市場があるのに比べ、日本ではQFP以下のコストが不可欠な民生市場主体であるため、ほとんど魅力がないと考えられる。

このような状況の中でCSPに特に力を入れ始めたのは、日本メーカが主体である。後述するように、大半のロジック系CSPは、面端子配列型パッケージのピッチが現状よりもファイン化されており、ファインピッチBGA (FPBGA) と称されている。

Fig.1 にロジック系の最近の高密度実装技術動向を示す。日本メーカの得意なファインピッチ表面実装技術をフルに生かして、QFPが歩んできた狭ピッチ化への道と同じ道をBGAで歩もうとしているのがCSPである。CSPは特殊なパッケージではなく、BGAやLGA (Land Grid Array) などの従来のパッケージファミリーの一つと考えることができるため、強力に標準化を押し進めることが可能となる。ユーザにとっても、小型軽量化のみならず複数社からの購買が可能となるメリットを生み出せる。

3. CSP に対する期待と不安

21世紀のマルチメディア社会を迎えるに当たって、次世代の民生、産業電子機器に対する小型軽量化や高機能化の要求は厳しく、今直ぐにでもCSPを適用したいと考えているユーザは数多くある。従来のQFPではニーズを満足できない市場においては、BGAかフリップチップ実装/MCMしか候補はなかったが、新たにCSPが名乗りを上げたことになる。ユーザは投資をできるだけ最小限に抑え、既存の設備や技術を有効に活用し、か

つ市場の要求を満たすことができる形態の出現を期待してきたのだが、CSPはその救世主になる可能性を十分秘めている。

しかし、BGAですらブームの影で、“Facts Behind the Passion”といわれているが、いわんやCSPに対するインフラ整備や信頼性評価はまだ不十分である。素材メーカもCSPという新しいパッケージ開発に対応した材料、加工、測定技術など、極めて短期間にしかも新しい思想によりブレイクスルーすべき課題を多く抱えているが、各半導体メーカと一丸となって開発や評価を進める体制を取り、市場要求に対応してきている。しかし、たとえ技術的には可能でも、ユーザが希望しているコストを満足しない限り、すなわち、ユーザ側の実装を含めたトータルコストで満足を得られなければ、普及はあり得ないことを肝に銘じておくことが必要である。特にネックとなるのは実装基板上、層数制限に対するブレイクスルーが望まれる。

また、従来の実装ラインへの適用、検査工程はどうするのか、信頼性をどこまで保証できるのかなど、今後ユーザと一体になって評価していかなければならない項目が数多くあることも承知しておく必要がある。

さて、携帯電話などの小型軽量分野とパソコン、ワークステーションなどの高機能、OA分野では、CSPに対する捉え方も微妙に異なってくる。ピン数でいえば、300ピン前後が境となる。前者ではCSPを直接マザーボードに実装することが前提であるため、現在普及が最も期待されている分野である。しかし、後者についてはCSPを一旦MCM化してマザーボードに実装することが予想されるため、CSPかフリップチップか引き続き議論が交わされるものと考えている。

以上のような問題はあつたものの、CSPは普及するだけの素地は十分もっており、半導体メーカとシステムメ

* Small Outline Non-leaded

Fig.2 CSP.

一カが中心に素材メーカーと一体化して開発を進めれば、日本が得意とする実装技術を生かした新製品や新市場を形成できるものと信じてやまない。

4. 各社の CSP

4.1 グループ分け

CSP は、Fig.2 のように 4 つのグループに大別することができる。一つは TAB テープを使ったタイプ、一つはセラミックやプリント基板等のキャリアを使ったタイプ、さらにリードフレームタイプや樹脂封止タイプがある。また、前者の二つは主にロジック系を狙ったもので、後者の二つはメモリ対応と分けることもできる。詳細は参考文献^{1)~9)}を参照されたい。

4.2 ロジック系 CSP の比較

ロジック系 CSP の仕様を比較したのが、Tab.1 である。いずれも外部電極はエリアレイ化されている。近年、チップのシュリンク化により、通常周辺に配置してある電極の間隔も狭ピッチ化が進み、今や100μm 以下である。しかし、一方ではユーザが実装する際は、その歩留りや基板設計の関係上、できるだけ粗いほうを好むが、システムの小型化の要求に応えるためにはファインピッチ実装技術を育成していく必要がある。その仲介役を担うのがパッケージにおけるインターポーザで、お互いの動向を満足するような技術を開発していかなければならない。

インターポーザとしてセラミックやガラスエポキシ基板等のキャリアを用いたグループではインナー接続方法として必然的にフリップチップ実装技術を活用しており、また基板コストを考慮し、実装ピッチとして0.9~1mm を採用している（一部、0.8mm も検討中）。一方、フィルムを用いたグループでは TAB (Tape Automated Bonding) 技術を活用し、実装ピッチとしてはファインピッチ化が可能な点を生かして主に0.5mm を推奨している。できる限りチップサイズに近いサイズと従来の QFP 実装ラインの活用を同時に実現できる実装ピッチということで、選定されている。なお、半導体メーカー各社がインターポーザとチップを接続する技術として何を得意としているかによって思想が明確に分かれている点に興味深い。

5. CSP の一例

5.1 外 観

Fig.3 に CSP の一例としてファインピッチ BGA の外
Vol.11, No.5

Tab.1 CSP features comparison.

CSP suppliers	Interposer	Inner bonding	Outer pitch	Bump material
Matsushita	Ceramic	Flip Chip	1.0mm	— (LGA)
Toshiba			0.9mm	Solder
Motorola	PWB			
Tessera	Film	TAB	0.5mm	Ni / Au
Shinko				Solder
Hitachi				
NEC				

観写真 (188ピン) を、Fig.4 に QFP (160ピン, 0.5 mm ピッチ) との比較写真を各々示す。実装ピッチはいずれも0.5mm である。従来のパッケージに比べ、実装面積比で1/10以下と超高密度実装が可能となる。

5.2 基本構造

Fig.5 に示したように、フィルムを用いたファインピッチ BGA は極めて単純な構造を有しており、キャリアフィルム、接着層、はんだバンパ並びにチップから構成

Fig.3 FPBGA.

Fig.4 FPBGA with QFP.

Fig.5 FPBGA structure.

Fig.6 Cross section of solder bump.

されている。

キャリアフィルムはポリイミドと銅箔の2層基材にカバー絶縁層を設けた構成になっており、フィルム上に設けたスルーホールを介して半導体デバイスの電極と接続される。一方、スルーホールはフィルム上の回路パターンを経由して、カバー絶縁層が開口されたアウターパッドにつながっている。外部接続用電極として共晶はんだを用いており、バンプはアウターパッド部に形成される。Fig.6 はんだバンプ部の断面写真を示す。一方、接着層は絶縁性、耐熱性、高密着性、耐湿性、高純度化等を考慮して LOC (Lead On Chip) でも実績のある熱可塑

Fig.7 Cross section of interconnection.

性ポリイミド樹脂を適用した。

5.3 組立プロセス

組立プロセスは、上記構造の可能性を実証するために開発を行った。すなわち、接着フィルム単体を半導体デバイス側にマウントした後に組み立てる方式である。

始めにチップ電極部にボールバンプを形成する。引き続き、所望のサイズに切断した接着フィルムをペレット上に正確にマウントする。次に、キャリアフィルムに形成されたインナーバンプとボールバンプを接合させる。リードに代わり新しくバンプを用いることから、我々はこのボンディング方式を IBB (Inner Bump Bonding) 方式と呼んでいる。Fig.7 にインナー接合部の断面写真を示す。さらに、キャリアフィルムとペレットを接着層を介して一体化させ、かつ接合部の封止を行う。その後、はんだバンプ形成を行い、最後に外形切断を行う。

5.4 品質

232ピン TEG チップを用いた9.7mm 角のファインピッチ BGA 単体の信頼性評価条件および状況を Tab.2 にまとめた。全く新規な構造にも関わらず、温度サイクル試験では条件1で1,000サイクル、条件2で500サイクルまで、耐湿性試験では384時間まで、高温放置試験では1,000時間まで各タクリアすることができ、QFP と同等の品質を実現できるめどは立ったと考えている。

5.5 特徴

前記のように、キャリアフィルム、接着層、はんだバンプ、チップから構成される極めてシンプルな構造でも信頼性を確保できる点、および組立プロセス的にもさらにシンプルにすることが可能な点に主な特徴がある。

ボンディングは従来の TAB ボンダーを活用できる。今後の狭ピッチ接続化を考えると、リードタイプではその細線化に伴う強度低下や位置精度不良、搬送時のリードばらつきなどの問題点が考えられるが、スルーホール接続ではポリイミドフィルムで保持されているため、強度的な心配はなく、スルーホールの小径化によって狭ピッチ化にも対応できると考えている。また、チップ電極がエリア化されても対応できる。パッケージとデバイス

Tab.2 FPBGA reliability.

Test item	Condition	Results
Thermal cycle (I)	-40~125℃, 1000cycles	0/20
Thermal cycle (II)	-65~150℃, 500cycles	0/20
High accelerated stress	110℃, 85% RH, 384hours	0/20
High temperature storage	150℃, 1000hours	0/20

Tab.3 Simulated stress.

Maximum stress (kgf / mm ²)	Solder bump	Pad	
		Chip side	Board side
Flip chip Ass'y	15.6	62.1	8.6
Fine pitch BGA Ass'y	7.1	13.4	5.4

のサイズを全く同等にすることも可能である一方で、デバイス周辺を、たとえば、モールド封止することで、チップ外にもパッドを設けることができ、外形も規定できるため、今後の標準化に極めて有効である。少ピンのみならず多ピンデバイスにも応用でき、将来テープ BGA との融合も可能となる。

このように、ファンイン+アウト構造（はんだバンプがチップ電極より内側と外側の両方に配置されている構造）への発展は種々の要求に応えるためには極めて重要である。

品質については、パッケージ単体はもちろんのこと、基板実装後の信頼性、特に熱ストレス試験によるはんだ接続不良をいかに抑えることができるかが最大のポイントとなる。QFP など従来の SMD (Surface Mount Device) と同様に取り扱えることが不可欠で、フリップチップのように接続部への樹脂封入工程を追加することは避けたいと考えている。

Tab.3 に示したように、フリップチップとファインピッチ BGA を各々ガラスエポキシ基板に実装した際のはんだ接続部にかかる最大主応力をシミュレーションし比較したところ、劇的なストレス軽減が見込まれ、インターポーザを介したことによる応力緩和効果が期待できる。

5.6 試作例

ファインピッチ BGA 試作例を Fig.8 に示す。なお、はんだバンプピッチはすべて 0.5mm で、いずれもパッ

ケージサイズはチップとほぼ同一である。また、現在開発を進めている用途は 300 ピン以下のロジック系が主流である。

6. おわりに

最後に、CSP が今後どのように展開していくかを見極める 3 つの重要なポイントを改めてまとめておきたい。

1) 外部電極ピッチ

ロジック系において、外部電極ピッチとして、比較の実装が容易な 1 mm 前後が日本でもまず普及するか、それとも一挙に 0.5mm までシュリンクするかが大きな鍵を握っている。もちろん、実装歩留りや樹脂封入プロセスの有無等を考慮に入れながら選択されていくものと推察されるが、商品差別化を図る上でも 0.5mm ピッチが有利であり、採用するユーザが増えることを期待したい。

2) コストパフォーマンス

各社各様の CSP 構造の提案があり、インターポーザ材料や電氣的接続方式も多種多様だが、いずれにせよ現在の主流である QFP 以上のコストパフォーマンスを実現できるか否かにかかっているといっても過言ではなく、素材メーカーの協力は不可欠である。

3) 標準化

ユーザにおける半導体デバイスの選択自由度を広げ、フリップチップ実装との差別化を図る意味でも、標準化がスムーズに実施されるか否かも重要で、基板メーカーやソケットメーカーとの協力も不可欠である。

参 考 文 献

- 1) “特集 本流となるのは CSP かベアチップか”，月刊 Semiconductor World, 5 月号 (1995), 103-131.
- 2) “解説 チップサイズパッケージ CSP がユーザの手元に”，日経エレクトロニクス, 1.6 (No. 626) (1995), 79-86.
- 3) “解説 高密度実装の決め手となる CSP, 大手メーカー出揃

Fig.8 FPGAs application.

PKG size (mm)	Pin count	Assembled LSI
3.35×3.89	20	Signal processing LSI
7.3×7.3	160	Gate array
7.5×7.5	188	TEG
9.7×9.7	232	TEG
10.52×10.52	144	Gate array

う”，日経マイクロデバイス，2月号（1995），96-97.

- 4) 方 慶一郎，松田修一：“フィルムを用いたファインピッチ BGA”，MES'95（第6回マイクロエレクトロニクスシンポジウム）論文集，4月19～20日，大宮，（1995），175-178.
- 5) S. Matsuda, K. Kata and E. Hagimoto：“Simple-Structure, Generally Applicable Chip-Scale Package”，Proceedings of the 45th ECTC（Electronic Components & Technology Conference），May 21 to 24, Las Vegas,（1995），218-223.
- 6) S. Wakabayashi and T. DiStefano：“Chip Size Packaging Realized by μ -BGA Technology”，Technical Proceedings SEMI TECHNOLOGY SYMPOSIUM'94, November 30 to December 2, Chiba,（1994）別刷り
- 7) Y. Kunitomo, Y. Sakashita, M. Nozu, S. Kageyama, A. Yamamoto, A. Saito, K. Ishikawa, T. Ishida, Y. Nakamura and T. Matsuo：“CSP（Chip Size Package）”，The 2nd VLSI PACKAGING WORKSHOP of Japan, November 30 to December 2, Kyoto,（1994），51-56.

8) H. Iwasaki：“CSTP（Chip Scale Thin Package）”，Technical Proceedings SEMI TECHNOLOGY SYMPOSIUM'94, November 30 to December 2, Chiba,（1994）

9) I. Anjo：“Trend of Chip Size Package（CSP）Development”，Surface Mounting Technology Forum'94, November 28 to 30, Tokyo,（1994）

【執筆者紹介】

方 慶一郎（かた けいいちろう）

1987年，東京大学・大学院工学部工業化学科卒業。同年，NEC入社。以来，研究開発グループ，材料開発センターにて多層セラミック配線基板の技術開発に従事。1993年，現在所属のLSI事業本部半導体高密度実装技術本部実装技術開発部に移籍。以来，チップサイズパッケージ開発に従事。

松田修一（まつだ しゅういち）

1992年，早稲田大学・大学院理工学研究科材料工学修了。同年，NEC入社。以来，高密度パッケージング技術の開発に従事。

新刊紹介

スーパーチップ最前線

●日経BP出版センター（1995年6月5日発行）

●B5判／270ページ／定価 2913円（本体）

電子機器の機能向上ではマイクロプロセッサが今や必要不可欠の部品となりました。マイクロプロセッサは1971年に4ビットの簡単なプログラマブル演算器として誕生しましたが，今や性能面において汎用コンピュータに迫る状況になっています。しかし，こうした最新の高性能（スーパー）マイクロプロセッサやその技術について記した書籍はほとんど皆無に近い状態です。

本書はこのような時代の最先端のマイクロプロセッサについて解説したもので，「次世代高性能マイクロプロセッサのすべて」との副題がつけられています。本書はアーキテクチャにかなりのウエイトを置いて記述されていますが，有力スーパーチップの性能を細部にわたり掲載してあるため，しかも同性能チップを比較する表現形態が随所にみられるため，実装技術者に参考となる情報を多く得ることができます。また，MPUチップ周辺回路実装にも役立つ情報も多く盛られています。

第1部は最新MPUの動向解説としてMPUの市場動向，技術動向を歴史をふまえて述べています。市場動向ではWintel市場の現状と動向，またWintelへの挑戦としてx86系およびRISC系チップの歴史と計画を記しています。技術動向ではCISCからRISCへの変遷，そしてVLIW（Very Long Instruction Word）のチャレンジ内容，課題ほか全体像を記し，次世代MPUの姿を示しています。

第2部はスーパーチップの具体例を解説した記事で

x86互換，M1，K5，UltraSPARC，R10000，PowerPC620の各スーパーチップを独立章でとりあげ，内部構成，特徴を詳述しています。

第3部は開発者自身が執筆したスーパーチップの詳細解説です。ここでも前述したK5，R10000，UltraSPARC，PowerPC620の4品種にAlpha21164を追加した最新スーパーチップの技術内容，開発経緯，特徴，課題を解説しています。スーパーチップ時代は現状の2ないし3命令同時実行から4命令の同時発行または同時実行に移行し，この複数の演算ユニットによるスーパースカラ方式に定着しつつあるとしています。複数同時演算方式は動作周波数のむやみな上昇を抑える効果があると記しています。MPU外の3次キャッシュの基本構成についても記載し，参考になる部分と思われます。

第4部は関連資料としてのPentiumの概要，用語解説，略語一覧ですが，特にPentiumの概要ではインテル技術者により同チップの詳細を直接解説している点が注目に値する内容となっています。

本書はスーパーチップそのものの優れた書籍として実装技術者にも大いに参考となるものですが，残念ながら実装と直接関係するパッケージング技術については編集意図から外れるためか割愛されています。スーパーチップを実用する上で実装技術なしではその性能を100%引き出すことができないといわれている現状を考えると何らかの記述が欲しいところと思われますが，逆に紙面いっぱいチップ情報を記述することができているため，技術者のみならず製品企画に従事されている方にも参考になる書籍と考えます。