ビルドアップ多層配線板技術

Technology for Build-up Multilayer Board

榎本 亮*

1. はじめに

最近の電子機器における小型化、高機能化などの急速な進展に伴い、LSIの多端子化と狭ピッチ化が進み、かつ実装形態がFig.1に示すようにBGA (Ball Grid Array), CSP (Chip Scale Package), フリップチップなどのエリアアレイ型に移行する中で、プリント配線

板の高密度化に対する要求はとどまるところを知らない状況にある。また、パーソナルコンピュータのMPUなどに用いられるLSIパッケージについても、これまでセラミック多層配線板が使用されてきたが、MPUの高速化や狭ピッチ化が進むにつれ、高密度なプリント配線板をベースにしたLSIパッケージを採用する動きが活発になってきている。

こうした要求に応えるために、SLC (Surface Lami-

Fig.1 Trend in LSI package outlines.

*Ryo Enomoto

イビデン(株)技術開発本部/Technology & Development Dept., IBIDEN Co., Ltd.

nar Circuit)¹⁾をはじめとして各社でビルドアップ工法による多層プリント配線板が開発され、数年前から実用化が始まっている。さらに、ポリマー系導電性ペーストで層間接続した全層IVH(Interstitial Via Hole)構造のプリント配線板も種々提案^{2)~4)}され、開発が進んでいる。

我々はフォトリソグラフィで微小径ビアホールを形成し、ファインパターン性と表面実装性に優れたフルアディティブ法により導体パターンを形成したビルドアップ多層配線板を開発^{5),6)}し、携帯機器のマザーボードからLSIパッケージまで展開しているのを、それを主体にしてビルドアップ多層配線板技術について述べる。

2. 基本構造と用途

ビルドアップ多層配線板の用途としては、携帯電話、カメラ一体型VTR、携帯型パソコンなどのマザーボードやドーターボードの分野と、LSIパッケージ、MCM(Multi Chip Module)などの半導体素子実装基板の分野に大別される。

Fig.2に基本構造を、またFig.3とFig.4に各分野の配線板断面写真を示した。マザーボードはコア基板の両面に1~2層ずつビルドアップし、ライン幅75~100 μ mでビア径150 μ mレベルの設計ルールが一般的である。これに対して、半導体素子実装基板は両面に2~4層ずつビルドアップして、ライン幅が30~50 μ mの範囲でビア径80 μ m前後と極めて高密度になっている。

マザーボード用途の基板において、以前には貫通スルーホールを有していたが、現在はコア基板に形成したスルーホールをエポキシ樹脂で充填したベリードビアとし、全層をIVH構造としたものが多くなってきている。このような構造にすることにより、配線板の表面からデッドスペースとなり、高密度化を阻害している貫通スルー

Fig.2 Structure of build-up multilayer board.

ホールのランドをなくすことができるので、部品実装面積効率を大幅に高くすることが可能になる。また、層間接続の自由度も広がるため、回路設計時の自動配線率が向上する。

3. 製造プロセス

Fig.5に、フォトビア法にフルアディティブ法を組み合わせたビルドアップ多層配線板の製造プロセスを示す。まず、コア基板となる両面銅張積層板にドリル加工でスルーホールの穴あけをし、電解銅めっきにてパネルめっきする。このスルーホールにエポキシ系樹脂を充填してIVHとした後に、エッチングで導体パターンを形成する。同様にして作成された4~6層の多層基板をコア基板として使用することもできる。

なお、銅張積層板の種類としては、マザーボードの分野ではFR-4が、また半導体素子実装基板の分野ではBT(Bismaleimide Triazine)が主に使用される。

このようにして準備されたコア基板の両面に、感光性エポキシ樹脂からなる層間絶縁材料を40~60 μ mの厚さ

Fig.3 Cross sectional photo of packaging board.

Fig.4 Cross sectional photo of mother board.

Fig. 5 Process flow of build-up multilayer board.

で塗布し、プレキュアしてから露光・現像によりフォトリソグラフィーでビアホールを表裏の絶縁層に一括で形成する。次いで、UVキュアと加熱硬化させた絶縁層表面を酸化剤溶液で粗化して、数 μm の微細なアンカーを形成する。貫通スルーホールが必要とされる場合にはドリル加工を施してから、全面にパラジウム触媒を付与させる。その後、永久レジストとなる無電解銅めっき用感光性レジストを露光・現像し、厚付け無電解銅めっきにて導体回路を形成する。さらに、層間絶縁層の形成から無電解銅めっきによる導体回路の形成工程を繰り返すことにより、ビルドアップ多層配線板が製造される。

ビルドアップ工法では、微小径のビアホールを任意の位置に形成でき、ビアホールのランド径も大幅に小さくできる。このことにより、高密度配線と配線長の短縮が可能になるだけでなく、先に述べたエリアレイ状に配置された狭ピッチの端子の内側列から、配線を引き出すことができるメリットがある。

Fig. 6 Anchor formation process on insulating layer.

4. ビルドアップ工法の要素技術

4.1 層間絶縁材料

ビルドアップ工法における重要な技術ポイントとして、層間絶縁層の表面に形成した導体回路のめっき密着性がある。通常行われている層間絶縁層の表面を酸化剤溶液で粗化するだけでは、実装した部品をリペアする際に必要とされる $1.0\text{kg}/\text{cm}$ 以上のピール強度を安定して得ることはかなり難しい。これに対して、我々は層間絶縁材料として先に開発した耐熱エポキシ樹脂からなるフルアディティブ用めっき接着材⁷⁾に、感光性を付与して用いている。強固なめっき密着性を得るため、酸化剤に対して難溶性の感光性エポキシ樹脂（マトリックス）に、可溶性のエポキシ微粒子（フィラー）を均一に分散して層間絶縁材料とし、絶縁層を熱硬化させた後に、酸化剤溶液に浸漬することにより表層の微粒子を選択的に溶解して微細なアンカーを形成している。

Fig. 6はアンカー形成プロセスの模式図である。この方法の特徴は、使用するエポキシ微粒子の粒径と添加量によってアンカー形状を制御できることと、フルアディティブ用接着剤で用いられてきたゴム成分を全く含まないために耐マイグレーション性と耐熱性に優れていること、およびマトリックスとフィラーの屈折率差が小さく微小径ビアホールの解像性に優れていることにある。

また、ビルドアップ層を多段で積層し、特に高い信頼性が要求される配線板には、層間絶縁材料を高弾性化して絶縁層の耐クラック性を高めておくことが求められる。従来の多層プリント配線板では絶縁層がガラスクロスで補強されているのに対し、ビルドアップ多層配線板は絶縁層が樹脂だけで形成されるからである。したがって、半導体素子実装基板についてはポリマーアロイ技術でIPN (Interpenetrating Polymer Network) 構造とし、靱性を改善した層間絶縁材料⁸⁾を採用している。

Fig. 7はこの構造の概念図であり、樹脂特性として引張強度 $800\text{kg}/\text{cm}^2$ 、伸び率8%およびガラス転移温度 200°C が得られている。

Fig.7 IPN structure for the insulating layer.

4.2 ビアホールの形成

ビアホールの形成方法としては種々の方法が開発されており、フォトリソグラフィによる方法、レーザ加工する方法⁹⁾、酸素プラズマで加工する方法¹⁰⁾、化学的にエッチングする方法¹¹⁾およびサンドブラスト加工による方法¹²⁾などがある。このうちで実用化されている方法のほとんどが、感光性層間絶縁材料を用いてフォトリソグラフィによりビアホール加工するフォトビア法であり、最近の炭酸ガスレーザ加工機の性能が大幅に向上してきたに伴い、レーザビア法が一部で採用されはじめている。

フォトビア法の最大の特徴は、パネル内のビアホールを両面一括で形成できるので、ビア数の多い配線板を低コストで製造し易いことにある。Fig. 8にフォトビア法でビア径80 μ mに形成したビアホールのSEM写真を示した。

一方、レーザビア法の利点は工程がシンプルでゴミ不良に強いことと、層間絶縁樹脂の選択の自由度が大きいことである。現在のところ、炭酸ガスレーザ加工機の加工速度（セッティング時間と加工エリア間の移動時間を除く）は、最大400穴／秒であるが、加工速度が製造コストに大きく反映するために、さらなる高速化が望まれる。

Fig.8 Photo-via hole after roughening (ϕ 80 μ m).

ビアホールの導通化は、ビア壁面を銅めっき皮膜で被覆することにより行われているが、ビアホールが微小径化すると、ビア内へめっき液が循環しにくくなり、均一なめっき析出を得ることが難しくなる。この点でも、フルアディティブ法で用いられる無電解銅めっきは、均一析出性に優れているので有利となる。将来は、ビアホール内を無電解銅めっきで充填するビアフィル技術¹³⁾も、重要になってくるであろう。

4.3 ファインパターンの形成

ビルドアップした絶縁層上に導体パターンを形成する方法としては、電気銅めっきでパネルめっきしてからエッチングする方法が一般的である。この方法は銅箔を用いたサブトラクティブ法に比べ、エッチングする導体厚が薄くなるためにファインパターンの形成がしやすくなるが、最小導体幅が75 μ m以下になるとパネルめっき厚の精度やエッチング精度などの精密な制御が必要とされる。

これに対し、当社のビルドアップ多層配線板でパターン形成に用いているフルアディティブ法は、感光性めっきレジストの解像精度がそのままパターン精度となるの

Fig.9 Fine patterns formed by full additive process (Min line width : 50 μ m).

で、Fig. 9に示すように50 μ m以下のファインパターンを高精度に形成できる。また、パターン形成後の表面が平坦となり、かつめっきレジストがソルダーダムとして作用するため、表面実装性に優れているという特徴がある。

フルアディティブ法の他に、最近では無電解銅めっきで薄くパネルめっきした後、電気銅めっきによりパターンめっきしてから、ソフトエッチングで回路以外の無電解めっき膜を除去するセミアディティブ法も開発されている¹⁴⁾。この方法はパターンめっきしてからエッチングする方法に比べて、工程管理が難しくなるとされているが、エッチング量が極めて少ないため、ファインパターンを形成するうえで有利である。

5. おわりに

以上、ビルドアップ多層配線板技術について、当社で開発している技術を中心にして概観した。現在、半導体集積回路技術の進歩に対する配線板技術のギャップが、電子機器を開発するうえで大きな技術ネックになってきていると指摘されている。したがって、これからビルドアップ工法を含めて、より高密度・高性能でコストパフォーマンスに優れたプリント配線板技術の開発および確立が急がれる。

参考文献

- 1) 塚田 裕：「表層配線プリント回路基板 (SLC) の特徴と応用」, 電子材料, **4**, (1991) 103~108.
- 2) 中谷誠一, 中村眞治, 和田 彰：「全層IVH構造を有する樹脂多層基板“ALIVH”の開発」, 第9回・回路実装学術講演大会講演論文集, (1995) 57~58.

- 3) 大平 洋, 今村英治, 和田裕助：「新製法 (B²it) によるプリント配線板の提案」, 第9回・回路実装学術講演大会講演論文集, (1995) 55~56.
- 4) 竹ノ内敏一, 小林 允：「ポリイミドフィルム多層基板の開発」, 第10回・回路実装学術講演大会講演論文集, (1996) 81~82.
- 5) 榎本 亮, 他3名：「無電解銅めっきを用いたビルドアップ多層配線板」, サーキットテクノロジー, **2**, (1990) 90~93.
- 6) 榎本 亮, 高橋義徳, 鈴木 歩：「ビルドアップPWBと製造技術」, 表面実装技術, **1**, (1994) 33~37.
- 7) 榎本 亮, 浅井元雄：「高密度・高信頼性フルアディティブ配線板」, 電子材料, **10**, (1988) 46~50.
- 8) 浅井元雄：「MCM対応プリント配線板」, 第25回インターネブコン・ジャパン技術セミナー講演予稿集, (1996)
- 9) 和田純也：「VB-2ビルドアップ多層プリント配線板」, エレクトロニクス実装技術, **10**, (1995) 12~15.
- 10) 板橋武之, 他4名：「フィルム積層方式による薄膜多層配線基板」, 第10回・回路実装学術講演大会講演論文集, (1996) 145~146.
- 11) 松本満寿雄, 下山浩良, 小島 勝：「多層銀ペーストPWBと製造技術」, 表面実装技術, **1**, (1994) 11~15.
- 12) 高橋 亨：「ビルドアップ基板の新工法/SB-Viaプロセス」, 電子材料, **10**, (1996) 78~80.
- 13) 阿部信二, 他3名：「微小バイアホールへの無電解銅めっき」, 第10回・回路実装学術講演大会講演論文集, (1996) 37~38.
- 14) 石原政行, 樋口 徹：「フリップチップ実装対応ビルドアップ基板」, 電子材料, **10**, (1996) 35~39.

【執筆者紹介】

榎本 亮 (えのもと りょう)

1970年, 名古屋工業大学・窯業工学科卒業。同年, 揖斐川電気工業 (現イビデン) 入社。以来, ファインセラミックスおよびプリント配線板の開発に従事。現在, 技術開発本部主幹。