システム LSI とパッケージ

Packaging Technology for System LSI

大野 淳一*1

本間 亮次*2

1. はじめに

最近、システム LSI という言葉をよく耳にする。本解説では、システム LSI の内容、システム LSI によってパッケージが変化する項目と変化しない項目、システム LSI 時代のパッケージ動向を紹介する。

2. システム LSI^{1)~3)}

システム LSI の抽象的な定義は、「電子機器のシステムを構成する複数の LSI、またはコアセルを 1 チップに集約した LSI」である。しかし、具体的な定義は、個人、組織によって異なる。抽象的な定義から理解できるよう

に、システム LSI という言葉は目新しいが、内容に新鮮さはない。なぜならば、システム LSI とは現在の LSI そのものを意味するためだ。

Fig.1 に、システム LSI の概念を示す。1 チップの LSI の中に、複数の LSI またはコアセル (A~E) を搭載する。A~E は、CPU コア、メモリーコア、デジタルコア、アナログコア、顧客論理回路などである。

1997 年時点で学会、雑誌、新聞、展示会、セミナーなどで話題になっているシステム LSI は、IP (Intellectual Property, 知的資産) で構成したメモリーとロジックの 1 チップ化、特に DRAM とロジックの 1 チップ化が話題になる場合が多い。

たとえば、東芝の dDRAMASIC[®] (dDRAMASIC は東芝の登録商標)、日立製作所の DRAM モジュール、三

Fig.1 System LSI.

Fig.2 Device technology trend for system LSI.

* 1 Jun-ichi Ohno

㈱東芝 半導体組立技術部 / Semiconductor Advanced Packaging Engineering Dept., TOSHIBA

* 2 Ryoji Homma

㈱東芝 産業用 LSI 開発部 / Industrial Custom LSI Development Dept., TOSHIBA

菱電機の eRAM などである。

1998 年以降は、DRAM とロジックに限らず、IP を多数集積した LSI、すなわちシステム LSI の商品化が本格化する。

IP とは、LSI を構成するために必要なハードウェア、ソフトウェアの部品を指す。IP の流通を促進するために、1996 年 9 月にスタートした VSIA (Virtual Socket Interface Alliance) は、LSI メーカー、CAD ベンダー、システムメーカー、IP プロバイダなど、現在では 150 社近くが参加している。1997 年 3 月にアーキテクチャ Ver.1.0 をリリースし、その後も各技術委員会において内容の拡充が進んでいる。

Fig.2 に、デバイス技術とシステム LSI のトレンド、すなわち、デバイス技術の進歩に伴う集積可能な最大のロジック規模と DRAM 規模を示す⁴⁾。2000 年には、現在の数倍規模の LSI が実現できる。

3. システム LSI とパッケージ

システム LSI によってパッケージが変化する項目と変化しない項目を説明する。

変化する項目は、シリコンチップの標準化 (たとえば、パッド関係のデザインルール、パッドおよび保護膜の材料など)、組立プロセスの標準化、組立装置の標準化などである。

IP を活用したシステム LSI は、大きく 2 つの段階で進行する。最初の段階は、自社の IP のみを自社内で活用する。この段階は現在の LSI 開発そのものであり、大きな問題はない。次の段階は、複数の第 3 者が開発した IP を活用する。この段階では、上述した標準化およびドキュメント化が問題となってくる。当然ながら、後者の段階が今後の主流となる。

変化しない項目は、パッケージ外形である。パッケージ外形は、EIAJ (Electronic Industries Association of Japan, 日本)、JEDEC (Joint Electron Device Engineering Council, 米国)、IEC (International Electrotechnical Commission, 欧州) などのパッケージ外形標準化機関で標準化している。前述したように、システム LSI は現在の LSI そのものであり、特にシステム LSI のパッケージが存在するわけではない。たとえば、システム LSI 化により、2 つの QFP を 1 つの BGA とした場合でも、特別なパッケージが必要となる訳ではない。

変化する項目を本解説では詳述しない。現在まだ検討段階のためだ。

以下の解説では、変化しない項目、すなわち現在の

Fig.3 Worldwide package forecast (Source: 1996 Dataquest).

LSI パッケージの動向を解説する。内容は、パッケージ全体、メモリーパッケージ、ロジックパッケージである。

4. LSI パッケージの動向^{5),6)}

4.1 パッケージ全体

Fig.3 に、全世界におけるパッケージ全体の市場規模を示す⁷⁾。1996 年の全世界のパッケージ数量は 51,364 Mpcs であるが、2000 年には 68,523 Mpcs と約 33 % 増加する。パッケージ別では、BGA が約 6 倍と大幅に増加し、ベアチップ、QFP がやや増加する。一方、DIP、SOP/SOJ は減少する。

4.2 メモリーパッケージ⁸⁾

メモリー製品では、マルチビット化、多ピン化、高速化がパッケージ形態に大きく影響する。特に、高速化による同時スイッチングノイズが最大の問題である。同時スイッチングノイズを避けるために、種々のパッケージが提案、開発されている。

同時スイッチングノイズは、複数の出力バッファが同時にスイッチングする際に、電源、グランド系の寄生インダクタンスにより電位変動が起こる現象をいう。

同時スイッチングノイズ ΔV は、次式で近似できる。

$$\Delta V = L_{eff} \cdot \frac{di}{dt} \cdot n^a$$

ここで、 L_{eff} : 実効インダクタンス

di/dt : 出力電流の最大変化率

n : 同時スイッチングする出力バッファの数

a : 定数 ($a=0.3 \sim 0.5$ 程度)

SRAM、DRAM などのメモリー製品の高速度化は必須である。メモリー製品の高速度化が進むほど di/dt が増

Fig.4 Memory package trend for operating frequency.

加し、さらにメモリー製品のマルチビット化、多ピン化が進むほど n が増加する。したがって、 ΔV を減少させるためには L_{eff} を減少させるしか解がない。 L_{eff} は、LSI チップとパッケージ基板の接続が短いほど小さな値となる。

Fig.4 に、SRAM、DRAM の高速化に対応する、同時スイッチングノイズとパッケージ形態のシミュレーション結果を示す⁹⁾。なお、シミュレーションは、電源電圧 3.3 V、電源、グラウンドは信号の 1/5 と仮定した。

現状の TSOP は、150 MHz 程度までは使用可能である。高速化が進めば、BGA (WB, wire bonding)、 μ BGATM (μ BGA は米国 Tessera 社の商標)、BGA (FC, flip chip) と、LSI チップとパッケージ基板の接続が短いパッケージが必須となる。BGA (WB)、 μ BGATM、BGA (FC) は、それぞれ 250 MHz、300 MHz、650 MHz 程度まで満足できる。さらに、700 MHz 以上では、ベアチップ、MCM などの直接に基板実装する形態が登場する。

4.3 ロジックパッケージの動向

ロジックパッケージへの要求、および実際例として PC (Personal Computer) と携帯電話で使用しているパッケージを解説する。

4.3.1 ロジックパッケージへの要求

一般にパッケージの機能として、電気的接続、チップ保護、熱放散、実装、多ピン、高密度、小型化、低価格、高速対応、表面実装、高信頼性、大型チップ対応、開発期間短縮などが求められる。

ロジックパッケージには、上記すべての機能が要求される。しかし、熱放散に関しては、低電圧化の技術開発により、現状よりもドラスティックに高いレベルは要求されない。

以下に、消費電力と低電圧化の関係を解説する。

CMOS で構成した LSI の消費電力は、次式で近似できる。なお、ほとんどの LSI は CMOS で構成されており、次式が LSI の消費電力を代表していると考えても良い。

$$\begin{aligned}
 P &= P_o + P_s \\
 &\approx \alpha \cdot C \cdot V^2 \cdot n \cdot f
 \end{aligned}$$

ここで、 P ：総消費電力
 P_o ：動作電力
 P_s ：スタンバイ電力
 α ：MOSFET 活性化率 ($\alpha=0\sim1$)
 C ：1 素子あたりの寄生容量
 V ：信号電圧、電源電圧
 n ：素子数
 f ：周波数

上記の式が意味することを説明する。ロジック製品は大規模化、高速化する。大規模化が進むほど n が増加し、高速化が進むほど f が増加する。したがって、 P を減少させるためには C 、 V を低減することが有効となる。特に 2 乗で起因する V の低減がもっとも効果的であり、現状の 3.3 V から、2 V、1.5 V、1.2 V、1 V などと低電圧化が検討されている。結果として、低電圧化の技術開発により、ロジック LSI の総消費電力は現状より大きく変化しないと考えられている。しかし、パッケージとしての低熱抵抗化は、今後も課題として残っている。

4.3.2 ロジックパッケージの実際例

ロジックパッケージの実際例として、PC (Personal Computer) と携帯電話を解説する。PC、特にノート型 PC は、高集積、高密度、低価格、多ピンのパッケージを代表しており、携帯電話は、小型、薄型、軽量のパッケージを代表している。

最初に、PC および携帯電話の市場規模を確認しておく。Fig.5、Fig.6 に、PC および携帯電話の市場規模を示す^{10),11)}。PC (Fig.5) は、1997 年の約 7,000 万台から 2000 年の約 1 億台へと急激に増加する。携帯電話 (Fig.6) は、国内で約 2,500 万台、全世界で約 1 億台が使用されている。

Fig.7 に、ロジック製品のパッケージトレンドを示す。最初に、PC に使用するロジックパッケージを解説する。

PC では、1980 年代から 1990 年代前半は QFP が主流パッケージであった。QFP のリードピッチを 0.8 mm、0.65 mm、0.5 mm、0.4 mm と約 80 % ずつに微細化し、多ピン化を実現してきた。PC として本来必要とするピン数は、500~800 ピンであり、複数個の QFP を使用し

Fig.5 Worldwide PC forecast (Source: 1997 Dataquest).

Fig.6 Worldwide cellular and broadband-PCS-telephone forecast (Source: 1995 Dataquest).

てシステム化した。

BGA は、1990 年代前半に最初に米国、次いで日本で本格的に採用された。ペリフェラルパッケージである QFP は構造上、多ピン化、狭ピッチ化に限界があり、エリアパッケージである BGA が必然となった。BGA も QFP 同様にボールピッチを 1.5 mm, 1.27 mm, 1.0 mm と約 80 % ずつに微細化し、さらに、ボールピッチが 1.0 mm 未満である、FBGA (fine-pitch BGA) も出現している。

現在では、BGA の登場により、個々のシステム LSI をさらにシステム化 (チップ統合) し、多ピン化をカバーする。BGA の採用により、システムの大規模化を実現し、実装面積も低減できる。今後、多ピン化と狭ボー

ルピッチ化が進み、1,000 ピン程度の BGA も開発される。多ピンのロジックパッケージが登場すれば、大規模システム LSI が実現し、2000 年には、MPU とシステムコントローラ系の統合によるシステム LSI も出現する。

なお、モバイル PC では、機能を削減せず、小型、軽量化を達成するため、大規模システム LSI をベアチップで直接に基板実装する形態も登場する。

次に、携帯電話に使用するロジックパッケージを解説する。

携帯電話の市場では、小型、軽量機にユーザーの人氣が集中している。このため、システム LSI の開発にあたっては、機器の小型、軽量化に寄与できる高集積、小

Fig.7 Logic package trend (QFP: Quad Flat Package, BGA: Ball Grid Array, FBGA: Fine-pitch BGA).

型パッケージの採用が必須となる。また、通話機能に加え、データ通信機能を付加したモバイル PC との統合機器も登場する。

携帯電話では、ベースバンド用 LSI、DSP (Digital Signal Processor) などの各システム LSI には、薄型、狭リードピッチの QFP を採用してきた。前述したノート型 PC 分野と同様に、これらの各システム LSI が統合される。携帯電話に採用するロジックパッケージの特徴は、ピン数の増加はなく、小型化が追及される。従来の QFP から、現在は FBGA 200 ピン程度に移行している。ただし、FBGA は過渡期と考えられる。最終的には、モバイル PC と同様にベアチップを直接に基板実装する携帯が登場する。

5. おわりに

システム LSI 時代にはパッケージングを取り巻く環境が徐々に変化する。システム LSI 以前には、メーカー間の競争で技術開発が進んだ。しかし、システム LSI 時代には、シリコンチップ、組立プロセス、組立装置の標準化など、企業、国境を越えた、グローバルな観点、幅広い技術領域との協力体制が必須となる。パッケージングの世界も、デファクトスタンダード (事実上の標準) からグローバルスタンダード (世界標準) の時代へ突入する。

多数の実装技術者が「システム LSI 時代のパッケージング技術」を正確に捉え、実際に参加、推進することを期待する。

参 考 文 献

- 1) “IP 時代到来, LSI に第 3 の変革”, 日経マイクロデバイス, no.145, 1997 年 7 月号, pp.40~69.
- 2) “統合設計環境と IP の有効活用”, 日経エレクトロニクス, no.695, 1997 年 7 月 28 日号, pp.188~191.
- 3) “変わる LSI, メモリー・ロジック混載技術”, 第 11 回日経マイクロデバイス・LSI セミナー, 1997 年 9 月 27 日, 日経 BP 社
- 4) ㈱東芝, 吉森 崇, 私信
- 5) 香山 晋, 大野淳一, 片桐常行, 須藤俊夫監訳: マイクロエレクトロニクス・パッケージング・ハンドブック, 1991 年, 日経 BP 社
- 6) 香山 晋, 成瀬邦彦監修, 平田誠一, 須藤俊夫, 大野淳一, 蛭田陽一編: VLSI パッケージング技術 (上) (下), 1993 年, 日経 BP 社
- 7) Dataquest (A Gartner Group Company), “Integrated Circuit Packaging 1996”, SEMI-WW-FR-9601, May 6, 1996
- 8) 大野淳一: “メモリーパッケージの現状と将来動向”, CSP 及び関連市場の将来展望, 1997 年, pp.2~11, ジャパンマーケティングサーベイ
- 9) (株) 東芝, 田口英男, 私信
- 10) Dataquest (A Gartner Group Company), “Worldwide PC Market Mid Year Update 1997”, Sept. 10~11, 1997
- 11) Dataquest (A Gartner Group Company), “Semiconductor Application Markets Worldwide”, SAMM-WW-MT-9505, November 27, 1995

〔執筆者紹介〕

大野淳一(おおの じゅんいち)

1980 年, ㈱東芝入社。現在, 半導体組立技術部所属。

本間亮次(ほんま りょうじ)

1984 年, ㈱東芝入社。現在, 産業用 LSI 開発部所属。

小冊子「今後の実装技術のあり方をシステム設計者に聞く」

本誌でご報告いたしました「今後の実装技術のあり方をシステム設計者に聞く」の詳細 (アンケート回答者のコメントを含め) を小冊子にまとめました。

ご希望の方は事務局までファクシミリでお申込みください。

〔 A4 版 30 ページ
頒布価格 1,000 円 (送料込み) 〕

お申込み・お問合せは SHM 事務局までファクシミリでご連絡ください。

FAX 番号 : 03-5802-5367