半導体チップ品質に対する要求

塚田 裕*

The Requirement for Bare Chip Quality

Yutaka TSUKADA*

*日本アイ・ビー・エム株式会社野洲研究所 (〒520-23 滋賀県野洲郡野洲町市三宅800)

*Yasu Laboratory, IBM JAPAN (800 Ichimiya, Yasu-cho, Yasu-gun, Shiga 520-23)

1. 半導体チップ実装の動向

1.1 高密度化

半導体技術の進歩によるチップの密度増大と、広がるコンピュータアプリケーションによるスループットの増加要求から、プロセッサチップの性能の向上は著しい。クロック周波数は、わずか数年の間に100MHz以下から数百MHzのレベルまで上昇した。それに伴い発熱量も増加して、いまやクーリングファンは必須である。CPUを構成する他の機器の性能向上も著しいが、ボトルネックがバスのスピードである。バスを装着しているマザーボードのクロックは66MHz程度からなかなか上昇しない。現状のCPUに必要とされる半導体チップの立ち上がりとその精度では、プロセッサの処理シーケンスがクロック内に納まらない場合や、寸法の関係からタイミングが間に合わなかったり、ノイズによって的確に動作できなくなることが原因である。解決策には、関係半導体チップのインテグレーションは当然であるが、バスのアーキテクチャを進化させることも有効である。そのほか実装技術の進歩も大きな影響を与える。実装技術の点で最も効果があるのは、単純に言えば全体を小さくすることである。小さい部品を使用して密度を上げて搭載するとともに、クリティカルな部分をマザーボードの両面に実装しチップのドライバからレシーバへの距離を短くし、バスに搭載されるオプションソケットを極小化する。現在使用されているオプションカード類がICカード程度の大きさで高密度に実装されるようになれば、実装サイズは大きく改善される。そのためには、ベアチップ実装、ビルドアップ配線板などの要素技術を駆使して高密度のマルチチップ実装を行うことが必要である。

1.2 多入出力端子数

半導体チップのなかにもボトルネックがあり、メモリのスピードである。DRAMはチャージ時間の確保などにより、スピードがロジックチップほど上がらない。プロセッサチップやバスのクロック周波数をいくら上げててもメモリとのコミュニケーションスピードが上がらないので一次、二次のキャッシュを高速SRAMを用いて駆使するが十分とは言

えない。結果として前述の伝送距離を縮める以外に、バス幅を広げてデータ量を増やそうという考えが出てくる。したがって、バスに接続される半導体チップの入出力端子は増大する。32ビットが2方向に出ていたものが、64ビットになると単純には64入出力端子が128になる。同時スイッチング数も増加するので信号端子数の増加に比例して、電源端子数も増加しなければならない。一般に信号端子数に対して十分な電源端子を用意しようとする、信号端子数2に対して1の電源端子数が必要なためである。プロセッサチップとその周辺のチップの実装は、小型、高入出力端子数が実装への要求の主体となり、フリップチップ実装がその答えである。

1.3 対ノイズ性

Fig.1は、実装の方式によるスイッチング・ノイズの比較である。300入出力端子の半導体チップ4個を、それぞれ実装方式でマルチチップ実装を形成し、1nsの立ち上がり時間(100MHz)で動作させた場合の、クロストークとグラウンドバウンスの合計である。実装の種類は、通常のワイヤボンド用設計のチップを0.4mmピッチのQFP、基板にグラウンドプレーンのないワイヤボンドBGA、基板にグラウンドプレーンをもったフリップチップBGA、ベアチップ実装(Peripheral I/Oと表示)した場合とフリップチップ用設計チップのベアチップ実装(Array I/Oと示している)を比較している。ノイズの大きさは、発生要因として実装の各部位による表示と、種類の2つに分けて示している。また、ベアチップの場合についてのみ、プロセッサとASICに分けて表示し、ノイズの発生についてもチップ内部のノイズを加えた。図でわかるように、ノイズは実装サイズの大きさや、グラウンドプレーンまでの距離が減少するにつれて小さくなる。ベアチップ実装の場合には、ワイヤボンド用設計のチップ(図中ではPeripheral I/Oと表示)を使用している場合、チップ周辺から入出力配線を取り出すためチップの内部配線によるノイズが大きく、フリップチップ用設計のチップ(図中ではArray I/Oと表示)を使用すればチップ自体のノイズは少ない。また、プロセッサチップとASICの基板(図中ではPlanarと表示)部分に起因

するノイズを比較すると、プロセッサチップではあまり大きな差はないが、ASICでは フリップチップ用設計のチップの場合に、ワイヤボンダ用設計のチップに比較してノイズが小さい。これは、ASICの場合には一般的にプロセッサチップに比較して入出力端子数が多く必要で、ワイヤボンダ用設計のチップでは入出力端子数を確保するため、必要ロジックサイズ以上のチップを使用しなければならないことによる。フリップチップ用設計のチップを使用すれば、同一入出力端子数に対して小さいチップを使用できること

を意味する。一方、プロセッサチップでは、ロジックの大きさに比較して入出力端子数はASICの場合より相対的に少なく、この影響が小さい。いずれにしてもフリップチップのペアチップ実装が、ノイズの点から最も望ましい実装方式である。

1.4 今後の方向

Fig.2は、ISA(International Semiconductor Association)がまとめた実装への要求事項を2001年までの期間で図示したものである。入出力端子数は、高密度のものでは現在です

に1000を越すものがあるが、3000程度までに増加する。チップ内部のクロック周波数は500MHzから2 GHzにとどくレベルになり、チップ外クロック周波数も1 GHzに近いものが出てくる。電源電圧は2 V以下になるが、密度の増加とクロック周波数の上昇により、チップあたりの発熱量は現在の数倍に達する。しかし、チップのジャンクション最高温度は、自動車のエンジンルーム内アプリケーションを除けば、最高125℃付近で一定である。むしろ半導体チップはジャンクション温度を下げたほうが性能はよいので、効率的な冷却によりチップから熱を取り去ることが重要な問題になる。この点、フリップチップによるベアチップ実装は、チップ背面が露出しており冷却用装置の装着が容易で、最適の実装方式である。

2. 半導体出荷品質 (KGD) の対応

前節に述べたようにベアチップ実装（現在ではBGAやCSPもベアチップ実装の形態である）が今後の方向であるのは明らかであるが、半導体チップの出荷品質、つまりKGDは、一部の例を除いて未だこの状況に対応していない。

Table 1は、KGDの内容をまとめて示している。大枠として設計仕様、物理的状態、電気特性、半導体出荷後の選別、機械特性に分けている。

2.1 設計仕様

半導体チップを使用する実装品設計の際に必要な項目を列举したものである。チップの外形寸法や入出力端子の設定など設計に必要な情報、端子部分の構造や材料など実装工程において必要な情報、また、配線層の層構成や絶縁層材料も実装工程の設定に必要である。また、ドライバやレシーバの電気特性、ノイズ特性は設計上必要であり、タイ

ミングチャートやテストパターンは実装後の試験工程で必要である。これらは、言葉を換えればそのチップの商品説明のようなものであるが、実装やセットメーカーが必要なチップの品質情報はこのような簡単なレベルでは不十分である。

2.2 物理的状態

チップを実装する際には、設計の呼び寸法では不十分で実際の寸法公差が必要である。これは、端子部分についても同様である。さらに、その端子部分の表面の状態、たとえば酸化膜のレベルは実装の接続工程に大きな影響を与える。また、最終絶縁層の表面状態は、エポキシ樹脂でチップと基板を接着する際の強度、信頼性に影響を与える。シリコンは割れやすいため、コーナやエッジに小さな割れが生じやすいが、チップの基板への搭載時の位置決めに影響を与える。割ればかりでなく、ダイシング後の状態が問題である。実装工程では、水や溶剤、フラックスなどが使用されるが、このような薬品類についてダイシングで切断されるチップ機能層の端の設計上の処理や、パシベーションや端子部分材料の対薬品性も問題である。

2.3 電気特性

KGDの議論はこれまで多くの場合バーンインに偏りがちであるが、ロジックチップではバーンインを行っていないチップが多く、一般の電気試験結果により特性を定義できる。DC電気特性が試験されているのは当然であるが、最近のように処理スピードが速くなってくると、AC特性によってはシステムレベルでの動作不良が多発することになる。また、高温での動作や過剰電圧での動作が、仕様に表示された値に対して十分なマージンを持って試験されているか重要である。ただし、この電気特性については、他の形式、つまりベアチップではなくてもまったく同じ要求が存在するので、半導体チップ供給側としては、実装部品にて行っていた試験内容をウエハレベルに移動することで対処できる。

2.4 半導体工程後処理

本来、半導体工程はその工程の中で品質をコントロールし保証できるはずである。しかしながら、過去、半導体はその品質の状態をウエハレベルで帰結することができず、実装部品のレベルで追加の不良選別を行ってきた。この代表的なものがバーンインである。これは、半導体チップが1.5年で倍といわれるような、密度の増加に対する要求が品質の要求を上回っていたため、半導体ラインの中で処理せずに出荷されていたものである。つまり、工程の管理状態が不十分なうちに製品を出荷せざるを得ないために、実装部品になった時点で追加処理が必要なわけである。今日、半導体もすでに成熟産業のレベルに入りつつあり、それぞれの工程ブロックで品質を保証する方向に転換する時期に来ているので、これからは後工程でのバーンインが必要でない品質レベルの確保に変化していくであろう。また、特

Table 1. Requirement for chip quality

DESIGN SPECIFICATION	Dimension I/O assignement Terminal structure Layer structure, Passivation material Driver/Receiver characteristics Noise characteristics Timing chart Test pattern
PHYSICAL CONDITION	Dimensional torelance Terminal/Bump surface condition Passivation surface condition Damage Chemical resistance
ELECTRICAL PROPERTY	DC test AC test High temperature test Over voltage test
POST SEMICON SORT	Static burn-in Dynamic burn-in Insitu burn-in
MECHANICAL PROPERTY	Packaging stress resistance Thermal cycle test Temperature humidity test High temperature storage test

Fig.3 Passivation crack

に高密度や高性能のチップは実装部品コストも大きく、半導体チップよりも高価格の実装部品もあり、バーンイン不良は余分なスクラップコストの発生源として無視できない。バーンインには、温度を上げて電源を入れるがトランジスタがスイッチングしていないスタティックバーンイン、スイッチングさせるダイナミックバーンイン、バーンイン中に信号をモニターするインシチュバーンインがある。

2.5 機械特性

KGDの議論は多くが電気特性関係に集中するため、現状の議論は機械特性およびその信頼性が欠落しがちであり、問題としてはこちらの方が大きい。電気特性については基本的に現状の要求事項と項目は変わらず、処理するステップの位置が変わるだけであり検討しやすいが、機械特性はチップが物理的にベアチップ実装に耐えるかという実装耐性が含まれており、これまであまり多く議論されていない。と同時に、信頼性試験を行わないと検出できにくいこともあり、ベアチップ実装の方式や工程が種々ある現在、より注意を払う必要がある。この特性は2つに分解でき、1つはベアチップ実装時のストレスによる破壊で、製造後の電気試験で検出されるもの、いま1つはそれらの経年変化に対する特性、あるいは製造直後では不良として検出されない故障モードである。実装時のストレスに対しては、実装後に電気試験をすることで不良を検出することができるが、後者は加速試験を行うしか方法がない。

Fig.3は、半導体チップのパシベーションにクラックが入った例である。チップと基板が接合された後の温度変化、あるいは機械的にゆがみを与えられると接合部には大きなストレスがかかる。このストレスが原因でチップ側端子の下のパシベーション膜にクラックが入り、端子の下にあった配線を切断した。写真の上部に見える3本の配線において、バリア金属の痕跡との交点にクラックが存在する。この故障は実装後の試験では検出されず通過し、温度/湿

Fig.4 Wiring corrosion

度/バイアス試験で0.7%の不良として検出された。

また、Fig.4は、端子とパシベーション膜の間にわずかの間隙が開き、進入した水分が原因でチップ内配線が腐食を起こした例である。中央の配線に沿って黒色に見える部分である。

3. まとめ

フリップチップによるエポキシ系材料基板へのベアチップ実装は、プレーナに実施するにせよ、BGAやCSPに実施するにせよ、電気性能と生産性、コストの点から必須の方向である。基板としてのビルドアップ配線板やフリップチップの方式など、要素技術はすでに多数開発されている。残る問題はこのようなシステム上の要求に対して、チップの品質管理の対応が遅れていることである。一番目には、もちろん、半導体チップのユーザ要求に対する真摯な対応が必要である。しかし、ユーザ側の要求も多岐にわたるため、半導体供給側においてすべて正しい対応をしていくことは難しい面がある。この解決策として、システム側、つまりユーザ側としてチップ供給側にどのような要求があるのかをまとめ、できる限りの標準化を行い、半導体チップ品質要求に対する規格として示すことが必要である。それにより、チップ側と実装側の双方の協力体制が作られ、より高密度、高性能、低コストの実装製品を世の中に出していくことができるであろう。

(1997.9.24-受理 1997.10.2-再受理)

塚田 裕 (つかだ ゆたか)
昭和21年生まれ。昭和45年、北海道大学大学院工学科機械工学専攻修士課程修了。現在、日本アイ・ビー・エム株式会社野洲研究所においてSurface Laminar Circuit, Flip Chip Attachの開発に従事。