フリップチップCSP

高井 正*

Flip-Chip Chip Size/Scale Package

Tadashi TAKAI*

*日本モトローラ株式会社半導体セクター先端実装技術研究所パッケージ研究開発部 (〒981-3206 宮城県仙台市泉区明通2-9-1)

*Packaging R&D, Advanced Interconnect Systems Laboratories, Semiconductor Products Sector, Nippon Motorola Ltd. (2-9-1 Akedori, Izumi-ku, Sendai-shi, Miyagi 981-3206)

1. はじめに

携帯電話, PDA, ノートPCなど, 民生用電子機器の小型, 高密度, 低価格化の流れの中で, ICパッケージに関する話題の中心もここ数年の間に, 周辺実装型のファインピッチQFPから, 面実装型のBGA (Ball Grid Array) へ, そしてCSP (Chip Size/Scale Package) へと急速に移行してきた。

CSPは, 従来型のパッケージと同様に取り扱える上に, 既存の表面実装技術を生かしながら, ベアチップ実装と同等の実装面積を実現できることから, ICユーザ, メーカーの双方にとって利便性が高く, 高密度実装技術の主役となりつつある。ただし, 従来型のパッケージを完全に置換するには, パッケージングコスト, 実装レベルでの信頼性などの面で, 克服すべき課題があるのが現状である。

本稿では, フリップチップCSPの一例として, われわれが試作した0.5mmピッチCSPの概要と, 実装レベルでの信頼性評価結果について述べる。

2. フリップチップCSPの特徴

CSPを実現するために, これまでに, 数多くのパッケージ構造が提案されてきた¹⁾。これらのうちフリップチップCSPは, インタポーザ基板を用いる構造の中では,

- a) 実チップサイズのパッケージが実現可能である
- b) 配線経路長が短縮でき, 高周波特性に優れる
- c) ICチップ上の電極パッド配置の自由度が高い (周辺, または面配置の両方に対応可能である)
- d) パッケージ高さを低く抑えることができる

など構造上の長所を有し, ベアチップ実装に最も近いCSPが実現できる。反面, ワイヤボンディング, トランスファモールドなどの, 既存の枯れた製造技術を流用できないことから, コスト面で不利になりやすい。

われわれは, フリップチップCSPの長所を生かしつつ, 民生用機器で多く用いられる150ピン程度までの小・中規模なICに適用できるように, パッケージングコストの低

減を図った。

3. 試作したフリップチップCSPの概要

Fig. 1 に, われわれが試作したフリップチップCSPの構造を示す。チップは, 樹脂インタポーザ基板上にフリップチップ実装されている。チップ下にはアンダーフィル樹脂が充てんされているが, チップ裏面は露出している。実装基板への接続は, パッケージ下面に形成された, はんだボールによってなされる。

この構造自体は, 最も初期のフリップチップBGAであるSLICC (Slightly Larger than IC Carrier)²⁾と同様である。われわれは, この構造においてパッケージングコストを押し上げる要因を検討した結果, バンプ形成・接続工法とインタポーザ基板に着目した。

1) バンプ形成・接続工法

将来的な多ピン化, ウエハの大口径化への対応力を考えれば, コスト低減の観点からは, ウエハ全面に一括してバンプ形成可能な工法が望ましい。

蒸着法により高融点はんだバンプを一括形成する工法 (C4) は, IBM社によって技術的に確立され, 信頼性に関しても最も実績のある工法であるが, コスト低減には向かない。

そこで, めっき法でUBM層を形成した後に印刷法によって共晶はんだバンプを形成する工法を開発した。バンプ付きのチップは, インタポーザ基板上へ位置合わせ・搭載後, 通常のN₂フローで実装される。

2) インタポーザ基板

従来, PBGAで多く用いられてきたインタポーザ基板は, 両面もしくは多層のメカニカルスルーホール基板で

Fig.1 Pictorial view of the Flip Chip CSP prototype

Fig.2 Photo of the FC-CSP

あった。これを、そのままCSPに適用すると、相対的にインタポーザ基板面内のスルーホール密度が高くなり、必要な配線の引き回しを確保するためには、必然的に多層配線板を用いざるを得なかった。

われわれは、メカニカルスルーホール基板に代えて、ブラインドビアを有するHDI基板を用い、ビアランドを外部接続用はんだボールのランドとして用いる構造とした。これにより、0.5mmピッチのはんだボール径 $\phi 0.3\text{mm}$ に対して十分なランド径を確保しながら、基板内での配線引き回しが単純化され、両面基板の採用が可能になった。

さらに基板材料に関しても、これまで高信頼性材料として用いられてきたBTレジンに代わり、FR-4もしくは、FR-5相当のガラス布基材エポキシ樹脂基板を用いた。

Fig.2は、われわれが試作した0.5mmピッチ、フリップチップCSP（外形 $8 \times 8\text{mm}$ ，88ピン）の外観写真である。使用した評価チップのチップサイズは $6.2 \times 6.9\text{mm}$ ，チップ上の電極は70パッドで、周辺配置されている。チップ内には、独立した2回路のデイジーチェーンパターンが形成されており、それぞれの回路の導通と、回路間の絶縁抵抗を試験することができる。実装基板との接続はんだボール端子は、実装基板側での配線引き回しの負荷軽減を考え、周辺2列配置になっている。

4. 実装レベル信頼性評価

ファインピッチのエリアレイパッケージでは、パッケージ単体レベルでの信頼性以上に、実装レベルでの信頼性、特に、温度サイクル試験耐性を重視する必要がある。

われわれは、試作したパッケージを実装評価用基板（基板サイズ $25.4 \times 25.4\text{mm}$ ，30mil/760 μm 厚，FR-4）上にIRリフローで実装した上で、信頼性評価試験を行った。実装評価用基板の外観をFig.3に示す。実装評価用基板とパッケージとの間には、アンダーフィルは使用していない。実装の簡便性はCSPの大きな利点のひとつであり、われわれは、アンダーフィルを用いることなしに、必要な実装レベルでの信頼性が達成されなければならないと考えている。

実装レベルでの信頼性の試験項目、試験条件および結果をTable 1にまとめた。試験項目、試験条件については、実装レベルでの信頼性試験として一般によく用いられてい

Fig.3 Board level reliability test board (after FC-CSP mounted)

Table1. Board level reliability result of FC-CSP

Test	Condition	Status
L/L Thermal Shock	-55°C to +125°C, 5 min dwells	Pass 1000 cycles
Temperature Cycling	-40°C to +125°C, 1 cycle/hour, 10min. dwells	Pass 1000 cycles
THB	85°C/85%RH with 5.5V bias	Pass 1008 hours
HTSL	125°C	Pass 2016 hours
Autoclave	121°C/100%RH/15psig	Pass 196 hours

るものを選択した。いずれの試験項目についても、民生用パッケージとして必要なレベルは、十分に達成できている。

これらの試験結果のうち、温度サイクル試験（気相 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ，および、液相 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ）の結果をワイブルプロットで表したものがFig.4である。温度サイクル試験で発生した不良のモードは、すべてパッケージと実装基板との接続はんだボール部分のオープン不良で、パッケージ内部のフリップチップ接続部分には、不良は発生しなかった。Fig.4のそれぞれ3本の直線のうち、最も外側のものが信頼水準90%での推定値をプロットしたものである。これによれば、累積不良率1%のサイクル数は、気相 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の試験条件で1090サイクル、液相 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の試験条件で1010サイクルと推定される。

5. 従来パッケージとの比較

温度サイクル（液相， $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ）試験における累積不良率10%のサイクル数を、従来のPBGAと比較した。対象としたパッケージは、

- 1.5mmピッチPBGA-68ピン
外形 $13.5 \times 15\text{mm}$ ，モールド樹脂封止
ボール径 $\phi 0.76\text{mm}$ ， 8×9 フルマトリクス（コーナー4個なし）
- 1.0mmピッチPBGA-196ピン
外形 $15 \times 15\text{mm}$ ，液状樹脂封止
ボール径 $\phi 0.5\text{mm}$ ， 14×14 フルマトリクス
- 0.5mmピッチCSP-88ピン（今回試作）
外形 $8 \times 8\text{mm}$
ボール径 $\phi 0.3\text{mm}$ ，周辺2列

Fig.4 Weibull plot of L/L shock and Air/air data

Fig.5 Comparison of the thermal fatigue reliability

の、3種類である。

Fig. 5 に比較の結果を示す。1.0mmピッチPBGAが他と比べて、1.4～1.8倍の接続寿命を示したが、これは、他のパッケージの2倍以上の接続端子数を持つことにより、はんだボール1個当たりに加わる熱応力が小さいためであると考えられる。

試作した0.5mmピッチCSPを、比較的ピン数に差のない1.5mmピッチPBGAと比較すると、接続はんだボール径が60%小さいにもかかわらず、接続寿命は約1.2倍に延びていることが確認された。外形の小型化によって、はんだボールへ加わる熱応力が小さくなったことに加えて、今回採用したインタポーザ基板が効果を上げているものと考えられる³⁾。

6. むすび

フリップチップCSPにおいて、ウエハバンプの形成・接続工法、インタポーザ基板などに新たな技術を用いて、パッケージングコストの低減を図った事例を紹介した。

また、試作した0.5mmピッチCSPの実装レベルでの信頼性を評価した結果、従来の1.5mmピッチPBGAと比べて遜色なく、一般的な使用条件には十分対応可能な実力を有し

ていることが確認された。

これまで、CSPの実用化においては、ワイヤボンディング、TABなど既存の製造資源を利用する構造が先行してきた。フリップチップCSPについても、今後、より低コスト化を進めることによって、高速化に向く構造上の利点を生かした適用範囲が広がることが期待される。

(1998.7.10-受理 1998.8.12-再受理)

文 献

- 1) EIAJ, "Roadmap on Semiconductor Packaging Technologies", 1996
- 2) K. R. Thompson, K. Banerji and W.B. Mullen III: "Integrated Circuit Chip Carrier", US. patent 5,293,067
- 3) Y. Matsuda, T. Takai, Y. Okada, P. Lall, C. Koehler, T. Tessier, and D. Olsen: "Reliability Study of the Laminate-Based Flip-Chip Chip Scale Package", 1998 IEMT/IMC symposium

用語解説

PDA: Personal Digital Assistants

個人用の携帯情報機器の総称。

HDI基板: High Density Interconnect Substrate

小径ブラインドビア、ファインパターンなどの技術を用い、配線密度を高めたプリント配線板

デージーチェーン: Daisy Chain

連鎖型接続。本稿においては、複数の接続部分を通る直列回路を指す。

高井 正 (たかい ただし)

昭和36年生まれ。昭和61年、京都大学理学部卒業。現在、日本モトローラ株式会社半導体セクター先端実装技術研究所パッケージ研究開発部プロセス課において、半導体パッケージ、実装技術の開発に従事。