伝送線路型広帯域キャパシタの開発と実用化

荒井 智次*, 坪田 一成*, 高田 一志*

Development and Application of a New Wideband Capacitor

Satoshi ARAI*, Kazunari TSUBOTA* and Hitoshi TAKATA*

*NEC トーキン株式会社 (〒982-8510 宮城県仙台市太白区郡山6-7-1)

*NEC TOKIN Corporation (6-7-1 Koriyama, Taihaku-ku, Sendai-shi, Miyagi 982-8510)

概要 CPUにエネルギーを供給する電源回路においては、CPUの動作の安定化と高周波電流の拡散防止のため、CPU近傍に複数のキャパシタからなるデカップリング回路が使用されている。デカップリング回路は、CPUの電源電流の変動に対応するために、低周波数から高周波数の広帯域にわたって低インピーダンスである必要があるが、従来のキャパシタの単純な組み合わせでは実現が困難になりつつある。今回、このデカップリング回路に最適な広帯域で低インピーダンス特性をもつ伝送線路構造を有するデバイスを開発し、ノートPCやFPGAボードへの適用について検討した。

Abstract

Decoupling capacitor circuits designed for use in industry must have substantially low impedance over a wide frequency range. It has become much more complicated to realize this design objective with the conventional implementation, which uses a combination of discrete capacitors. We have developed a new capacitive device which possesses an internal transmission line structure to address the needs for low-impedance decoupling circuits. The device was applied to the power circuits of notebook PC CPUs and embedded systems with FPGAs for evaluation. In the notebook PC CPU application, this capacitive device was able to substitute for 39 conventional capacitors, thus simplifying the power circuit design, with the added benefit of reducing the board space needed for components. In the FPGA application, the effects of this decoupling device were verified through simulation and actual board measurements. Results confirm that this device is an attractive solution for reducing EMI effects.

Key Words: Transmission Line, Decoupling Circuit, Low Impedance, CPU, FPGA

1. 緒言

近年、CPUの高速化、高機能化の進展に伴って、CPUにエネルギーを供給する電源回路は、より安定で高速なものが求められてきている。しかし、一般にDC-DCコンバータなどの直流電源のみでこの安定性と高速応答の要求を満たすことは困難であり、CPU近傍には複数のキャパシタからなるデカップリング回路が使用されている。

デカップリング回路はCPUが必要とする電源電流を供給するため低周波数から高周波数の広帯域にわたって低インピーダンスである必要があるが、従来のキャパシタの単純な組み合わせでは実現が困難になりつつある。

今回、このデカップリング回路に最適な広帯域で低インピーダンス特性をもつ、伝送線路構造を有するデバイス（以降、伝送線路素子と称す。商品名：Proadlizer[®]）を開発し、ノートPCやFPGAボードへの適用について検討した。

2. 動作原理¹⁾

2.1 デカップリング回路

Fig. 1にデカップリング回路を模式的に表した図を示す。Fig. 1の右側の電源ラインから直流が供給されてCPUが動作している。そして、CPUが動作することにより、その所要電流が変動する。この所要電流の変動は交流成分であ

Fig. 1 Schematic diagram of decoupling circuit

り、CPUの動作速度に関係して、低周波数から高周波数まで広い範囲の周波数成分をもっている。デカップリング回路は低いインピーダンスに設定し、CPUの所要電流の変動分を速やかに優先的に供給して、CPUの電源電圧を一定に保つはたらきと所要電流の変動によって発生した交流電流をCPUの近傍に閉じ込めて他の回路に悪影響を及ぼさないようにする2つのはたらきがある。従来のデカップリング回路は複数のキャパシタから構成されており、キャパシタが交流に対して低インピーダンスである性質を利用している。

ここでFig. 2に一般的なキャパシタのインピーダンスの周波数特性を示す。一般的なキャパシタはFig. 2の等価回路に示すようにキャパシタの端子部分に由来する寄生インダクタンス成分(ESL: 等価直列インダクタンス)が存在する。このため、インピーダンスの周波数特性は共振特性を示し、インピーダンスが低い周波数領域は自己共振周波数の近傍に限定される。したがって、広帯域において低インピーダンスを実現するためには自己共振周波数の異なるキャパシタを複数並列接続する必要がある。

しかし、このように異なるキャパシタを組み合わせると低インピーダンス回路を設計するのは煩雑であり、さらに、近年のCPUの高機能化、高速化によって、デカップリング回路であつかう電流の周波数は数MHzから数GHzまでと非常に広範囲になっており、特に高周波数領域では従来のキャパシタを組み合わせただけの回路では、ESL成分の影響が顕著になり、もはや低インピーダンス回路を実現することは困難になりつつある。

2.2 伝送線路素子の原理と特長

Fig. 3を用いて伝送線路素子の原理について説明する。Fig. 3(a)は従来のキャパシタによるデカップリング回路を模式的に表したものである。ここでキャパシタは便宜上、平行平板キャパシタとする。従来のキャパシタは電荷を蓄積する1対のキャパシタ電極と、そこから電荷を外部に取り出すための端子からなっており、この端子を介して電源ラインにつながっている。この端子のインダクタンス成分のために、キャパシタの等価回路は静電容量とインダクタ

ンスの直列回路となる。

ここでキャパシタを広帯域化するためには、この端子の影響を除去する構成を考える必要がある。Fig. 3(b)において、まず、この端子を取り去り、キャパシタ電極そのものが電源ラインの一部となる構成にする。さらに、キャパシタ電極の部分に伝送線路構造を採用すると、周波数依存性のない一定の特性インピーダンスをもつ線路とすることができる。

伝送線路は分布定数回路であり、単位長さ当たりのインダクタンスとキャパシタンスの比で決まる特性インピーダンスを有している。通常、信号伝送には特性インピーダンスが50Ωや75Ωの伝送線路が使用されるが、今回の伝送線路素子は電源ラインで使用されることを想定し、この誘電体の部分に単位長さ当たりの静電容量が大きくなる材料を使用することにより、特性インピーダンスがmΩレベルの極めて低い伝送線路を構成している。

今回の伝送線路素子の具体的な構造は、伝送線路の一種であるストリップライン構造である。Fig. 4にストリップラインの構造を示す。ストリップラインは平板形状であり、中央部分がプラス電極、上下部分にマイナス電極があり、誘電体をはさんだサンドイッチ構造になっている。

また、使用している材料はアルミニウム固体電解キャパシタと同じものを使用しており、中央のプラス電極はアルミニウム、誘電体はアルミニウムのエッチング層に形成された酸化アルミニウムであり、上下のマイナス電極とは導

Fig. 3 The concept of transmission line structure device

Fig. 2 Impedance-frequency characteristic of capacitor

Fig. 4 The structure of strip line

電性ポリマーを介して導通している。

デカップリング回路は理想的には直流成分のみを通過させるローパスフィルタと考えて良く、よってデカップリング回路は入力側（CPU側）から出力側（電源側）へ通過する交流成分の減衰量が評価できる。交流成分を通過させないほど、つまり減衰量は大きいほど望ましい。具体的にはネットワークアナライザを用いて透過減衰特性S21を測定することにより評価することができる。Fig. 5はアルミニウム固体電解キャパシタ、タンタルキャパシタおよび積層セラミックキャパシタ（MLCC: Multi-Layer Ceramic Capacitor）と伝送線路素子のS21パラメータの周波数特性である。Fig. 5において伝送線路素子以外の従来タイプのキャパシタはそのインピーダンス特性を反映したV字型の特性であるのに対し、伝送線路素子は広い周波数領域で大きな減衰量を有している。

この特性を利用すれば、従来複数個のキャパシタを使用していた複雑なデカップリング回路を、わずかな個数の伝送線路素子で置き換えられる可能性があり、大幅な設計の簡略化と実装面積の削減につながるものと考えられる。Fig. 6に商品化された伝送線路素子の外観を示す。実装面の両端がプラス電極であり、これらは素子内部で導通しており、実装面中央のマイナス電極との間で静電容量が形成されている。

Fig. 5 Attenuation-frequency characteristics of capacitors and Proadlizer^R

Fig. 6 Appearance of Proadlizer^R

3. アプリケーション検討

3.1 ノートPC²⁾

伝送線路素子の効果を確認するためにノートPCのCPUデカップリング回路への応用について検討を行った。検討したノートPCのCPUはIntel社製Pentium M (1.6GHz)で、コア電圧0.844~1.356V、最大消費電流32Aである。このCPUのコア電圧に対する従来のデカップリング回路の構成は、アルミニウム固体電解キャパシタ220 μ Fが4個と積層セラミックキャパシタ10 μ Fが35個の計39個である。

まず、回路シミュレータでデカップリング回路を構成するキャパシタの合成インピーダンスの周波数特性を求めた。この結果をFig. 7に示す。今回の計算はアルミニウム固体電解キャパシタ、積層セラミックキャパシタのスパイスモデルを用いてデバイスのみを合成したものであり、実際にデバイスがプリント配線板に搭載された際は、実装抵抗、トレース、ビアなどのインピーダンスが数m Ω のレベルで加算されると思われるので、合成インピーダンスにおいて1m Ω 以下の領域は参考程度と考えられる。

Fig. 7に伝送線路素子1000 μ Fのインピーダンスも同時に示す。伝送線路素子のインピーダンス特性は、S21特性から相当する二端子コンデンサとして計算した値である。これより伝送線路素子1000 μ Fのインピーダンスは、アルミニウム固体電解キャパシタと積層セラミックキャパシタの合成インピーダンスとほぼ同等であり、このデカップリング回路は伝送線路素子1000 μ Fで置き換えが可能と考えられる。

Fig. 8に試作した伝送線路素子搭載ノートPCと従来のノートPCのCPU裏側のデカップリング回路周辺を示す。伝送線路素子を搭載する位置は、配線によるインピーダンス上昇を避けるためにCPUにできるだけ近く配置することとし、CPU搭載面の裏側に配置した。Fig. 8からわかるように伝送線路素子搭載ノートPCではデカップリング回路の占有する面積を大幅に小さくすることができた。

Fig. 7 Impedance-frequency characteristics of each device

Decoupling capacitors
(2.5V/220uF:4p & 10uF:35p)

※Ceramic capacitors are mounted
in the back side also.

Proadlizer^R
(2.5V/1000uF:1p)

(a) The conventional board

(b) Proadlizer^R mounted board

Fig. 8 Photograph of decoupling circuit

Fig. 9 Magnetic near field measurement setup

次に、各ノートPCの評価として近傍磁界を測定した結果を示す。評価装置は協立電子工業のプリント配線板用電磁波測定・表示装置「EMSCAN」を使用した。本装置はスキャナ部に微小ループ・プローブが格子状に配置されており、プリント配線板からの近傍磁界が測定可能である。Fig. 9は測定時のノートPCの状態を示す。ノートPCを分解してベアボードの状態とし、外部ケーブル、バッテリー、外付けメモリを接続した。測定時は、できるだけ各部が動作状態になるように、HDDアクセス、CD外周再生、Hパターン全画面表示の状態とした。

Fig. 10に周波数をスキャンした測定結果を示す。Fig. 10(a)はマザーボード全体をスキャン対象とし、Fig. 10(b)はスキャン対象をCPU周辺に限定したものである。Fig. 10(a)ではマザーボード全体を対象としているため両マザーボードに差異はないようであるが、Fig. 10(b)のCPU周辺においては100MHz以下の周波数で伝送線路素子搭載ボードのほうでノイズレベルが低いようである。

Fig. 11は周波数を92MHzに固定してマザーボード内の分布をスキャンしたものである。伝送線路素子搭載ボードではCPU周辺において従来ボードよりノイズレベルが小さくなっている。

(a) The whole board

(b) Around the CPU

Fig. 10 Magnetic near field spectra

Fig. 11 Magnetic near field distribution

Fig. 12 Emission noise measurement setup

次に放射ノイズの測定を行った。測定は電波暗室内の3m法で行った。Fig. 12にノートPCの電波暗室内での設置状態を示す。動作状態は近傍磁界測定時と同様にHDDアクセス、CD外周再生、Hパターン全画面表示とした。Fig. 13にピーク検出での各ノートPCの放射ノイズの測定結果を示す。上下のグラフはそれぞれ水平偏波、垂直偏波である。これより伝送線路素子搭載ノートPCと従来のノートPCは放射ノイズにおいて、ほぼ同等のレベルであることを

Fig. 13 Emission noise

確認した。

以上、CPUのデカップリング回路を、従来のキャパシタ39個から伝送線路素子1個で代替したノートPCを試作して、近傍磁界、放射ノイズを評価した。その結果、従来と同等の性能であることが確認でき、伝送線路素子を使用することにより、従来のデカップリング回路を大幅に簡略化し、デカップリング回路の占有面積を削減する効果が得られた。

3.2 FPGAボード³⁾

産業機器あるいは民生機器において、FPGA (Field programmable gate array)を採用した製品が増えている。FPGAはユーザが回路構成を書き換えられるゲートアレイとしてASICの試作段階あるいは少量生産の製品で使用されてきたが、性能の向上とコストの低減によりASICの市場と一部競合するほどになっている。

FPGAの性能向上により、FPGAに必要な電源は低電圧・大電流化しており、電源部のデカップリング回路の設計が非常に重要になってきている。FPGAのデカップリング回路について、伝送線路素子を用いてデカップリング回路を構成し、その効果について検討した。

伝送線路素子のデカップリング効果を確認するためにFPGAを搭載したテストボードを試作した。FPGAを搭載したテストボード（以下、本ボードと称す）では、ソフトウェアによりFPGA内部に多数のレジスタを構成し、このレジスタをクロック周波数に応じてON-OFF動作させ、このレジスタの値を出力端子から外部に負荷として接続したキャパシタに出力する。これによりFPGAの電源ラインに大きな同時スイッチングノイズを発生させ、EMI (Electro-Magnetic Interference 電磁妨害) を評価して、電源ラインに配置したデカップリング回路の違いによる効果を確認した。

Fig. 14(a)は試作したボードの外観である。デカップリン

Fig. 14 Appearance and Vcc pattern of FPGA board

グ回路に伝送線路素子を使用するボードと従来のキャパシタを使用するボードの2種類を試作した。伝送線路素子を使用するボードでは2.5 V/15 uFを4個使用し、それぞれFPGAの周囲に1辺に1個ずつの割合で配置した。従来のキャパシタを使用するボードでは伝送線路素子と合計の静電容量を同じにするために10 uF、1 uF、0.1 uFのそれぞれ1個、4個、10個ずつを1セットとしてFPGAの各辺に1セットずつ配置した。

また、Fig. 14(b)のようにそれぞれのボードにおいてプリント配線板内層の電源層にスリットをいれて電源層をFPGA側と電源側で分離し、FPGAのスイッチングノイズをFPGA近傍に閉じ込めてデカップリング効果を高めることを期待した。

実際の評価に先立ち、本ボードの設計データを用いて電磁界シミュレーションにより電源ライン変動とEMIについて事前に検討した。使用したシミュレータは米国Sigrity社のSPEED2000である。本シミュレータは部品の実装されたプリント配線板について信号／グラウンド間のリターン電圧・電流や電源／グラウンド間のプレーン間電圧・電流を計算でき、システムのデカップリング設計やEMI解析などに応用できる。

本シミュレータでは、はじめにCADデータから電源層、グラウンド層など解析対象となる部分のレイアウト情報を抽出する。次に、プリント配線板の厚みや誘電率などプリント配線板の層構成の定義を行う。次に、プリント配線板に実装する回路部品のスパイスモデルを接続する。今回の場合はFPGAの電源電流変動モデルとして、FPGAの電源ラインの位置に150 MHz、16 Aの三角波電流源を接続した。さらに伝送線路素子および従来のキャパシタのスパイスモデルを作成し、それぞれプリント配線板の所定の位置に接続した。

以上の設定によりシミュレーションを実行し、各ボードの電源層の電圧変動を求めた結果をFig. 15(a)に示す。この結果より、伝送線路素子を搭載したボードはFPGAのあるスリット内側の正方形の領域に電圧変動が集中しているこ

(a) Voltage noise of Vcc layer

(b) Emission noise

Simulator: SPEED2000 Sigrity, Inc.

Fig. 15 Noise simulation result

Fig. 16 Magnetic near field measurement

とがわかる。これはFPGAの所要電流の変動分がスリットによってさえぎられるとともに、スリット上に配置された伝送線路素子から重点的に供給され、電源側に流れる高周波電流が小さくなっていることを示している。一方、キャパシタを使用したボードでも同様の傾向は見られるが、スリットの切れ目から一部電流が漏洩して電圧変動がボード全体に拡散していることがわかる。

次に、放射ノイズについて計算を行った。一般にボードから放射される放射ノイズは高周波電流が広く分布しているほど大きくなる傾向があるので、今回のように伝送線路素子を使用して電源層を分離し、FPGA近傍に電圧変動を閉じ込めることは放射ノイズに対し有効であると考えられる。その結果をFig. 15(b)に示す。ここで、縦軸は電界強

度、横軸は周波数であり、計算結果は100MHzから1000MHzまで100MHzおきの周波数10点の電界強度を表している。左側の縦棒、右側の縦棒はそれぞれ垂直偏波、水平偏波である。この結果、先の電圧変動分布を反映して、電圧変動の領域の小さい伝送線路素子のボードのほうで放射ノイズが小さいという結果が得られた。

シミュレーションの確認評価として近傍磁界を測定した結果を示す。Fig. 16は周波数100MHzでの各ボードの分布をスキャンしたものである。キャパシタを使用したボードではノイズがボード全体に広がっており、図中の右側にある電源ケーブルにもノイズがのっていることがわかる。一方、伝送線路素子搭載ボードではノイズの拡散が中央付近にとどまっております、シミュレーションの傾向と一致するこ

とが確認できた。

4. 結 論

デカップリング回路に適した広帯域で低インピーダンス特性をもつ伝送線路素子を開発し，ノートPCのCPUデカップリング回路において，デカップリング回路を大幅に簡略化できることを確認した。また，FPGAをコアデバイスとして使用した機器を想定し，伝送線路素子のデカップリング効果が良好であることを確認した。今後は伝送線路素子の最適なアプリケーションおよび使用方法についてさらに検討を進めていく予定である。

謝 辞

伝送線路素子搭載ノートPCおよびFPGA搭載ボードの設計，製作，評価におきまして，多大なご協力をいただきました日本電気 クライアント・サーバ事業部 神谷浩技術マネージャーとNEC システムテクノロジー サーバ基盤

事業部 信高靖主任に深く感謝いたします。

(2008.7.9-受理)

文 献

- 1) 荒井智次，高橋正彦，戸井田剛，猪井隆之：“伝送線路構造の新デカップリングデバイスの開発とそのアプリケーション”，NEC TOKIN Technical Review, Vol. **30**, 2003, pp. 14-20 (英語版 pp. 16-23)
- 2) 荒井智次，坪田一成，猪井隆之，堀 仁孝：“伝送線路構造デバイス ブロードライザ™のノートPCへのアプリケーション”，NEC TOKIN Technical Review, Vol. **32**, 2005, pp. 91-96 (英語版 pp. 101-106)
- 3) 荒井智次，若生直樹，高橋正彦，猪井隆之，坪田一成：“ブロードライザ™を用いたFPGA搭載ボードのデカップリング回路の検討”，NEC TOKIN Technical Review, Vol. **31**, 2004, pp. 30-35 (英語版 pp. 32-37)