プリント回路板設計におけるノイズ解析と統合CAD

吹野 正弘*, 山岸 圭太郎*, 浅川 忠隆*

Electrical Noise Simulation and Integrated CAD for Printed Circuit Board Design

Masahiro FUKINO*, Keitarou YAMAGISHI* and Tadataka ASAKAWA*

*三菱電機株式会社情報技術総合研究所 (〒247-8501 神奈川県鎌倉市大船5-1-1)

*Information Technology R&D Center, Mitsubishi Electric Corp. (5-1-1 Ofuna, Kamakura-shi, Kanagawa 247-8501)

1. はじめに

マイクロプロセッサに代表される半導体技術の進歩により、プリント回路板上のLSIのクロック周波数とバス信号のデータ転送速度、および信号の立ち上がり/立ち下りの高速化が進んでいる(図1)。このことはデジタル信号の周波数成分の高周波化につながり、反射ノイズやクロストークノイズなどの伝送信号ノイズ、電源/GND間の電源ノイズ、EMI(Electro-Magnetic Interference)規制に関わる電磁放射ノイズをいかに抑制するかの設計技術が重要になっていることを意味している(図2)。そこで、CAD/CAEを利用して早く簡単に正確にノイズ解析を行え、最適解を出してくれることが望まれている。特に電磁放射ノ

図1. クロック周波数・データ転送周波数の動向

図2. プリント回路板から発生するノイズ

イズは放送などへの電波妨害の観点から法的規制されるもので、規制クリアを早くするために技術的裏付けを持ったEMI設計を実現することが切望されている。

本報では、プリント回路板設計におけるこれらのノイズシミュレーション技術の現状と課題(動向)、そして一歩進んでシミュレーション技術を設計現場へ適用していくためのCAD/CAE統合化システムについて解説する。

2. 伝送波形シミュレーション技術

プリント回路板を走る信号は、波形のエッジが重要となるトリガー信号と、HやLの保持時間が重要となるレベル信号に大別される(図3)。前者はクロック信号に代表され、入力バッファでの立ち上がり(L→H)や立ち下がり(H→L)で素早くH/Lしきい値電圧間を通過すること、およびリングングがしきい値電圧にかからないことが求められる。後者はデータアドレス信号に代表され、トリガー信号に対して一定期間確実にHまたはLの電圧を保っていることが求められる。以上の内容が守られていれば、波形の見た目が汚くても、論理的には問題なく動作する。

ところが伝送信号の高速化に伴い、これらの条件を満たすことが難しくなった。アナログ回路では、特定の周波数帯でのインピーダンス整合がとれていれば良い。しかしデジタル回路の矩形波には、基本周波数の10倍程度の周波数までの正弦波が含まれている。さらに、1本の信号に複数のLSIを接続しているため分岐が生じ、そこでインピーダンスの不整合が生じる。このため、単にプリント回路板上で配線をつなぐだけでは、上記条件が満たせない。そこで、配線を含めた伝送波形シミュレーションが必要となっている。

図3. トリガー信号とデータ信号の違い

図4. SPICE系シミュレータと伝送線路シミュレータの違い

伝送波形のシミュレータには、SPICE系回路シミュレータか、配線を分布定数として扱う伝送線路シミュレータが用いられている（図4）。前者は電気・電子回路のアナログシミュレータである。このため、I/Oバッファの内部遅延を含めた詳細なシミュレーションが可能である。その反面、トランジスタの構造や寸法に基づき、電子現象レベルから計算しているため、計算時間が長い。また、分布定数線路である配線を扱うことが苦手で、わざわざ細かいラダー回路に細分化して計算している。後者は初めから配線上の伝送信号の波形シミュレーション用に開発された。出力バッファは出力VI特性と立ち上がり時間/立ち下がり時間（ T_r/T_f ）で、入力バッファは入力VI特性のみでモデル化でき、カタログデータあるいはIBISモデルとしてメーカーから提供されている。配線は両端間の伝達関数として扱われる。このため、SPICE系シミュレータに比べて圧倒的に計算時間が短い。

ただし、今後のさらなる高速信号では、どちらのシミュレータであれ、モデルの周波数特性が重要である。例えば500MHzクロック信号のシミュレーションでは、各モデルの周波数特性が数GHzまで合わなくてはならない（図5）。この領域では、配線は有損失伝送線路となり、パッケージやコネクタの特性はGNDピニアサインにより変化する¹⁾、I/Oバッファは単なる高速化以外のチューニングが施される²⁾。これらを必要な周波数領域まで再現できるモデルでなければ、シミュレータ自体の精度が良くてもシミュレーション精度は落ちる（図6）³⁾。

3. 電源ノイズシミュレーション技術

消費電力の少ないCMOS・LSIでも、I/Oバッファのスイッチング時には配線容量に対する充放電電流およびバッファ自身の貫通電流が発生する。給電系のインピーダンスがゼロでない限り、この急激な電流変化により給電系に電圧変動が生じる。給電系に電圧変動が生じると、LSIの内部遅延時間、出力バッファの T_r/T_f 、入力バッファの H/L しきい値電圧などが変化する。また、伝送波形シミュレーションは給電変動を考慮しない場合が多い。このため、システム誤動作の原因になる。ここで述べる給電系とは、LSIパッケージの電源/GND（以下V/G）ピン、プリント回路板のV/Gプレーン、電源ケーブルなど、I/Oバッファ

図5. モデルの形式と S_{21} パラメータ

図6. モデルの回路形式によるシミュレーション波形の違い

のV/GとDC電源装置の出力端子を結ぶ経路のすべてを指す。

給電系のインピーダンスは $\sqrt{L/C}$ で決まるので、V/Gそれぞれのインダクタンスを下げ、V/G間の容量を上げると、給電系のインピーダンスを下げるができる。よく使われるのがバイパスコンデンサ（以下パスコン）である（図7）。電源コネクタ付近に大容量のコンデンサを置き、基板全体の給電を安定させる。また、LSIの近くに反応速度の速い小容量のチップコンデンサを置き、LSIの過渡電流を吸収させる。パスコンは選定や配置を間違えると、逆に共振を起こす。

この問題を設計時点で解決するため、給電系シミュレー

図7. プリント回路板の電流経路と電磁放射

図8. 電源/GNDプレーンのモデルの作り方

ション技術が用いられ出した。給電系を電気回路でモデル化し、それにI/Oパッファやパスコンを接続し、SPICE系シミュレータで解析するのが一般的である。このとき、プリント回路板のV/Gプレーンのモデル化が重要である。1枚のプレーンは三角格子点間のRL回路で表現され、そしてV/GそれぞれのプレーンモデルをCで接続する(図8)⁹⁾。ここで、格子点をどこまで細かくするかが、解析結果に大きく影響する。さらに詳細なモデルでは、プレーン間相互Lとプレーン内相互Lが追加される。また、スリットや輪郭などのプレーン形状を再現しないと、電流経路が不正確になる。しかしモデルを細かくし過ぎると、計算時間が膨大になるか、計算自体が収束しない。また、プレーンを流れる電流のシミュレーションは、その検証測定が難しい。

今後はこれらの課題が解決され、伝送波形シミュレーション並みの精度を電源ノイズシミュレーションでも実現することが望まれる。

4. 電磁放射ノイズシミュレーション技術

プリント回路板上の電磁放射は、信号ループ、LSIに供給する電源ループ、LSIのパッファスイッチング時に電源/GND間の貫通電流によって引き起こされる電源とGNDの揺れなどによるものが主である(図7)。信号ループの信号線とGND面を対称とした帰還電流が流れるイメージ回路部の相互電磁結合Mにより、GNDに発生する電圧

VGNDが低減する。このため信号線ループにおいては、このMを大きくするよう、信号線とGNDの距離を小さくするようなプリント回路板構造をとることで電磁放射を抑制できる。電源ループにおいては、LSIの近傍にパスコンを配置することで電磁放射を抑制できる。また、LSIのパッファスイッチング切り替え時に発生する電源とGNDの揺れについては、パッケージのインダクタンスを小さくしたり、適正な値のパスコンをLSI近傍に配置することで貫通電流を小さくするなどして電磁放射を抑制できる。しかし、電磁放射はプリント回路板のみならず、プリント回路板に接続されるケーブルそして筐体からも出てくる。電磁放射はこれらの実装階層にまたがるノイズが輻射して空間場に放射される複雑多岐なメカニズムのため、製品開発現場でのEMI規制クリアは対症療法的なアプローチが主流である。そこで、実設計で電磁放射の解析を可能とするEMIシミュレータへの期待が膨らんできた。

近年EMIシミュレータの改良が進み、計算機の高高速化とメモリの大容量化とあいまって実製品設計への適用が緒についてきた状況である。表1に伝送線路系と電磁界系に分類した代表的なEMIシミュレータを示す。電磁界系にはモーメント法、有限要素法、FDTD(Finite Difference Time Domain Method)がある。各シミュレータの特徴を見るポイントは、LSIなどのノイズ発生源やプリント回路板の信号線やGNDなど伝播経路のモデル化がどこまで可能なのか、そのモデル入力の大変さや計算時間の妥当性、そして電磁放射をどのような式で求めているのかを知ることである。シミュレータのこのような特徴をしっかり理解し、実製品設計に適用することが重要である。複雑な構造をそのままモデル化して解析を困難にするのではなく、シミュレータの実力に合わせてモデルを作成し、その解析結果を実製品設計に反映する方法が効果を上げている。図9にノート型PC(Personal Computer)におけるプリント回路板の搭載位置と電磁放射関係について、有限要素法EMIシミュレータを用いて製品設計に適用した事例を示す。LCD(Liquid Crystal Display)を源とする電磁放射は、LCDのプリント回路板だけから放射するのではなくPC全体を

表1. 代表的なEMIシミュレータの比較

解析手法		モデル化			H/W		備 考
		全体	LSI	GND	計算時間	CAD I/F	
伝送線路系		○ (簡単)	○ (可)	× (不可)	○ (短い)	○ (充実)	電磁界が伝送線路に対して直行するTEMモード伝播解析のため電磁現象を完全に解いていない
電磁界系	モーメント法	△ (中)	× (不可)	○ (可)	△ (中)	○ (充実)	計算対象を細かなダイポールアンテナ集合体として、簡単モデル化して解析
	有限要素法	× (大変)	× (不可)	○ (可)	× (長い)	× (なし)	マックスウエルの電磁界方程式を直接解析、計算機メモリ必要容量大
	FDTD	× (大変)	△*	○ (可)	× (長い)	× (なし)	マックスウエルの電磁界方程式を変形し、電界と磁界の空間分布を時間的に交互に逐次計算

*：研究レベルでLSIのモデル化可能

図9. ノート型パソコン全体からの電磁放射

アンテナとして外部放射している。プリント回路板をLCDの下側に設置した方が、上側に設置するより電磁界の揺れが抑制され、放射量が減少する解が得られ製品に適用した⁵⁾。

今後は、製品設計現場でも簡単に利用できるようにするため、複雑な構造を簡素化するモデル化技術や、得られた結果を分析して設計へ効率的にフィードバックする設計環境が望まれる。

5. CAD/CAE統合化システム

従来の一律な設計基準に基づく設計手法ではノイズが抑止しきれず、デバック時間増大や再設計などの問題が発生し、効率的な設計ができなくなった。このため、プリント回路板の設計上流からシミュレータを駆使し、実装上の問題となる個所を特定・対処して製品動作を検証することが重要となっている。このような設計環境を実現する手段として、CAD/CAE統合化システムが進歩してきた。

プリント回路板の設計環境では多くのCADやCAEが導入され、CADデータを有効に活用して設計の品質向上と効率化が図られている。しかし、設計フェーズの細分化と、各設計フェーズだけでの効果を狙ったツール導入の繰り返しにより、ツール間情報の流用性が悪化した。このため、ツール間の情報伝達など、製品設計に直接関係しない作業が増えた(図10)^{6),7)}。

◆統合化システムとは？

- ・製品設計トータルで効果的なコンピュータ支援環境を提供
- ・ある電子機器に特化した設計手法の提案に柔軟に対応

図10. 統合化システムの狙い

一方、市販のノイズシミュレータを設計フローの切り口から分類すると、以下の2つに大別される。

- i) CADデータを入力モデルとして利用して実装上の問題個所の特定・対処を行うもの
- ii) CADデータを参照し、モデルを手入力して設計仕様を提示するもの

前者には、伝送線路シミュレータや伝送線路系・電磁界系モーメント法のEMIシミュレータがあり、プリント回路板CADから層構成や配線情報を抽出するなど、解析設定を容易化する機能がある。後者には、SPICE系回路シミュレータや電磁界系有限要素法・FDTDのEMIシミュレータがあり、解析時間が長く解析の設定は手作業となる。

そこで、コンピュータ支援環境の問題にも対処した耐ノイズ設計環境を実現するため、我々は統合化技術を用いてツールを有機的に結合するCAD/CAE統合化システムの開発を行っている。その一例として、プリント回路板の回路

図11. 回路図入力CADと波形解析CAEの統合環境

図入力CADと波形解析CAEの統合システムを紹介する(図11)。回路設計段階でクロックなどのクリティカルパスの仮配置配線を行い、波形解析を実施して信号の反射ノイズを検証することで、クリティカルパスの配線長や分岐方法を簡単に決定することが可能である。

今後は、既述した各シミュレーション技術の課題に対応したCAD/CAE統合化システム開発をしていく。

6. まとめ

本稿では、伝送波形、電源ノイズ、電磁放射ノイズのシミュレーション技術について、現状と課題を説明した。また、これらの技術を統合するCAD/CAE環境について紹介した。今後もデジタル機器の高速化に伴い、これらの技術、特に電磁放射ノイズの解析技術の進展と、実設計へ適用するためのCAD/CAE統合化システムの重要性が増すであろう。

(1999.2.1-受理 1999.3.5-再受理)

文 献

- 1) 山岸圭太郎：“GHzデジタル基板における波形シミュレーションモデル化技術”，第13回エレクトロニクス実装学術講演大会講演論文集，pp.157-158，1999
- 2) 斉藤成一，山岸圭太郎，佐伯 稔，牧野博之，加藤哲郎：“高速ASIC設計技術”，三菱電機技報，Vol.70，No.2，pp.160-165，1996
- 3) 吹野正弘，阪尾正義：“MCM-DとPCBの性能”，SHM会誌，

Vol.10，No.6，pp.8-13，1994

- 4) 佐々木雄一：“デジタル回路基板の給電系ノイズシミュレーション”，第13回エレクトロニクス実装学術講演大会講演論文集，pp.169-170，1999
- 5) 御福英史，田邊信二：“ノート型パソコンシステムの低EMI化技術”，三菱電機技報，Vol.71，No.12，pp.1021-1024，1997
- 6) 浅川忠隆：“実装設計CAEの現状と課題”，Proceeding of the 11th JIPC Annual Meeting，Tokyo，pp.109，1997
- 7) 佐々木雄一，村木健志，浅川忠隆：“ビルドアッププリント回路板電気シミュレーション解析”，電子材料，10月号，pp.11-18，1997

用語解説

IBIS：I/O Buffer Information Sheet

EIAJ規格。I/Oバッファの特性データの提供フォーマットを規定している。内容は、図4の伝送線路シミュレータにおける V_{out} - I_{out} ， T_r/T_f ， V_{in} - I_{in} など。

吹野 正弘 (ふきの まさひろ)

昭和28年生まれ。昭和53年，北海道大学大学院精密工学科修士課程修了。現在，三菱電機株式会社情報技術総合研究所において，高速・高密度回路の実装設計CAE/CAD統合化システムの開発に従事。

山岸 圭太郎 (やまぎし けいたろう)

昭和40年生まれ。平成3年，早稲田大学大学院理工学研究科原子核物理学専攻修士課程修了。現在，三菱電機株式会社情報技術総合研究所において，プリント配線板における電磁ノイズ解析技術の開発に従事。

浅川 忠隆 (あさかわ ただたか)

昭和42年生まれ。平成3年，明治大学大学院工学研究科電気工学専攻修士課程修了。現在，三菱電機株式会社情報技術総合研究所において，電子機器実装設計技術開発に従事。