一括硬化多層配線板

藤崎 昭哉*, 林 桂*, 堀 正明**

Total Pile Curing Substrate

Teruya FUJISAKI*, Katsura HAYASHI* and Masaaki HORI**

*京セラ株式会社総合研究所半導体部品開発部 (〒899-4312 鹿児島県国分市山下町1)

**京セラ株式会社半導体部品事業本部半導体部品開発部 (〒899-4312 鹿児島県国分市山下町1)

*R&D Center Kagoshima, Kyocera Corporation (1 Yamashita-cho, Kokubu-shi, Kagoshima 899-4312)

**SC R&D, Kyocera Corporation (1 Yamashita-cho, Kokubu-shi, Kagoshima 899-4312)

1. はじめに

近年、基板およびパッケージのデータ転送レートを高くし、各チップ間で大量のデータ伝送を可能にする必要性が説かれている¹⁾。特にMPUと周辺チップ（メモリやグラフィックチップ）との間のデータ転送レートは、現在すでに不十分な状況となっている。データ転送レートを高くするためには、配線をストリップ線路などの伝送線路として設計すればよいが、現在の基板ではビアやパッドの配置に関する制約が多すぎるため理想的な配線設計は不可能である。ビア配置の制約とはビア上を避けたパッド配置やビア配置が必要なことであるが、このことは、不要な引き出し線を増大させ、インダクタンスの増大を招くだけでなく、基板設計を大変複雑なものにしている。

樹脂基板に比較し、セラミック基板は配線の設計自由度が高く、しかも製造工程上多層化が容易であるため、理想的な配線設計を行うことができる。この結果、配線幅の点で不利であるにもかかわらず、セラミック基板では、樹脂基板以上に配線密度を高くすることが可能である。従来の樹脂多層配線板は、配線幅でセラミック多層配線板に勝っていても、配線密度の点ではセラミック多層配線板に劣ることが多い。

セラミック多層配線板の特徴（配線の設計自由度が高く、しかも製造工程上多層化が容易）を有する樹脂多層配線板を開発することができれば、インダクタンスの増加は最小限に抑えられ、データ転送レートを高くできるだけでなく、配線密度を高くすることが可能となる。つまり、高い設計自由度を持ち、多層化が容易な製造プロセスを開発することが、樹脂多層配線板の新たな発展の方向と思われる。

2. 開発方針

以上の状況を考慮し、次の方針に基づいて一括硬化多層配線板（Total Pile Curing Substrate）とそのプロセス（Total Pile Curing Process）を開発した。

まず、第1に設計自由度が高いことが必要である。この点はセラミック多層配線板と同様な構造（Stacked Via）を持つことを特に重視した。

第2に積層が容易な製造プロセスである。この点はセラミック多層配線板と同様に多層配線板の一括硬化を行うことを重視した。

われわれの開発したプロセスは銅箔をエッチングして形成した回路を未硬化の樹脂シートに転写し、これらの未硬化樹脂シートを必要数位置合わせし、一括で硬化することの特徴としており、このプロセスで作製した一括硬化多層配線板は上記2つの要求を満足している。

以下、一括硬化多層配線板とそのプロセスについて説明する。

3. 一括硬化プロセス

3.1 Total Pile Curing Process

開発した製造工程をFig.1に示す。上段は、回路パターン形成工程である。樹脂フィルムに銅箔を貼り合わせたシートを準備し、ドライフィルムレジスト（DFR）を用いて露光現像を行った後、エッチングを行って回路を作製する。中段は絶縁層形成工程である。絶縁用樹脂はCPCあるいは市販のプリプレグ等を準備し、炭酸ガスレーザで貫通孔を形成した後、導電性ペーストを充てんする。この上に

Fig.1 Process flow chart of Total Pile Curing Substrate

Fig.2 Cross-section images (250 μ m pitch)

先に作製したフィルム上の回路を圧着し、フィルムをはく離して1層分の回路と絶縁層とする。これらを必要数作製し、位置合わせして積層し、熱プレスにより一括硬化して多層配線板とする（下段）。

Fig. 2 に、上記プロセスで作製した一括硬化多層配線板の断面写真を示す。

3.2 絶縁材料

一括硬化プロセスに用いる絶縁材料として、A-PPE樹脂とフィラーとの複合材料（CPC：Ceramic Plastic Composite）を開発した。また、通常のア-PPE系プリプレグも使用可能である。これらの材料の基本的特性をTable 1 に示す。A-PPE樹脂は誘電率や誘電損失が低いため高周波特性に優れること、吸水率が低く耐熱性が高いため、信頼性に優れることなどが知られている²⁾。

また、A-PPE樹脂は未硬化状態で柔軟性があり、樹脂層が発生しにくいいため、未硬化状態でのシートの取り扱い性に優れている。一括硬化プロセスでは、多くの工程で未硬化状態の樹脂シートを取り扱うため、未硬化シートの取り扱い性は軽視できない項目である。このようにA-PPE樹脂は一括硬化プロセスに適したさまざまな特性を有している。

3.3 導体材料

多層配線板の一括硬化を可能にするため、表層回路用と内層回路用の2種の回路転写用フィルムを開発した。表層回路用は銅箔のシャイニー面を転写フィルムに貼り合わせた構成である。一方、内層回路用は銅箔を両面粗化する必要があるため、マット面を転写フィルムに張り合わせた構成である。この銅箔のシャイニー面をエッチングにより粗化することで、両面粗化銅箔とし内層回路として用いる。このことにより、両面とも絶縁層にアンカー効果による強

Table 1. Materials property

		Method	Unit	CPC	Prepreg
Surface Resistance		JIS C 2141	$\Omega/\square$	$\geq 10^{14}$	$\geq 10^{14}$
Insulation Resistance		JIS C 6481	Ω	5×10^{13}	5×10^{13}
Dielectric Constant	1MHz	Bridge	—	3.4	3.5
	3.3GHz	Cav. Resonater	—	3.3	3.6
Dissipation Factor	1MHz	Bridge	—	16×10^{-4}	39×10^{-4}
	3.3GHz	Cav. Resonater	—	23×10^{-4}	74×10^{-4}
Tg		DMA	$^{\circ}\text{C}$	216	216
Water Absorption		23 $^{\circ}\text{C}$ 24H	%	0.21	0.39
Solder Float		260 $^{\circ}\text{C}$ 20s	—	PASS	PASS

CPC

Prepreg

Fig.3 Cross-section images of via hole

固な密着性が得られる。

フォトおよびエッチング等のパターン形成プロセスに耐え、転写時にはがれのない導体材料を提供することが必要である。

3.4 ビア加工

上記2種の絶縁材料に対して炭酸ガスレーザで直径100 μ mのビア加工を行った。Fig. 3 に、レーザ加工後のビア形状を示す。CPCでは円形に近い加工形状を示し、付着物は認められなかった。また、CPCはプリプレグに対して加工速度を約2倍に上げることができる等、優れた被加工性を有していた。一方、プリプレグではビア周辺に樹脂の付着が認められたが、レーザ加工による変質等は生じていなかった。一括硬化プロセスでは未硬化の樹脂に対してレーザで貫通ビアを加工することが特徴であるが、CPC、プリプレグとも、実用上問題ない被加工性を有している。加工後のビアに印刷法により導電性ペーストを充てんし、転写積層工程に移る。

3.5 回路形成

先に述べた転写用フィルムに、DFRを貼り合わせて露光現像を行い、エッチングを行って回路を形成する。内層用の回路はこの後、表面の粗化処理を行って転写を行う。使用した銅箔は表層用厚さ18 μ m、内層用は厚さ12 μ mの電解銅箔である。

Table 2 に一括硬化多層配線板のデザインルールを示す。一括硬化多層配線板では、めっきを一切用いていないが、ライン/スペース=50/50 μ mの加工を安定して行うことができる。転写法による配線の加工は、一般のサブトラクティブ法にないメリットを有しているためである（Fig. 4 参照）。

まず、転写用フィルムがバックアップフィルムとなるため、薄い銅箔でも取り扱いが容易となる。厚さ9 μ mの銅箔まで確認済みである。将来、さらに薄い銅箔が生産され

Table 2. Design rule of Total Film Curing Substrate

Item	CP200	CP100
Via/Land	200/400 μ m	100/200 μ m
Via Pitch	450 μ m	250 μ m
Line/Space	50/50 μ m	50/50 μ m

Fig.4. Comparison between Total Pile Curing Process and existing substrate process

Fig.5 Photographs of conductor pattern (Line/Space=15/15 μ m)

た場合でも対応できる余力がある。すなわち配線の微細化に対して有利であることがわかる。

また、銅箔のエッチングを一般のサブトラクティブ法と逆の面から行うため、いわゆる足残りが問題とならない。しかも、転写後の回路は逆台形となり配線幅の管理が容易である。

その他、工程上のさまざまなメリットがある。

3.6 転写、積層、硬化

レーザ加工した絶縁シートに導電性ペーストを充てんし、転写用フィルムを配置して熱圧着し、その後、フィルムをはく離することで絶縁シート上に回路を形成する。回路形成後のシートを必要数積層し、所定の温度でプレスを行って樹脂を一括硬化することにより基板を作製する。

Fig.5は厚さ9 μ mの表層銅箔を用いてライン/スペース=15 μ m、15 μ mのラインを形成した例である。回路は精度良く形成され、樹脂中に埋設しており、このような微細なラインの場合でも、通常の取り扱いでラインが変形したり、はく離したりすることはない。

4. 信頼性評価

今回作製した一括硬化多層配線板の外観写真をFig.6に、信頼性（前処理：JEDEC LEVEL 3）評価結果をTable 3に示す。導通系（1344穴Daisy-Chain）、絶縁系（250 μ mピッチビア壁間、層間、ライン間）とも、一般に要求される信頼性評価項目のすべてを満足し、高い層間接続信頼性および絶縁信頼性を有していることがわかる。

転写法による回路形成では、導体パターンが樹脂中に埋

Fig.6 Reliability test samples

Table 3. Reliability test

Item	Condition	Time/ Cycle	Purpose	
			Conductor	Insulation
1. HIS	150 $^{\circ}$ C	1000h	PASS	—
2. LTS	-65 $^{\circ}$ C	1000h	PASS	—
3. TCT	-55 $^{\circ}$ C + 125 $^{\circ}$ C	1000c	PASS	—
4. Solder Reflow	max 230 $^{\circ}$ C 10sec	3 time	PASS	—
5. Solder Dipping	260 $^{\circ}$ C 20sec	10time	PASS	—
6. Hot Oil	20 $^{\circ}$ C $\leftrightarrow$ 260 $^{\circ}$ C	100c	PASS	—
7. HHT	85 $^{\circ}$ C / 85%	1000h	PASS	—
8. HHBT	85 $^{\circ}$ C / 85% 30V	1000h	—	PASS
9. HAST	130 $^{\circ}$ C / 85% 5.5V	300h	PASS	PASS
10. PCT	121 $^{\circ}$ C / 100% 2.1atm	300h	PASS	PASS

<Criteria>

- ・ Conductor Resistance : $\Delta R < \pm 10\%$, Visual
- ・ Insulation Resistance : $IR > 10^8 \Omega$, Visual

設されるため、導電性ペーストの充てん率が著しく向上し、ビアとパターン間の接続が強固に形成される。

一方、ビア加工は未硬化の樹脂に対して行われるため、その後の積層加工工程により樹脂が流動し、加工時の際生じたボイドや空隙を修復する。また、従来のプリント配線板で問題となっていたCAF(Conductive Anodic Filament)の原因と考えられているめっき液など、イオン源の侵入が起こりえない。これらの効果により、層間接続信頼性および絶縁信頼性が確保されたと考える。

なお、実際のパッケージやMCMでは、層構成、配線ルールがさまざまに変更されるため、それぞれに応じた信頼

性評価が必要である。

5. まとめ

銅箔回路を未硬化の樹脂シートに転写し、それらを積層後、一括硬化することにより、回路の設計自由度が高い多層配線板 (Total Pile Curing Substrate) およびその製造方法 (Total Pile Curing Process) を開発した。

- 1) 開発した基板のデザインルールはライン/スペース=50/50 μm , ビア/ランド=100/200 μm , ビアピッチ250 μm である。
- 2) 一括硬化多層配線板は優れた信頼性を有していることを確認した。
- 3) ドライブプロセスを採用することにより、地球環境に優しい。

今後、一括硬化多層配線板をICパッケージやMCM基板に適用していく。

(2000.8.4-受理 2000.9.19-再受理)

文 献

- 1) 大塚寛治：“昨年（1997）1年間のパッケージ・実装年間のパッケージ・実装技術から見た世界各国の動きと方向”，電子材料，p.120，1月，1998
- 2) 片寄照雄：“低誘電率熱硬化型PPE樹脂”，回路実装学会誌，Vol.10，No.3，p.183，1995

用語解説

A-PPE：アリル化ポリフェニレンエーテル

誘電特性に優れ，吸水率の低い熱可塑性PPEを熱硬化型に改質したもの。

藤崎 昭哉 (ふじさき てるや)

昭和39年生まれ。昭和63年，大阪大学基礎工学部合成化学科卒業。現在，京セラ株式会社総合研究所半導体部品開発部において，パッケージおよび基板の材料/プロセスの開発に従事。

林 桂 (はやし かつら)

昭和30年生まれ。昭和56年，広島大学大学院工学研究科設計工学専攻修了。現在，京セラ株式会社総合研究所半導体部品開発部において，多層配線板用材料およびプロセスの研究開発に従事。

堀 正明 (ほり まさあき)

昭和39年生まれ。昭和62年，大阪工業大学電子工業部電子工業科卒業。現在，京セラ株式会社半導体部品事業本部半導体部品開発部において，多層配線板用材料およびプロセスの研究開発に従事。