デバイスの高速化に対応した設計技術

MCM等のシステムインパッケージ用基板を設計するツール、および電気特性の抽出
あるいは解析とのつなぎに関する仕掛けの開発状況

益子 行雄*

Design Technology Corresponding High Speed Device – The Development Status of Analysis Tools Integration
with Layout CAD Tools for Designing System in Package and the Extraction Method of the Electric Characteristic
Yukio MASUKO*

*日本ケイデンス・デザイン・システムズ社PCBシステムズ事業本部 (〒200-0033 神奈川県横浜市港北区新横浜3-17-6)

*PCB Systems Division, Cadence Design Systems, Japan (3-17-6 Shin-Yokohama, Kohoku-ku, Yokohama-shi, Kanagawa 222-0033)

1. はじめに

近年のICパッケージは製造技術が微細化し、またLSIチップの実装手法にも従来の2次元の基板の上に配置し配線する方法から、3次元的な実装方法が求められ、一昔前の実装方法とかなり様相が変化してきている。またICのDSM(Deep Sub Micron)技術の革新によって、ICの出力の立ち上がり速度が1nsを切り始め、そのため反射ノイズが顕著になり、ICとICを接続する配線技術に対してもただ接続するだけではなく、電気的振る舞いに対する設計技術が必要になってきている。設計CADに求められる技術は、物理的な形状を実現するための実装技術の実現と、電気的な信号特性を検証し、理想的な信号特性を作り出すためのアドバイスの解析技術が求められている。特に最新のシステムインパッケージ(SIP)の設計現場においては、単にICを接続するだけの設計では、うまくSIPが動作しないという現象が頻発しており、動作しない原因自体がうまくつかめないという問題にも発展している。

本論文ではまずSIPの電気設計において注意すべき項目について確認し、それぞれの解析手法を述べる。そしてそれぞれの解析が設計プロセスのどのステージで使われるのか、設計データと解析のインタフェースとして何が必要とされるのか、電気的特性を実現するための設計技術という観点から解説し、CADツールと解析技術の融合技術について解説する。

2. SIPにおけるフロー

SIP設計における現在可能な設計解析フローの例をFig. 1に示す。各設計プロセスで独立した形で設計されるのではなく、ボードの設計と同様、各設計段階でそれぞれ必要な解析を行いながら設計してゆく。複数のチップがインターポザの上に乗るので、ネットリストの作成が必要になる。ネットリスト作成のところでは、論理シミュレーションか、タイミング解析に接続される。ここで解析およびレイアウトの制約が作成される。実際のレイアウト設計工程に入ると、SIPを確実に動かすために必要な電気設計の解析技術

Fig.1 SIP design & simulation flow

Layout tool vendors provide I/Fs for 3rd party analysis tools via technology partnership agreement

として、タイミング解析とは別に以下のような解析項目があげられる。

- ・シグナルインテグリティ
- ・クロストーク
- ・EMI
- ・電源設計 (SSN)

これらの技術に関しては、それぞれ詳細な解析のツールもあり、詳細な解析技術も存在するが、設計の現場の中で利用できるものでなければならない。つまり、設計したものがちゃんと動くかどうか判断でき、設計の中で簡単にアクセスでき、結果を確認できるものが必要となる。設計プロセスの中で簡単に利用できる形でないと、現実的な形での利用ができない。

従来は、ほとんどこうした解析を行わずにレイアウトを行っていた。行ったとしても、さまざまなフォーマットのデータから、なんとかして解析ツールに接続するためのデータに変換し、Spiceシミュレータや、電磁解析ツールに接続していた。1 シグナルをシミュレーションするために、セットアップを含めると数時間を要した。とても設計の現場で行えるフローではなく、要素技術設計として利用されるもので、ここで決められた配線設計ルールによって、ルールベースでの設計がされていた。このルールベースの設計方法も限界であり、SIP設計には解析と連動した設計フローが求められている。

最近では外部の3rdパーティ解析ツールベンダと技術提携して、インタフェースを提供している場合も多い。ひとつのCADベンダだけですべての解析ツールに対しソリューションを提供できないからである。レイアウトCADに統合された解析ツールならば、データベースのインタフェースの問題、解析モデルの問題など、解析に入る前に生じるわずらわしい問題から解消される。いずれにせよ、各解析ツールがスタンドアロンで存在していても利用することができず、CADベンダ側が提供する統合設計環境が重要な要素である。

3. 論理タイミング設計

SIPの設計では、各IC同士を接続した小さなシステムを実現するわけであるから、それらICが論理的に動作可能なタイミングで設計されていなければならない。言い換えれば、システム論理設計時の論理タイミングを外さないようにSIPのレイアウトを設計しなければならない。これはごく当たり前のことではあるが、論理設計と実装設計が完全に分離されている現状では、そのタイミング制約を実現した形で設計するのはけっこう難しい。論理タイミングを実現する上での制約は、今まで配線長くらいのものであったが、高速信号を扱う上でタイミングの問題を引き起こす要因としては他に、反射、クロストーク、オーバーロード、グラウンドバウンズ、クロックスキューなどの影響が考え

Fig. 2 System-level timing analysis

Timing constraints are set with logical analysis

られる。これらはすべてシグナルインテグリティの問題であり、要はシグナルインテグリティの問題を解決すること自体がタイミングの問題を解決することにつながる。

Fig. 2に、論理タイミングとシグナルの関係を図に表す。クロックがトリガする時点で、データはセットアップタイム、ホールドタイムを満足するようなタイミングになるように設計する。まずはデバイスのプロパゲーションディレイ、配線長、デバイスの立ち上がりスピードなどにより、論理的にミスがないかどうか確認する。スタティックタイミングアナライザ (STA) とSIPレイアウトツールとの連携が可能ならば、論理的に必要なとされる配線に対するタイミングマージンの設定が可能になる。

通常STAとのタイミング情報のやりとりはSDF (Standard Delay Format)にて行われる場合が多い。STAが出力するSDFファイルを、レイアウトのフロアプランナが読み込み、タイミングの制約として自動的に設定する。ベアチップ間の配置距離が配線長制約に対し、適切な距離になっているか、立ち上がりのディレイを含めたディレイが、問題なくデバイスのセットアップタイム、ホールドタイムを満足しているのか、など論理的なタイミングの問題をまずクリアする必要がある。こうしたロジカルなタイミング制約がすべての基本的制約として以降の解析に使われてゆく。つまり論理タイミング設計そのものは、以降の伝送路設計に使用される制約になる。

ただし、スタティックタイミングアナライザSTAの解析結果が、そのまま実際の設計に利用可能とならないケースが多い。STAの結果は基本的に複数クロックサイクルの結果を重ねるような形で出力されるので、利用できる形にSTAの出力を編集あるいは結果の形を予想してSTAの運用をしなければならない。ツールとしてこのあたりを自動化する形にはまだ至っていない。

4. シグナルインテグリティ解析

シミュレーションの種類には、代表的なものとして

Spiceシミュレーション、IBISモデルを使用した伝送線路シミュレーションがあるが、レイアウトツールに統合された解析ツールには、基本的にIBISモデルをI/Oモデルとして解析する伝送線路シミュレータが使われている。IBISモデルを利用した伝送路シミュレータが精度的にも問題ない信号速度ならば、できるだけ設計の現場では伝送路シミュレータを利用すべきである。32bit、64bitのバスシグナルや、クロックシグナルの解析など、さまざまなケースで伝送路シミュレータの使い勝手の良さは効力を発揮する。シグナルインテグリティ解析として解析される内容は、

- ・オーバーシュート、アンダーシュート
- ・配線長の検証
- ・配線トポロジの検証
- ・ローディングとドライバのマッチング
- ・インピーダンスマッチング
- ・クロストーク

などである。

Fig. 3 に伝送路シミュレータの解析結果のイメージを示す。伝送路シミュレータは、Fig. 3 のように論理設計から求められたシステムタイミングを、解析時ルールとして設定できる。クロックとデータのタイミング、セットアップタイム、ホールドタイムなどをツールが確認し、レポートする。信号のスピードが速くなり、実際の波形と伝送路シミュレータの結果が合わなくなり、精度的にIBISモデルでなく、SPICEモデルを使ったシミュレーションが必要になった場合、伝送路の配線モデルをSPICEのサブサーキットにて出力し、SPICEシミュレータに接続する必要がある。伝送路シミュレータによってSPICE出力がサポートされているものは、簡単にネットをSPICEに接続できるが、SPICEシミュレータではタイミングルールのチェックなどシミュレーション結果に対する論理タイミングのチェック機能はない。SPICEシミュレーションを使ったときは、信号ビヘイビアだけでなく、タイミングに対する検証を行う必要がある。

それではIBISモデルを使用した伝送路シミュレータは、どれくらいの信号速度まで対応できるのであろうか。200MHzくらいでSPICEにしてしまう人もいれば、1 GHz

Fig.3 Verify constraints which are generated at logic design phase

付近までIBISでシミュレーションしている人もいる。実際にIBISモデルは高速になればなるほど、精度の検証をしっかり行う必要がある。ある1ラインの配線に対し、実測やSPICEシミュレーションの出力結果とIBISモデルを使った解析の結果とを比較し、IBISモデルの精度を確認しながら適用の可能性を判断する。IBISモデルとSPICEモデルのこうした比較などは、筆者は400MHz付近からある程度必要になってくると考えている。一概には言えないのだが、400MHz付近からIBISモデルの作成時の外部テスト回路が、実際にデバイスを使用する上での動作環境に非常に近い形が求められる。外部の測定回路を現実近づけて、SPICEシミュレーションと比較して作られたIBISモデルを設計者に提供し、実設計をIBISシミュレーションで行う形が理想的である。

信号の速度が1 GHzを超えるようになると、SPICEシミュレーションでもその信号の動きを精度よく捉えられなくなり、精度的に怪しくなる。信号のスピードとして、設計者が解析を行いながら信号の配線をしてゆくのは少し無理がある。

5. 配線のモデル

通常、伝送路シミュレータには配線パターンに対するモデリングの機能があるが、通常は単純形状として電源プレーン、層間の材質（誘電容量）、パターンの断面形状などから近似式によりインピーダンスを求めている。この場合は一定形状のパターンが長く、ビアなどの占める割合が配線長に比べてかなり小さい場合は問題なく利用できる。プリント配線板は基本的にこの手法で配線パターンをモデル化している。この場合はビアなどのモデルに対しては、基本的にモデル化することができない。前述したように、通常はビアなどのトータル長が短い場合はあまり解析結果に関係しないので、無視するか、または簡易的なモデルで対応している。

SIPの場合、チップを実装する場合にさまざまな接続方法がとられる可能性がある。wire-bondingがあるかもしれないし、TABが使われる場合もある。またそうした長さが配線長に占める割合も無視できない。すべてFlip Chipを使っているのなら、異形状があまりないので問題は少ない。wire-bonding、TAB、viaなどのモデル化が必要な場合には、電磁界解析によるモデル化が必要になる。電磁界解析によるモデル化には、対象となる要素の3次元の形状モデルが必要で、その形状をCADで入力する必要がある。または、インタフェースがとれていれば、ある程度簡単にレイアウトCADから自動的に3次元解析CADにデータを渡すことができる。3次元解析CADでモデルの抽出を行い、抽出されたモデルを再度伝送路解析ツールまたはSPICEシミュレータに渡して、伝送路のシミュレーションを行う。3次元解析CADでのモデル抽出は非常に時間が

かかるため、全クリティカル信号に対してシミュレーションを設計の中で行ってゆく形はとれない。

6. 電源プレーンの設計

LSIの同時スイッチングにおける消費電流がもたらす電源プレーンへの影響は、信号の安定性に対し非常に大きな問題を投げかけている。LSIの同時スイッチングが引き起こす電流は電源プレーンの電位の揺れを引き起こし、EMIの大きな発生源となる。また電源電位の揺れは信号レベルの揺れに直接作用する。LSIの成長と、それがもたらす電力供給の要求をTable 1に示す。Table 1には電源プレーンの電位を安定に保つための、プレーンのターゲットインピーダンスも提示されている。

電源プレーンのターゲットインピーダンスを満足するようにプレーンの設計をするには、通常デカップリングコンデンサをLSIの周辺に配置することで対応する。電源プレーンのターゲットインピーダンスを、プレーン自体が持つ寄生値(R, L, G, C)を基に、電源プレーンの電位の揺

れを解析しデカップリングコンデンサの容量、数、配置位置を解析し設計者にアドバイスするツールが必要である。まず電源プレーンをモデル化するが、均一な理想プレーンとするか、viaやスリットなどのプレーンの一様でない状態までモデル化するかで解析の考え方が大きく変わる。プレーンを一様でないモデルとして解析を行おうとすると、電磁界解析の手法が必要になり、解析に非常に大きな時間がかかる。設計の現場で利用する解析技術としては、理想プレーンをメッシュに切り、インピーダンス特性を定義する。その解析には2種類あって、定義スイッチング時の電流に対し、インピーダンス計算に基づき、プレーンの電圧変化(グラウンドバウンス)で求める方法と、スイッチング電流に対し周波数ドメイン解析により、理想的な共振周波数のデカップリングコンデンサを決定してゆく方法とがある。

最近のレイアウトツールに統合された解析ツールには、同時スイッチング時の電源プレーンの様子を電圧の変化で表すことができるようになっているものが多い。中には周波数ドメイン解析によりデカップリングコンデンサの種類、配置位置をアドバイスするものも出てきた。

Fig. 4 およびFig. 5にこれら解析のスナップショットを示す。電源プレーンのインピーダンス特性は周波数依存であり、したがって周波数ドメインの解析手法による電源プレーン設計手法が、一般的に利用される技術として適用されてゆくだろう。SIPに適用されるデカップリングコンデンサは、SIPの中に部品として置くか、レイアウトの中でパターンで画いてしまう場合もある。または、SIPのパッケージに装着することも考えられる。いずれにせよSIPの小さなパッケージの中で消費される、非常に大きな同時ス

Table 1. Power Delivery Requirements

Year	Voltage (Volts)	Power (Watts)	Current (Amps)	Z _{target} (m-Ohms)	Frequency (MHz)
1990	5	5	1	250	16
1993	3.3	10	3	54	66
1996	2.5	30	12	10	200
1999	1.8	90	50	1.8	600
2002	1.2	180	150	0.4	1200

- Chip power supply voltages are decreasing
- Modern CMOS devices continue to dissipate more and more power
- The maximum acceptable power supply ripple voltage determines the Maximum supply impedance must be less than 0.002 Ohms

Fig.4 Ground bounce : voltage fluctuation at simultaneous switching noise

Fig.5 Frequency-domain power plane analysis

イチング電流の供給源として電源設計はきわめて重要な位置を占める。

7. EMI解析

EMIの解析に対するソリューションは非常に難しい。さまざまな解析ツールがある中で、きちんとしたEMIの解析ができているものはないとみていい。ツールが対応できていないというよりは、シミュレーションするまでの準備が途方もなく大変である。まずモデルが集まらない。LSIのモデルそのものが入手できない、IBISモデルでは電源電流定義されていない、SPICEモデルは揃わない、電源のモデル化、コモンモードノイズ、プレーン電流の解析、ケーブル、コネクタのモデルなど、完全な形での解析はまずできない。したがってEMIのシミュレーションに対する解としては、解析ではなくデザインルールチェックでのDRCにて対応する方法と、EMIの問題はさまざまなところからそれぞれに問題が発生するので、いくつかの特定事象を解析するシミュレーションにより、全体として対策されているとってしまう方法とがある。

解析の種類としては：

- ・シグナルインテグリティ解析
(反射、クロストーク、発振を抑える)

- ・ディファレンシャルモードEMI解析
(配線からの放射レベル測定、上と同じ)
- ・電源プレーン解析
(周波数依存の解析ならば、コモンモードノイズ対策になる)
- ・ルールベースのDRC

さまざまな解析により、総合的に見てEMIの放射レベルを下げてゆく方法が現実的な方法である。このほか、筐体、ケーブル、部品そのものなどさまざまなEMIの発生源があるが、それらに対する解析のソリューションはなかなか見つからない。

8. 最後に

Fig.1のフローが、現在可能な最も効率的であろうSIPの設計プロセスである。個々の解析技術として突き詰めた要素開発に対しては、3Dの電磁界解析手法がさまざまな部分で取り入れられるであろうが、設計の現場ではそうした解析結果をフィードバックした形で、簡単に使えるシミュレーション技術を利用したい。最近セットトップボックスなどのSIPが動作しない状況をよく耳にするが、基本的にはレイアウト設計と解析データベースがまったく別のため、レイアウト/解析のソリューションが組めないことが原因と見ている。信号の伝達周波数が1GHzまでならば、おおむね今回ここに書かれた手法で適用できると考えている。ところが最近では1GHzを超えるデジタル信号を扱い始めている。今後の課題としては、1GHz以上の信号に対する設計手法の確立をしてゆくことだろう。

(2001.3.5-受理 2001.3.21-再受理)

益子 行雄 (ますこ ゆきお)
昭和31年生まれ。昭和54年、東海大学工学部電子工学科卒業。現在、日本ケイデンス・デザイン・システムズ社PCBシステムズ事業本部において、高速基板設計ツールの販売促進および設計環境リサーチに従事。