高速差動伝送に対応したプリント配線板パターン設計の実際

田中 顕裕*

Practical Side of PCB Pattern Design Corresponding to High-Speed Differential Transmission

Akihiro TANAKA*

* アイカ工業株式会社電子カンパニー開発課 (〒509-7602 岐阜県恵那市山岡町馬場山田1465-2)

* Development Section, Electronics Company, AICA KOGYO Co., Ltd. (1465-2 Babayamada, Yamaoka-cho, Ena-shi, Gifu 509-7602)

1. はじめに

最近の高速シリアルインタフェースとして、パソコンではUSB2.0, IEEE1394, シリアル ATA, PCI-Express, 情報機器ではInfiniBand, XAUI, XFPなどの規格があり、これらはすべて差動回路である。このように、差動回路をプリント配線板に実装することが一般化しているため、これを実現するための知識が回路設計者やパターン設計者に必要になってきたといえる。本稿では、ボード間の1Gbps (Giga bit per second) 超級の高速差動回路を主な対象として、プリント配線板のパターン設計の実際を解説する。

2. 高速差動伝送の通信規格と実装形態

まず、差動伝送の代表的な通信規格として、LVDS (Low Voltage Differential Signaling) と CML (Current Mode Logic) をあげる (図1)。LVDSは3.5mAの電流駆動型インタフェースで、受信側に100Ωのブリッジ終端抵抗を配置することで、信号振幅は350mVとなる。あらかじめ100Ω抵抗を内蔵したレシーバもある。一方、CMLはNチャネルMOSFETのみで構成されたインタフェースであり、ドライバとレシーバを接続する2線は独立したシングルエンド線路となる。なお、CMLなど1Gbps超級の差動インタフェースでは終端内蔵型レシーバが主流につき、基板配線に終端

抵抗は不要な場合が多い。

次に、ボード間の高速差動伝送を媒体で分類してみる (図2)。SFF (Small Form Factor; ディップ型) 光トランシーバと光ファイバを用いた光インタフェースでは、回路的に、光モジュールの前段・後段にはSerDes (Serializer/Deserializer) が配置され、これに入るパラレル信号を高速シリアル化したり、逆の場合はパラレル化する役割を果たす。このSerDes~光モジュール間の配線に1Gbps超級の差動信号が伝播することになる。同図(b)は、ボード間の通信媒体に金属ケーブルを用いた例である。この場合もSerDesによって高速な差動シリアル信号が生成され、SerDesからコネクタ間の配線に1Gbps超級のシリアル信号が通る。いずれの場合でも、高速差動信号が伝播する基板配線の長さは100mm以下に収まることが多い。ほか、プラグインボードやラインカード、ドーターボードなどよばれる複数の基板と、大型のバックプレーンボードからなるシステムがあり、バックプレーンの差動配線長は500mmに及ぶことがある。基板同士の接合部分には高速差動伝送用のバックプレーン用コネクタが用いられ、プレスインという実装形態になる (図2(c))。

以上、高速シリアルインタフェースの伝送線路 (基板、コネクタ、ケーブル) には、差動インピーダンスとして100Ωが要求される場合が多い。

図1. 代表的な差動伝送方式

図2. ボード間の高速差動伝送の媒体による分類

3. 差動配線の伝送特性

3.1 差動インピーダンス

2本の線路を伝播する信号のモードとしては、図3(a), (b)に示すように、逆相のオッドモードと、同相のイーブンモードがある。一般に高速差動伝送ではオッドモードが使われている。オッドモード伝送における特性インピーダンスがオッドモード・インピーダンスであり、この2倍が差動インピーダンス(Z_{diff})と定義される。一方、イーブンモード伝送時の特性インピーダンス（いわゆるイーブンモード・インピーダンス）の1/2がコモンモード・インピーダンス(Z_{com})である。そして、差動配線において、TDR測定時の信号入出力ポート以外を配線の特性インピーダンスで整合した状態におけるシングルエンド・インピーダンスを Z_0 とすると、次式が成り立つ。

$$Z_0 = \sqrt{Z_{diff} \times Z_{com}} \quad [\Omega]$$

この関係は、たとえばUSB (Universal Serial Bus) における Z_{diff} 90 Ω かつ Z_{com} 30 Ω の指定などへの対応に役立つ。

実際のパターン設計においては、所望の Z_{diff} が得られるよう、半導体メーカなどが公表している計算式¹⁾を用いてパターン幅・間隙、絶縁層厚みを求めることがあるが、実測値と計算値が異なる場合が多い。したがって、基板メーカとしては使用する計算式やツールにあわせて実測と計算の差異や適合領域を検討した上で、 Z_{diff} 指定に合わせた設計仕様を決定する必要があるといえる。

また、例えば Z_{diff} が100 Ω という指定に対して、 Z_{com} は25 Ω 以上であればほぼ任意に選べるため、多くの設計仕様の選択肢がある。 Z_{diff} が一定ならば、 Z_{com} が高いほどパター

図3. 差動配線を伝播する信号のモードと透過特性

ン幅・間隙ともに狭くなり、配線による減衰量（伝送損失）としては大きくなるが、磁界の広がりはいさ²⁾。つまり、差動配線からの放射ノイズを抑制する観点では Z_{com} を上げることが有効だが、減衰量が増加するため、配線長が長くなる場合には次節の手法で配線伝播後の信号を見積もり、妥当性を確認する必要がある。

3.2 減衰量

まず、減衰量の定義として、系全体の減衰量 α は導体損 α_c 、誘電損 α_d および放射損 α_r の和で表される。

$$\alpha = \alpha_c + \alpha_d + \alpha_r$$

一方、ネットワークアナライザで測定できる S_{21} と減衰

量 α には、次式の関係がある。

$$\alpha = 20 \log_{10} |S_{21}| \quad [\text{dB}]$$

また、 S_{21} は伝送線路への入力電圧 V_1 に対する伝送線路からの出力電圧 V_2 の比につき、

$$\alpha = 20 \log_{10} |V_2/V_1| \quad [\text{dB}]$$

よって、 $V_2 = V_1 \times 10^{\alpha/20}$ [V]

したがって、伝送線路の減衰量がわかれば、出力電圧を見積もることができる。さて、差動伝送における減衰量は、 S_{dd21} をデシベル表示したものが一般的になっている。 S_{dd21} は、差動伝送路に対するオッドモード伝送の透過特性であり、図3(c)のように差動配線の4つの端をポートとして不平衡におけるSパラメータを求めた後、 S_{dd21} に換算することで得られる³⁾。高速差動回路による信号伝送は一般的にオッドモードであるため、 S_{dd21} を伝送線路の性能の尺度とするのが妥当といえる。

プリント配線による減衰量は電磁界シミュレータで解析することができるが、その基礎知識として、どの因子の影響が大きいのか、まず計算式^{4),5)}で理解することが重要である。放射損 α_r が無視できる場合、マイクロストリップ（外層配線）の減衰量の計算式を以下に示す。

$$\text{全損失} \quad \alpha = \alpha_c + \alpha_d \quad [\text{dB/m}]$$

導体損

$$\alpha_c = \frac{10R_s}{\pi \ln 10} \left(\frac{8h}{w} - \frac{w}{4h} \right) \left(1 + \frac{h}{w} + \frac{h}{\pi w} \ln \frac{2h}{t} \right) \bigg/ hZ_0 e^{\frac{Z_0}{60}} \quad [\text{dB/m}]$$

$$\text{誘電損} \quad \alpha_d = 27.3 \frac{f}{c} \sqrt{\epsilon_r} \cdot \tan \delta \quad [\text{dB/m}]$$

ここで、表皮抵抗 $R_s = \sqrt{\pi f \mu_0 \rho}$, f : 周波数 [Hz], μ_0 : 透磁率 ($= 4\pi \times 10^{-7} \text{ H/m}$), ρ : 抵抗率 ($= 1.72 \times 10^{-8} \Omega \cdot \text{m}$), h : マイクロストリップの誘電体厚み [m], w : パターン幅 [m], t : パターン厚み [m], c : 光速 ($= 3 \times 10^8 \text{ m/s}$), ϵ_r : 比誘電率, $\tan \delta$: 誘電正接である。

以上より、導体損は周波数の平方根に比例するのに対して、誘電損は周波数に比例することになる。およそ3GHzを超えたあたりから、誘電損が支配的になってくる。また、誘電損は誘電正接に比例するため、減衰量を抑えるためには低誘電正接材が有効である。図4に、計算式による減衰量と実測との比較を示す。計算式で減衰量の目安がつけられることがわかる。なお、本計算には1GHzにおける比誘電率と誘電正接を用いた。

実際のプリント配線板のパターン設計に際しては、レシーバに妥当な信号が伝わるか、見積もりたいところである。系全体が伝送線路と見なせることが条件下では、(i) ドライバレシーバ間の各構成要素の電気モデル (SパラメータかSPICEモデル) を入手、(ii) 回路シミュレータでこれら電気モデルをネット化、(iii) ドライバ出力信号をフーリエ変換し、周波数ドメインで各構成要素の減衰量を反映させ

図4. マイクロストリップの減衰量の計算値と実測値の比較

た後、逆変換を行って応答波形を算出する手法によって、レシーバにおける波形を見積もることができる。図5は、バックプレーンボードの S_{dd21} 実測結果をもとにした3.125 Gbps シミュレーション波形と、実測を比較したものであり、傾向はよく一致している。したがって、前述の手法でレシーバ波形のめどをつけられることがわかる。なお、一般FR-4材など基板材料の誘電特性は組成によって異なり、かつ周波数や温度の依存性もあるため、電磁界シミュレータを用いた電気モデルの導出においては使用する材料特性に注意が必要である。

4. 差動配線パターン設計の実際

4.1 差動2線の等長調節

差動2線は等長が理想だが、実際には半導体やコネクタのピン配置および基板配線の配置制約などによって、1mm程度の差が生じることが多い。図6(a)は、長さ差が1.7mmの差動配線と、短い方の配線に冗長処理を施して2線の差をゼロにした場合の S_{dd21} の実測結果である。長さ差をゼロにしたほうが S_{dd21} は改善されるが、効果は顕著とはいえない。一般に、3 Gbps レベルのシリアル伝送では、差動2線の長さ差として1mm程度は許容範囲内であることが多い。

4.2 スルーホールによる差動2線の入れ替え

高速差動回路において、ドライバとレシーバの極性が異なり、回路的にこれが避けられない場合は、差動2線のそれぞれにスルーホールを配置して、この入れ替えを行うことがある。図6(b)は、これを実施した場合の S_{dd21} 実測結果であるが、実施しない場合と比較して S_{dd21} が劣化することがわかる。実際の3.125 Gbps 半導体を用いた実機評価において、図7のように差動2線の入れ替えをスルーホールで行い、アイパターンを測定した結果、入れ替えを行わない場合と波形品質は同程度であった。このように、適当な設計さえすれば実用上問題のないスルーホールによる差動2線の入れ替えを行うことができる。

4.3 ACカップリング用コンデンサ

ドライバ出力信号のコモン電圧とレシーバのそれが異な

(a)アイパターン実測状況

バックプレーンの材質は一般FR-4または低損失材、内層配線長は254または1118mm

(b)一般FR-4材, 254mm

(c)一般FR-4材, 1118mm

(d)低損失材, 1118mm

図5. 3.125 Gbps シミュレーション波形と実測の比較 (波形シミュレーションは S_{dd21} 実測値をもとに実施)

配線長差1.7mm(基準)
(外側の配線が100mm長)

差動配線中央で調節

コネクタ近傍で調節

(a)差動2線の等長調節

100mm長マイクロストリップ(基準)

配線中央で+/-入れ替え

配線端付近で+/-入れ替え

(b)差動2線の極性入れ替え

図6. イレギュラーな差動配線の S_{dd21} 実測値

る場合は、差動2線それぞれに対し直列にコンデンサを挿入し、コンデンサ経由後の共通電圧を0Vとした後に、対グラウンドや電源に対して抵抗を配置してレシーバ所望の電圧を生成することがある。この手法はACカップリングとよばれる。図8は、ACカップリングあり、なしに対す

S_{dd21} の比較結果である。ACカップリングによって S_{dd21} は劣化することがわかる。高速差動回路を構成するうえで、ACカップリングを使わざるを得ないことがあり、差動配線に対するこうした特性劣化を定量的に把握しておくことが大切である。

図7. 差動2線の極性入れ替えと3.125 Gbps アイパターン

図8. ACカップリング処理と S_{dd21} 実測値

4.4 スルーホールによるオープスタブ

スルーホールのオープスタブは、高速信号伝送に悪影響を及ぼすことが多数報告されているが⁶⁾、ここでは実用的な使用状況における実験例を示し、このスタブの考慮が必要な領域を考えてみる。まず、SMA コネクタを入出力端子とした3.12 Gbpsの実機評価において、マイクロストリップの誘電体は厚み0.2mmの一般FR-4で、長さ100mm、特性インピーダンスは $Z_{diff}=100\Omega \cdot Z_{com}$ 約25 Ω の差動配線を部品面(SerDes実装面と同じ面)またははんだ面に配置した。波形観測状況と結果を図9に示す。差動配線が部品面の場合、SMA コネクタ信号リード線のスタブが長くなる部

品面実装の方がノイズ、ジッタともに若干大きかった。この対策として、差動配線をはんだ面に配置、SMA コネクタを部品面から挿し、この信号リード線のスタブが短くなるようにする方法がある(同図(c))。このように3 Gbpsレベルの伝送速度であれば、いずれの構造も波形品質に問題はなく、スルーホールのスタブ除去に余分なコストをかける必要はない。しかし10 Gbps 差動シリアル伝送では、SMAのスタブが長くなると顕著な波形鈍りが発生したという報告⁷⁾があり、この速度域ではスタブ長を最小化する必要がある。このように利用速度に応じた留意点を正しく把握しておくことが、高速差動伝送におけるパターン設計で重

(a)アイパターン実測状況

(c)はんだ面配線+部品面実装

(b)差動配線が部品面の場合

図9. SMAコネクタのオープンスタブと3.12Gbpsアイパターン

要と考えられる。

5. おわりに

高速差動回路に対応したプリント配線板のパターン設計の実際を具体的に示した。著者は、本稿で紹介したような実際の高速半導体を用いた実機評価や、システム開発サポートを通じて、高速差動伝送の実現には半導体の性能はもちろんだが、電源やクロックの選定や供給方法が非常に重要であり、これらが満足した場合に、高速差動配線のパターン設計方法が焦点となると感じている。このような位置付けのもと、本稿が、差動回路を取り扱う回路設計者やパターン設計者の参考になれば幸いである。

(2005.4.1・受理)

文 献

- 1) ナショナルセミコンダクター社：“LVDS Owner's Manual, 3rd

Edition”，第3章，2004

- 2) 田中顕裕，他：“高速差動回路における差動ペア配線のカップリング強度と伝送特性”，第17回エレクトロニクス実装学術講演大会講演論文集，pp. 203–204, 2003
- 3) 藤城義和：“Sパラメーターによる電子部品の評価 第5回”，TDK Product Hotline Magazine, Vol. **35**, p. 20, 2000
- 4) B. C. Wadell: “Transmission Line Design Handbook”, pp. 95–96, Artech House, 1991
- 5) 松下幸生，他：“高速伝送用基板材料”，エレクトロニクス実装学会誌，Vol. **4**, No. 7, p. 552, 2001
- 6) ローレンス・ウィリアムス，他：“10Gボード設計，スルーホール最適化がカギ”，EDN Japan, No. 31, pp. 55–61, 2003
- 7) 金原正男，他：“10Gbps 差動信号伝送に対応したプリント配線板の検討”，第18回エレクトロニクス実装学術講演大会論文集，pp. 231–232, 2004