Si CMOS オンチップ伝送線路配線技術

益 一哉*, 岡田 健一*, 伊藤 浩之*

Si CMOS on-Chip Transmission Line Interconnect

Kazuya MASU*, Kenichi OKADA* and Hiroyuki ITO*

* 東京工業大学統合研究院 (〒 226-8503 神奈川県横浜市緑区長津田町 4259-R2-17)

* Integrated Research Institute, Tokyo Institute of Technology (Nagatsuta 4259-R2-17, Midori-ku, Yokohama-shi, Kanagawa 226-8503)

1. はじめに

Si CMOS 集積回路は微細化により MOSFET の f_t (遮断周波数) や $f_{\max}$ (最大発信周波数) は 100 GHz を超え、デジタル回路分野ではサーバなどの高速信号処理回路、アナログ回路応用では GHz 帯応用さらにはミリ波帯までを視野においた開発が行われている。これまで GHz 帯回路は主に化合物半導体を中心とした開発が行われてきた。信号伝送や伝搬の立場からすると、Si CMOS 集積回路と化合物半導体を利用した回路の最も大きな違いは基板の抵抗率に起因する。化合物半導体では半絶縁性基板を利用できるので対して、Si CMOS 集積回路では基板抵抗は一般に数 Ωcm 程度であるので基板損失を常に考える必要がある。また、配線を利用する立場からすると Si CMOS の場合は最新プロセスを利用すると 8 層以上の金属層を利用できることにある。

われわれのグループでは、Si CMOS 集積回路における Gbps 高速信号伝送を目的とした伝送線路配線技術^{1)~9)}、また GHz 帯における再構成可能 RF CMOS 集積回路¹⁰⁾の開発を行っている。これらの開発において、線路ならびに受動素子であるインダクタの設計が重要となっている。最近、電磁界シミュレータが比較的容易に利用できるようになってきたこともあり、これらを積極的に利用し線路設計や回路設計に利用している。Fig. 1 は、線路や受動素子、回路設計および評価の典型的な流れを示す。2次元あるいは3次元電磁界シミュレーションを利用して線路や受動素子の設計を行い、CMOS チップは主に VDEC (大規模集積システム設計教育研究センター) を通じて試作する。現在、われわれのグループでは主にオンウエハプローバを利用して回路特性を評価している。

本論文では、Si CMOS 上のオンチップ伝送線路を取り上げて、Si CMOS における RF 回路素子の設計と特性について述べる。2 ではオンチップ伝送線路の必要性、3 ではオンチップで素子特性評価における De-embedding 技術、線路特

性について紹介する。4 はまとめである。

2. オンチップ伝送線路配線の必要性

Fig. 2 に、種々のデータ伝送方式について、データ伝送レートと距離の関係をプロットした。有線信号伝送においては、信号伝送レートを D としたとき、伝搬距離 l が

$$l > \lambda/40 \quad (1)$$

のとき、伝送線路として信号伝送を考慮することになる。ここで、 $\lambda = \text{信号伝搬速度}/D$ である。高性能プロセッサにおけるデータレートが Gbps を超え、伝送長さが cm を超えると、電気回路的には伝送線路として設計することが必要となる。従来は、Fig. 3 のように配線を分割し RC 線路として取り扱っていたが、配線長の増大によるリピータの増加、消費電力の増加が問題となってきた。これを Fig. 3 に示すように伝送線路に置き換えることを提案し開発している。

Si CMOS オンチップ上の伝送線路は配線厚さおよび幅がミクロンオーダーであるので、プリント配線板上の伝送線路と比較すると抵抗損を常に念頭において設計する必要がある。一般に線路長 l が次の範囲にあるときは、インダクタンス成分が支配的になるので信号伝搬を電磁波伝搬すなわち伝送線路として取り扱うことが可能となる¹¹⁾。

Fig. 1. Our research approach

Fig. 2. Bit rate vs. Transmission length. Plotted data are the following standard. (1)Transmission Line: (a) G.992.2, (b) HDSL, (c) SDSL, (d) G.992.1, (e) RS-422, (f) 10BASE-2, (g) 10BASE-T, (h) USB 1.1, (i) VDSL, (j) 100BASE-TX & CDDI, (k) Fibre Channel, (l) SSA, (m) IEEE 1394, (n) USB 2.0, (o) 1000BASE-CX, (p) Ultra SATA/1500, (q) PCI Express & InfiniBand, (r) Substrate of the Earth Simulator, (2) Wireless connection: (s) IrDA, (t) IrDA, (u) IEEE 802.11b & IEEE 802.11g, (v) Bluetooth, (w) IrDA, (x) IEEE 802.11a, (y) IEEE 802.11b, (z) IEEE 802.11g, (α) IEEE 802.11a, (3) Optical Connection: (β) 100BASE-FX, (χ) FDDI, (δ) Fibre Channel, (ε) 1000BASE-LX, (ζ) 1000BASE-SX

Fig. 3. Conventional RC interconnect and proposed transmission line interconnect

$$\frac{t_r}{2\sqrt{LC}} < l < \frac{2}{R} \sqrt{\frac{L}{C}} \quad (2)$$

ここで、 L, C, R は単位長当たりのインダクタンス、容量、抵抗である。 t_r はパルス信号の立ち上がり時間である。パルスの立ち上がりを信号周期 T の1/20程度とすると、式(2)の左項の関係は式(1)と一致する。

Fig. 4に、Si CMOS多層配線中に形成可能な伝送配線構造を示す。Si CMOS多層配線では、いわゆるバタグランドを設けにくいこと、また小振幅かつノイズ耐性がある差動伝送線路が好ましいと考えている。Si CMOS集積回路では、膜厚方向のパラメータはプロセスで決まってしまう、回路設計者が設計できるのは平面的寸法だけである。このため、Fig. 4(a)の stacked pair型は50~100Ω程度の差動特性イン

Fig. 4. Possible transmission line interconnect in Si CMOS multilevel interconnect structure

ピーダンスを得るためには、配線幅が小さすぎて抵抗損が大きくなってしまい、有意な伝送線路を形成できない。そのためFig. 4(b)または(c)が形成可能な線路構造となる。Fig. 4(c)のDiagonal線路では隣接配線間のクロストークノイズを低減できるためバスラインなどの高密度配線を形成できる特徴がある。線路幅(W)は、所望の特性インピーダンス、信号伝搬長および許容伝搬損に依存するが、1cm程度伝搬させるには大凡4μmの線路幅が必要である。

3. オンチップ伝送線路配線の特性

3.1 De-embedding 方法

伝送線路やインダクタなどのオンチップ受動素子特性を正確に測定するためには、パッドなどの影響を取り除くDe-embeddingが重要である。受動素子特性は、Si CMOSチップ上にプローブ針を接触させ、VNA (Vector Network Analyzer)でSパラメータ測定を行い評価する。以下は、2ポート測定の場合を示している⁶⁾。

- (1) ISS (Impedance Standard Substrate)を利用して、プローブ針先端までの校正を行う。多くの場合、SOLT (Short-Open-Load-Thru) 法で校正する。
- (2) 線路などDUTのSパラメータを測定する。
- (3) オンチップ上の測定パッドの寄生容量成分を取り除くために、de-embedding用のパッドのOpen, Short特性を測定する。

Fig. 5に線路特性測定用のチップ写真および等価回路モデルを示す。 Z_1, Z_2 はRFプローブ針とパッドの接触抵抗、 Y は主にパッドの寄生容量である。De-embeddingの手順は以下のとおりである。

- (1) 測定したSパラメータをZパラメータに変換する。Dut, Thru, Short, OpenのZパラメータを $Z_{meas}, Z_{thru}, Z_{short}$ and Z_{open} とする。
- (2) 式(3)により接触抵抗成分 Z_1 および Z_2 を差し引く。
$$Z'_{meas} = Z_{meas} - Z_{short}$$
$$Z'_{open} = Z_{open} - Z_{short} \quad (3)$$
- (3) Z'_{meas} および Z'_{open} をYパラメータに変換する。それらを Y'_{meas} および Y'_{open} とする。
- (4) DUTのYパラメータは式(4)で与えられる。

$$Y_{DUT} = Y_{meas} - Y_{open} \quad (4)$$

DUTとして、Fig. 5(b)のThruパターンのDe-embedding

Fig. 5. Example of de-embedding layout. (a) DUT (Device Under Test), (b) thru, (c) short, and (d) open. DUT in (a) is 1-mm long single-ended TR line. Typical values of GSG probing pad size and pad pitch are $70\ \mu\text{m} \times 80\ \mu\text{m}$ and $150\ \mu\text{m}$. Detail pad structure is reported in Ref. (6)

Fig. 6. S_{11} , S_{22} , S_{21} and S_{12} characteristics of a thru pattern of Fig. 5 after De-embedding of Eqs. (3) and (4)

後のSパラメータを示す。測定には50 GHzまでのVNA (Agilent, E8364) および RF probes (Infinity Probe, Cascade Microtech.) を利用した。上記の De-embedding が理想的に行われているとすると、Sパラメータは無反射、無損失特性を示すはずである。Fig. 6の S_{11} および S_{22} 特性はほぼ無反射である。 S_{21} および S_{12} の振幅は 30 GHz まで $0 \pm 0.05\ \text{dB}$, 50 GHz まで $0 \pm 0.1\ \text{dB}$ であり、位相についても、30 GHz 以下では $0 \pm 1^\circ$, 50 GHz まで $0 \pm 2^\circ$ である。Open/Short パッドを利用することで De-embedding できていることがわかる。50 GHz を超えるとパッドから DUT までの引き出し線の直列成分の影響や引き出し線下の基板の影響が引き出し線の影響が見えてくるので、等価回路モデルなどをさらに考慮する必要がある。これらについては現在検討を進めて

Fig. 7. Cross sections of evaluated differential transmission lines

The transmission line are fabricated using 180 nm standard CMOS process with 5-metal layers. Metal is Al, and interlayer dielectric is SiO_2 . Thicknesses of metal and dielectric are about 1 m. The range of W and D are $2\text{--}10\ \mu\text{m}$, and $1.8\text{--}11\ \mu\text{m}$, respectively, in order to obtain differential impedance of $80\text{--}120\ \Omega$.

いる⁸⁾。

3.2 オンチップ伝送線路のモデリング

伝送線路配線を集積回路に用いるためには、回路設計において利用できるようにモデリングすることが必要となる。特性インピーダンスの計算のほか、曲がりやビアを介したときの線路特性、さらにオンチップ伝送線路では線路自身の抵抗損、基板や下層配線層との結合による損失があるため損失特性をモデリングすることが重要である。曲がりやビアによって原理的に線路特性は変化するが、曲がり1カ所、ビアを利用して線路上層配線から下層配線へ移したときの特性である S_{21} 特性を実測で評価したところ、1カ所あたり 0.1 dB 以下であった。測定誤差範囲であり、線路に数カ所であれば利用できるとわかった。

線路の減衰特性について、Fig. 7に示すようなコプレーナ線路を試作し、その特性を評価した。コプレーナ線路と Si 基板の間に何も無い場合と下層金属配線層が存在する場合について検討した⁵⁾。

まず、測定結果から、線路の単位長当たりの抵抗とコンダクタンス、さらに差動特性インピーダンスが、 W と D に対して、式(5)のような関係があることを実験的に見いだした。

$$R_{\text{diff}} \propto \frac{\sqrt{D}}{W}, \quad G_{\text{diff}} \propto \frac{W}{\sqrt{D}}, \quad Z_{\text{diff}} \propto \frac{D}{\sqrt{W}} \quad (5)$$

これを一般的な伝送線路の減衰定数(式(6))に代入すると、減衰定数が式(7)に示すように損失 WD 積を用いて表現できることがわかった。

$$\alpha = \frac{1}{2} \left(\frac{R_{\text{diff}}}{Z_{\text{diff}}} + G_{\text{diff}} Z_{\text{diff}} \right) \quad (6)$$

$$\alpha = a + \frac{bf^c}{\sqrt{WD}} + df\sqrt{WD} \quad (7)$$

Fig. 8. Attenuation characteristics of transmission line (Fig. 7) on frequency and WD plane. Thin line plane is measured data and thick line plane is calculated using model equation of (7), respectively.

Fig. 8に測定値と式(7)による計算値を示す。適当なパラメータ a, b, c, d を設定することにより、コプレーナ線路下層の金属層の有無によらず、測定値をモデル式で表現できることが明らかになった。

3.3 経線構造によるクロストーク低減効果

Si CMOS 集積回路では、できるだけ高密度に配線を配置することが必要となる。すなわち、伝送線路配線を導入する場合そのクロストーク耐性は可能な限り向上させる必要がある。Fig. 4に示す Diagonal 構造はそのひとつの方法である¹⁾。さらに、同相ノイズをうまく除去する方法として、線路途中に経りを入れる方法がある⁴⁾。DRAMの読み出し線などでも利用された手法である。

Fig. 9のような線路を試作し評価した⁹⁾。線路に10 Gbpsの信号を通したとき、攻撃配線(Aggressor)に信号のないときは、経りの有無によってそのアイパターンに違いはないが、攻撃配線に信号を加えたとき、経りがなければアイパターンが明らかに劣化するのに対して、経りがあるとアイパターンの劣化はほとんどないことがわかる(Fig. 10)。

このように経りを適宜挿入することで線路のクロストーク耐性を向上させることがわかった。

Fig. 9. Schematics of twisted differential transmission line. The lines are fabricated using Standard 0.35 μm CMOS process.

Fig. 10. Eye patterns of twisted differential transmission line (victim line) of Fig. 9. Signal on the victim line is 0.5 Vp-p and 10 Gbps. The signal on the aggressor line is 2 Vp-p and 10 Gbps.

3.4 ドライバ・レシーバ回路特性

伝送線路配線を利用するには、Fig. 3のドライバ、レシーバ回路を含めて設計、試作評価する必要がある。線路として基本的には差動線路を利用しているので、ドライバならびにレシーバ回路は差動回路となる。Table 1は、各テクノロジー世代ごとの性能目標値と実測あるいはシミュレーション結果である。90 nm CMOS までについては設計を完了し、現在評価中である。

伝送線路を利用するとリピータを利用した場合に比べて、遅延時間は確実に改善される。差動回路を利用しているので消費電力の問題が常につきまとう。そのため、どのような線路長でならば伝送線路を利用したほうが有利になるのか、あるいはチップ全体では伝送線路を導入したときに消費電力を含めて有利になるのかという検討が必要である。これまでいくつかの仮定をおいて検討²⁾している範囲では、数 mm 程度以上の配線に伝送線路配線を導入すると、消費電力的にも有利になるという予測をしている。これらについてはより詳細に検討を進める予定である。

4. まとめ

本論文では、Si CMOS 上の伝送線路配線について最近の

Table 1. Performance of transmission line interconnect with driver/receiver circuit

Circuit	Technology node (nm)	Data rate (Gbps)	Delaytime (ps/cm)	Power (mW)	
Goal	180	2	180	9	
	90	10	110	5	
	45	30	70	5	Supply voltage $V_{DD}=1(V)$
CML type	180	4	320	55	Measured value with $V_{DD}=1.8 V$ Ref. (3)
CML type for low power version	180	3	450	9	Measured value with $V_{DD}=1(V)$ Ref. (7)
CML type for high data rate	180	>8	250	14	Simulation
CML type	90	>12	200	4.5	Simulation

結果をいくつか述べた。De-embeddingの手法は、線路だけではなくインダクタなどの受動素子の評価にも利用できる。ただし、パッドが基板とカップリングするので、100 GHz程度までの評価を考えると2ポート測定においてもDe-embedding手法にはまだまだ改善の余地がある。また、オンウエハの4ポート測定においては、高周波プローブそのものの、校正基板 (Impedance Standard Substrate) の高精度化、De-embeddingの手法の高精度化などが必要である。

線路設計において電磁界シミュレータを有効に利用している。しかし、有限の抵抗をもつSi基板との結合に関しては、線路の場合には解析ができるようになっているが、平面インダクタの解析においては渦電流成分を十分に取込みできていない。まだまだ改善の余地はあると思われる。

伝送線路配線については、線路そのものの、ドライバ・レシーバ回路の検討を進めており、実用化レベルへもってゆくためには回路アーキテクチャなどの検討を進めてゆく段階に入っていると考えている。

(2006.6.12-受理)

文 献

- 1) H. Ito, K. Okada and K. Masu: "High Density Differential Transmission Line Structure on Si ULSI", IEICE Trans. on Electronics, Vol. **E87-C**, No. 6, pp. 942-948, June 2004
- 2) H. Ito, J. Inoue, S. Gomi, H. Sugita, K. Okada and K. Masu: IEEE International Electron Devices Meeting (IEDM), pp. 677-680, 2004
- 3) H. Ito, H. Sugita, K. Okada and K. Masu: IEEE Asian Solid-State Circuits Conference (ASSCC), pp. 417-420, 2005
- 4) H. Ito, S. Gomi, H. Sugita, K. Okada and K. Masu: "Twisted Differential Transmission Line Structure for Global Interconnect in Si LSI," Japanese Journal of Applied Physics, Vol. **44**, No. 4B, pp. 2774-2777, 2005
- 5) H. Ito, H. Sugita, K. Okada and K. Masu: "A Design Guideline of On-Chip Differential Transmission Line Structure for High-Frequency Signal Transmission," IEEE Workshop on Signal Propagation on Interconnects (SPI), pp. 217-220, May 2006
- 6) K. Masu, K. Okada and H. Ito: "RF Passive Components Using Metal Line on Si CMOS" (Invited Paper), IEICE Transactions on Electronics, Vol. **E89-C**, No. 6, pp. 681-691, 2006
- 7) H. Ito, K. Okada and K. Masu: "Development of Differential Transmission Line Interconnect IP for High-Speed Global Interconnect," Circuit Exhibition of European Solid-State Device Research Conference and European Solid-State Circuits Conference, Poster 26, Sept. 2005
- 8) 伊藤浩之, 岡田健一, 益 一哉 (東工大): "オンチップRF受動素子のオンウエハ測定技術に関する検討", 電子情報通信学会シリコンアナログRF研究会, Vol. **RF2006-1**, p. 5
- 9) 木村実人, 伊藤浩之, 杉田英之, 岡田健一, 益 一哉: "縫り合わせオンチップ差動伝送線路のクロストーク評価", 電子情報通信学会総合大会, A-3-15, 2006.3
- 10) Y. Ito, Y. Yoshihara, H. Sugawara, K. Okada and K. Masu: "A 1.3-2.8GHz Wide Range CMOS LC-VCO Using Variable Inductor", IEEE Asian Solid-State Circuits Conference, Nov. 2005
- 11) Y. I. Ismail: "Figures of Merit to Characterize the Impedance of On-Chip Inductance", IEEE Trans. VLSI System, Vol. **7**, No. 4, pp. 442-449, Dec. 1999.