LSI-PCB システムレベルノイズ解析

登坂 正喜*, 佐藤 敏郎**, 井上 淳樹***

LSI-PCB System Level Noise Simulation

Masaki TOSAKA*, Toshiro SATO** and Atsuki INOUE***

*富士通株式会社テクノロジセンター回路技術開発センター (〒211-8588 神奈川県川崎市中原区上小田中4-1-1)

**富士通株式会社テクノロジセンターHPC適用推進センター (〒211-8588 神奈川県川崎市中原区上小田中4-1-1)

***株式会社富士通研究所システムLSI開発研究所SOC設計技術研究部 (〒211-8588 神奈川県川崎市中原区上小田中4-1-1)

*Corporate Circuit Technology Center, Corporate Product Technology Unit, Fujitsu Ltd. (4-1-1, Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588)

**Development Innovation Center, Corporate Product Technology Unit, Fujitsu Ltd. (4-1-1, Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588)

***SOC Design Methodology Lab., System LSI Development Lab., Fujitsu Laboratories Ltd. (4-1-1, Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588)

1. はじめに

デジタル機器の性能向上に伴うLSIの動作速度の高速化と消費電流の増加によって、電源ノイズ（電源グラウンドバウンスノイズ、同時スイッチングノイズ）、EMIなどのノイズ問題が顕在化してきている。これらのノイズ問題は開発期間の長期化やコスト増を引き起こす要因になるため、機器設計者を悩ませる問題となっており、これらのノイズ問題を設計段階で解決できる設計環境が求められている。これまで、LSI設計やPCB設計において、それぞれ個別にノイズシミュレーションを行い対策は取られてきた。しかし、特に電源ノイズシミュレーションの面では、LSIとPCB個別のシミュレーションでは十分な精度とはいえないのが実情である。LSI設計におけるシミュレーションではPCB電源として理想電圧源を使用したり、PCB設計におけるノイズシミュレーションではLSI電源モデルとして簡易的な電流源を使用せざるを得なかったからである。機器全体のコストを抑えた適切なノイズ対策を取るためには、LSIとPCBをトータルで精度良く評価できるノイズシミュレ

ーション技術が必要である。本稿では、われわれが開発したLSI-PCBシステムレベルノイズ解析システムの概要と適用事例を紹介する。

2. 電源ノイズ発生メカニズムと対策

図1はLSIを搭載したPCBの、LSI-PCB全体の電源グラウンドを簡易的に等価回路で表したものである。LSI内部の電源グラウンド端子から電源回路を見ると、LSI内部、PKGおよびPCBの電源グラウンド配線のインダクタンス成分や抵抗成分、電源パスカコンの容量成分などからなる電源インピーダンス Z_p が見えることになる。一方LSI内部回路や入出力回路のスイッチングに伴って電源電流 I_p が流れるが、 I_p はLSIの動作状態によって変動するため、電源電流の変動分 ΔI_p に対して電源ノイズ ΔV_p が発生することになる。LSIの誤動作を防ぐには、この電源ノイズ ΔV_p をLSIが誤動作しない許容値以下に抑える必要がある。

電源ノイズ対策の基本は、電源インピーダンス Z_p を低く抑え、電源電流変動 ΔI_p を小さくすることであり、代表的な対策を表1に示す。例えばLSIの直近に電源パスカ

$$\text{電源ノイズ} : \Delta V_p(f) = \Delta I_p(f) \times Z_p(f)$$

図1. 電源ノイズの発生原理

表1. 代表的な電源ノイズ対策

	電源インピーダンスを下げる	電源電流変動を小さくする
LSIでの対策	<ul style="list-style-type: none"> • PKGの電源配線幅を広げる • PKG電源にプレーン構造をとる • 電源、GNDピン数を増やす • チップ内デカップリング容量を追加 	<ul style="list-style-type: none"> • 適切な入出力回路の選択 <ul style="list-style-type: none"> – 駆動能力を小さく – 立上がり立下がり時間を遅く • 同時動作する入出力回路を減らす • 同時動作のタイミングをずらす
PCBでの対策	<ul style="list-style-type: none"> • PCB電源にプレーン構造をとる • 電源ピン直近にパスコンを配置 • パスコンの引出し配線を太く・短く • 適切なパスコン容量の選択

図2. LSI-PCB システムレベルノイズ解析フロー

を配置することは、 Z_p を低くするための対策であり、LSIの入出力回路に駆動能力ができるだけ小さいものを使用することは、 ΔI_p を小さくするための対策である。LSIとPCBそれぞれに適切なノイズ対策を施すためには、LSI、PKGおよびPCBなどから構成される機器を一体で扱うノイズシミュレーションが必要となる。

3. LSI-PCB システムレベルノイズ解析システム

LSIとPCBを一体で扱うシミュレーションを駆使して、機器の開発期間短縮、品質向上、コスト最適化の効果を十分に上げるために、設計上流段階から設計完了後の検証段階まですべての設計段階においてCADツールとシームレスに連携して、容易に運用可能なシステムを構築した。

図2にノイズ解析のフローを示す。LSI内部モデルは、設計段階に応じて、LSIの要求仕様や、LSIの実レイアウトに基づいてモデルを生成する¹⁾。PCBのモデルも同様に、設計段階に応じて、フロアプランや、実レイアウトに基づいてモデルを生成する。電源ノイズ解析部ではこれらのLSI内部モデルとPCBモデルを接続してLSI、PCB一体のシミュレーションモデルを作成し、回路シミュレータを使用してシミュレーションを行う^{2),3)}。解析結果として電源イン

ピーダンスの周波数依存特性と電源グラウンドバウンスノイズや同時スイッチングノイズの過渡解析波形を得ることができる。また、ここで算出した電流波形をEMI解析システムに取り込むことによって、LSI、PCB一体での電波放射の解析も実行可能である。

このシステムにより、LSI、PCB双方の対策の効果を定量的に確認しながら、ノイズ対策設計の解を求めることが可能になった。

4. LSI-PCB 一体ノイズ解析モデル

LSI-PCB 一体ノイズ解析モデルは、PCBの電源グラウンドモデル、LSI内部モデル、電源パスコンおよび電源部品で構成している。

PCBの電源グラウンドのモデルは、R、L、Cメッシュモデルで表現されるPEEC法を使用してモデル化を行っている。電源パスコンや電源部品については、それぞれの等価回路パラメータ（ESL、ESRなど）を与えてモデル化し、引き出し配線やViaのモデルを介し電源グラウンド層のモデルと接続する。また、LSI間の信号配線については、分布定数の伝送線路としてモデル化する。

PCBのモデル化手法として、PEEC法を採用した理由は、

図3. PCBモデル

一般的にFDTD法に代表されるフルウェーブ電磁界解析に比べてPEEC法は計算量が少なく済むためである。PEEC法では形状を等価回路に変換する際に、一定の近似（準TEM波を仮定するなど）を行うことになるが、電源グランドプレーンをもつPCBでは、プレーン構造を前提とした等価回路モデル近似によるPEEC法が計算時間と精度を両立させる有効な手段と判断した⁴⁾。

図3にPCBモデルのメッシュ構成を示す。一般的に用いられる格子状の均一メッシュではなく、独自の不均一・任意形状の多角形メッシュを用いた⁵⁾。図3の黒丸がメッシュ生成の基準となるノードであり、LSIやパソコンなどの部品ピン位置、Via位置、およびメッシュサイズを規定サイズ以下に制御するために必要な位置に自動発生する。隣接するノード間を結ぶ線分に対して垂直2等分線を引き、その線をノード間の境界線（図3の点線）としたメッシュを用いている。これにより、複雑な形状をより少ないメッシュ数でモデル化できるようにした。さらに、解析対象のLSIから物理的に遠い領域のモデルを簡略化することで、精度を維持しながら大規模なPCBの取り扱いを可能にした。

LSIの内部モデルは、図4に示すように、電源網をR, L, Cの2次元格子状ラダー回路で構成し、内部論理回路を電流源、入出力回路をSPICEトランジスタモデル、PKG部をR, L, C等価回路で構成している⁶⁾。

LSIを同じ大きさの正方形の区画に分けて、1つの区画(power unit: PU)単位で電源特性の空間分布をモデル化する。各PUの寸法は、必要な精度（空間分解能）と用意できるコンピュータ能力のトレードオフで決まるが、典型的には一辺が100 μm ~200 μm 程度の矩形を用いる。PU単位でLSIの電源特性の空間分布を表現することで、トランジスタやゲートなどの単位でモデル化する既存の手法に比べて大幅に少ない素子数で電源網を表現できる。一般にPUの大きさは実際の電源配線に比べて粗くなるため、各PUのモデルは、PU内の電源配線をすべて合成して得たインダクタンス(L)、抵抗(R)、容量(C)および、電流源(I)で表現する。Iは、PU内の全論理回路の消費電流を合成したものである。

一方、入出力回路部については、端子間のカップリング

図4. LSIモデル

図5. PCBモデル単体の精度検証結果

ノイズなどを解析するため、信号や電源の挙動を1端子ごとに表現するようにした。入出力回路のモデルはPCB設計で通常使用されているIBISなどの線型モデルでは精度的に不十分であり、トランジスタを含むSpiceネットリストをそのまま使用する。

5. 精度検証

まず、PCBモデル単体での精度検証を行うために、評価基板を作成し電源-グランドプレーン間のインピーダンス特性の検証を行った。作成した評価基板の寸法は25 mm×50 mm、材料はFR-4で、電源-グランドプレーン間の距離は200 μm である。実測はネットワークアナライザによる2端子法で行い、シミュレーションはPEEC法とFDTD法で電源インピーダンスをシミュレーションした。図5が実測とシミュレーションを比較した結果である。周波数10 GHzまで、シミュレーションと実測の結果が良く一致している。PCBモデルに採用したPEEC法で十分な精度が得られることが確認できる。

次に、LSIとPCB一体ノイズ解析の精度検証を行うために、精度検証用のテストチップとこれを搭載しテストチップの動作モードを制御するPCBを試作し評価した。チップ上の電源網に測定用パッドを設け、そこに高精度なウェハプローブを接触させ、入出力回路や内部回路の動作によっ

図6. テストチップの電源ノイズ測定

図7. 同時スイッチングノイズの精度検証結果

てチップ内に発生する電源ノイズを直接測定した。図6にテストチップによる実測の状況を示す。図7が同時スイッチングノイズのシミュレーションと実測を比較した結果である。テストチップに20MHzの繰り返し波形を入力し、同時スイッチングノイズが最大になるよう、ノイズ源となる入出力回路を27本同時に動作させ、チップ内に発生するノイズを測定している。入出力回路の立ち上がりでVDE電源に大きな負のノイズが乗っていることがわかる。このノイズピークが、誤動作やタイミング変動を引き起こすノイズであり、ピーク値の一致がLSI電源設計で重要なポイントとなる。図7からわかるように、このノイズピーク値を含めて、実測とよく一致しており、実用上十分な精度をもっていることが確認できる。

6. 適用事例

LSIとPCBを一体でシミュレーションすることで成果を得た事例を紹介する。組み込み用途向けマルチコアプロセッサLSIの開発において、本設計システムを適用し、入出力回路から発生した電源ノイズによる誤動作をLSIの

図8. 適用事例: VDE_C電源のノイズシミュレーション結果

テープアウト前に検出し対策を実施することができた^{7),8)}。本LSIはデータ転送速度が266Mbpsと高速で、バス幅が64bitと広いDDRメモリアンタフェースを2チャンネル備え、さらに動作周波数が178MHzでバス幅が64bitのシステムバスインタフェースも持っている。全900端子のうち400端子以上が高速に動作する入出力回路であり、同時スイッチングノイズが大きい。一方、内蔵する4個のCPUコアが533MHzで高速動作するため、クロック入力端子の遅延変動を小さく抑える必要があった。クロック入力端子の遅延変動の主要因は、入出力回路の同時スイッチングノイズであり、この影響を小さくする目的で、クロック用電源(VDE_C)と一般の入出力回路用電源(VDE)をチップとPKG内で分離した。ただし、VDEとVDE_CはPCB上では共通に接続されるため、LSIのモデルだけではPCBを介して回り込むノイズをシミュレーションすることはできない。このため、LSIとPCBを一体で扱うシミュレーションが不可欠であった。そこで、本LSIの設計段階でPCBの影響を考慮した電源ノイズシミュレーションを実施した。

図8は、シミュレーションで得られたVDE_Cの電源電圧波形である⁹⁾。初期の解析結果では、電源ノイズが徐々に増大していく現象が確認された。調査の結果、VDEに発生したノイズがPCBを経由してVDE_Cに回り込み、ノイズの周波数がVDE_Cのインピーダンスとちょうど共振を起こしたためと判明した。共振が起こる周波数は、PKGのインダクタンス成分(L)とチップ上の容量成分(C)で構成されるLC並列回路の共振周波数で決まる。このため、ノイズの周波数とVDE_Cの共振周波数をずらすことがひとつの対策となる。このLSIは、もともとVDE_Cに乗るノイズを低減するために、チップ上にデカップリング・コンデンサを配置していた。このため、チップ内のデカップリング・コンデンサの容量を小さくしてVDE_Cの共振周波数をノイズ源の周波数よりも高い周波数にずらすことで、電源ノイズによる誤動作を未然に防ぐことができた。

7. むすび

デジタル機器のノイズ問題を解くために必要となる、LSI

とPCBのノイズシミュレーション用モデル化技術と適用事例について紹介した。LSI設計やPCB設計に適用を開始し、ノイズ問題による誤動作を未然に防ぐなど効果を上げている。今後の機器の性能向上や高密度化の進展、開発期間の短縮、コストダウンに対応していくための課題は、さらなる精度改善と計算時間の短縮であり、本稿で紹介した手法に加えてFDTD法に代表されるフルウェーブ電磁界解析を組み合わせた手法を検討している。

(2006.5.2-受理)

文 献

- 1) 奥村隆昌：“システムLSI設計のための電源ノイズ解析技術”，Scan FVD Technical Journal（富士通VLSI），Vol. 7, No. 1, pp. 30–35, 2005.3
- 2) 平井天道：“LSI，PCB一体モデル化による電源ノイズ解析”，第18回エレクトロニクス実装学術講演大会講演論文集，18C-17, pp. 147–148, 2004.3
- 3) 佐藤敏郎ほか：“構想設計段階からのノイズ対策設計作り込み”，第18回エレクトロニクス実装学術講演大会講演論文集，18C-13, pp. 139–140, 2004.3
- 4) 登坂正喜ほか：“3つの事例に学ぶ電源雑音の制し方”，日経エレクトロニクス，No. 904, pp. 115–127, 2005.7.18
- 5) 平井天道ほか：“高速伝送基板における電源ノイズ解析システム：SIGAL-PI”，雑誌FUJITSU，**55-3**, pp. 257–261, 2004.5
- 6) 佐藤富夫ほか：“電源ノイズ解析のためのLSIノイズモデル”，雑誌FUJITSU，**55-6**, pp. 608–613, 2004.11
- 7) T. Shiota, et al.: “A 51.2 GOPS, 1.0 GB/s DMA Single-Chip Multi-Processor Integrating Quadruple 8-Way VLIW Processors”, 2005 IEEE International Solid-State Circuit Conference Digest of Technical Papers, Vol. **48**, pp. 194–195, Feb. 2005
- 8) S. Tago, et al.: “Embedded Single-Chip Multiprocessor Using Coarse-Grain Parallelism”, COOL CHIPS VIII (IEEE Symposium on Low-Power and High-Speed Chips) Proceedings, pp. 213–226, Apr. 2005
- 9) 川崎健一ほか：“CMOS 90 nm 製造プロセスにおける組み込み型シングルチップマルチプロセッサの実現”，信学技報，Vol. **105**, No. 95, pp. 7–12, 2005