統合設計 CAD の現状認識と課題

大坪 祐司*, 村田 元夫*, 古賀 一成*

Current State and Issues of Integrated CAD System

Yuji OTSUBO*, Motoo MURATA* and Kazunari KOGA*

* 株式会社図研技術本部 (〒 224-8585 神奈川県横浜市都筑区荏田東 2-25-1)

* Headquarters/R & D Center, ZUKEN Inc. (2-25-1 Edahigashi, Tsuzuki-ku, Yokohama-shi, Kanagawa 224-8585)

1. はじめに

デジタル家電製品開発に従事する設計部門においては、その利益を最大化のために開発コストの削減と新製品の早期市場投入を目的とした設計リードタイムの短縮を日々目指している。これらを実現するには設計の初期段階で検証を実施することで設計のイタレーションを最小化することが有効である。しかし、チップ、パッケージ、プリント配線板、筐体での1つ1つの設計の範囲だけでは、大きな効果を得ることが困難になっている。一例を挙げると高速シリアル伝送が使われる製品において、信号の品質の維持と増加する放射電磁雑音の削減は各設計部署間をまたいで統合的に取り組む必要があるためである。また SiP (System in Package) の登場でチップとプリント配線板間の中間インターポーザが複雑化し、ある部署が設計変更を実施した場合、設計／検証のために揃えなければならないモデルやデータの整合性を維持するコストが上がっている。このような背景を元に、統合設計 CAD の現状と課題について述べる。

2. SiP と高密度プリント配線板のハイスピード設計・検証

デジタル家電の商品サイクルが短くなり、新製品リリース早期化が売り上げに及ぼす影響が増大している。また、メモリーインターフェースは DDR, DDR2, DDR3 と進化を続けており、機器に内蔵されている SiP やプリント配線板の伝送路を流れる信号も高速化し (図1), 周辺装置インターフェースにおいても、差動配線を使う高速シリアル伝送技術が使われている¹⁾。

信号速度の高まりは、信号の品質 (SI: Signal Integrity) の維持を難しくするだけでなく、放射電磁雑音 (EMI: Electro Magnetic Interference) も増加させる。また、高速信号のリターン電流やチップの電源電流が電源／グラウンド面に流れることが原因で発生する面の電位変動も、前述の SI や

EMI の原因となる。

これらの問題をできるだけ上流で対処できれば、設計の後戻りを最小化できるため、設計リードタイムを削減することが可能である。そのためには上流と下流とで電氣的制約の統合、および SI 解析エンジンと EMI/PI (Power Integrity) 解析エンジンとの一本化が必要であった。われわれは、これらのニーズを踏まえて回路設計ツールと、回路設計者が使用するフロアプランツールとプリント配線板設計ツールを統合した環境を開発した (図2)。

制約には大別して SI 関連、EMC/PI 関連、製造関連がある。SI の制約には配線長やスキュー、インピーダンス、回路トポロジなどがある。EMI の制約には、LSI (Large Scale Integration) とパイパス・コンデンサとの距離や、遮へいの必要性などがある。多くのデジタル家電は1つの製品の中に複数のプリント配線板を搭載しており、基板間の伝送路

図1. 高速化が著しいメモリー・インターフェース

図2. 統合化された解析環境

図3. SiP／プリント配線板連携対応制約

図5. EMI/PI解析エンジンでの放射電磁雑音の強度表示

図4. 回路設計者向けフロアプランツール

図6. 3次元対応のプリント配線板設計環境

を連結するフレキシブル基板やコネクタ上に画像処理系の高速データ信号を送る場合がある。このため、制約も複数基板間をまたぐ信号に対して定義できるようになっている。なお、このしくみは、SiPとプリント配線板間をまたぐ信号に対しても同様に定義できる(図3)。

また、制約の総数が数百を超えるため、部品ライブラリやシミュレーション・モデル・ライブラリなどから自動的にデフォルトの制約を作成する。

SIやEMIの問題をできるだけ上流の設計で考慮するには、回路設計者が使用可能なフロアプランツールが求められるため、SiPや高密度プリント配線板側の諸情報がない状態から使える設計環境を開発した(図4)。

なお、SI解析エンジンは、高速シリアル伝送技術対応として、アイ・パターン表示、EMIフィルタなどの等価回路読み込みや、SiPや高密度プリント配線板の信号線路を「Hspice」で読み込める線路モデルを抽出する機能をもっている。

また、EMI/PI解析エンジンは、バイパス・コンデンサのインピーダンス特性計算や放射電磁雑音の強度の算出を事象ごとに簡易化することによって、高速な解析を実現している(図5)。

3次元のシステムレベル設計に対応した設計環境の開発にも着手している(図6)。一例を挙げると、SiP／プリント配線板連携とマルチボードに対応した3次元でのフロアプラン設計環境、制約を考慮した3次元での自動配置／配

図7. SiP／プリント配線板の設計工程例

線、3次元でのEMI解析に対応した条件設定法や結果表示などである。

3. 最新SiP設計技術

SiP／プリント配線板の設計工程は大別すると5つある(図7)が、ここでは効率的かつ電氣的な品質の維持が求められるSiP設計環境と、製造工程で発生する不良の原因を解決し製造的な品質の維持のしくみが求められるSiP／プリント配線板製造設計環境について説明する。

SiPでは、サブストレート上に複数の半導体チップを搭載し、ワイヤボンドおよびフリップチップで接続を行っている。通常の基板に比べ、極細な導体、複雑化するワイヤボンド、極小のはんだバンプ、内蔵された部品など、構造的には従来の設計CADでは対応が困難な状態となってきた。さらに、半導体チップは積層され、近年では受動部品の内蔵も加え、3次元での設計および設計検証に対する

図8. ワイヤボンドの形状

図9. ワイヤボンド同士のクリアランスチェック

必然性が高まっている。

3次元を表現するためには、独自の設計条件が必要となる。ワイヤボンドはその性質上、直線と曲線が組み合わさった形状となっており、端的には多重曲線となる場合が多いが、設定を容易にするため、CADではこれを簡略化している（図8）。また、「ダイ始点」と「サブストレート始点」のどちらかをファーストボンディングとして指定することで、リバースボンディングの指定が可能である。

次に設定した形状をもとに、いくつかのチェックを行い、製造性の検証を実施するが、ワイヤボンドのクリアランスチェックもその1つである（図9）。CADではワイヤボンドの簡略形状に対して、ワイヤー径を指定することが可能である。これを利用して3次元でのワイヤボンド同士のクリアランスチェックを行うことが可能となっている²⁾。2次元でのクリアランスチェックでは測定不可能なケースも検出し、ボンディング工程で発生する製造不具合の発生の防止に効果がある。

ワイヤボンドはダイとサブストレートを接続する役割をもつため、ワイヤボンドがダイのどの位置から引き出されるかによって、ダイとワイヤボンドの近接および接触が生じる場合がある。ここでもワイヤボンドに関する設計条件をもとにしたクリアランスチェックを行っている（図10）。

なお、最近はSiPの多段化が進み、より詳細なワイヤボンド形状の設定がSiP製造に欠かせなくなってきたため、構成点の要素数増加を実現する設定環境が求められている。

プリント配線板と同様にSiPも開発サイクルの短縮が望

図10. ワイヤボンドとダイのクリアランスチェック

図11. ワイヤボンドパッドとリングの自動発生機能

図12. スタックド型CSPデータの生成

まれている。しかしながら、LSIなどの多ピン部品を主に扱う分野であるため、煩雑な作業は避けられないのが現状である。われわれは、SiP設計CADにおいて、設計工程での時間短縮のために、ワイヤボンド、ワイヤボンドパッド、ダイ周辺にリング類（グラウンドリング・パワーリング）や認識マークなどを自動発生する機能を開発した（図11）。

スタックドダイを用いるCSP (Chip Size Package) 設計をSiP設計CADで行う際には、ウィザードプログラムを用いて半導体設計ツールから出力されたCSVファイルを読み込み、それを部品化してスタックする作業が必要となる（図12）。読み込む際に端子情報等も設定することにより、ワイヤボンドを引き出しの際にも電気的整合性がとれた状態での配線を行うことが可能となる。

SiPでは、受動部品を実装せずに印刷部品を使用するケースがある。また、設計途中での解析結果に応じて印刷部品を使用する場合もあり、その場合は設計スケジュールに影響のなきよう、速やかに部品を発生する必要がある。こういった場合において有効な手段が、ライブラリ化された部品発生パラメータの活用である。印刷部品はその性質

図13. 印刷抵抗発生コマンドとダウンロードパラメータ

図14. 引き込み配線処理

上、形状によって抵抗値等の値が変化してしまうため、緻密な計算を行い、形状を発生させる必要があるが、ライブラリからパラメータを読み込むことによってこの作業時間を軽減できる。なお、一部の材料ベンダは、SiP設計CAD用の印刷抵抗パラメータをダウンロード可能なHPを用意している（図13）。

配線設計を行う際の、非常に煩雑な作業がボールグリッドなどに引き込む配線の処理である。引き込む配線は、端子部分以外は束線となることが多い。われわれはこの煩雑な作業に対して、制約条件を守りながら、配線を通す場所を自動的に決定する機能を開発し、設計者の負担を大幅に軽減した（図14）。

SiP設計の最後の工程として、製造設計がある。製造設計では、配線設計のデータに対して、製造工程を経ても形状変化しないように補正を行う必要があり、製品の品質に大きくかかわっている。しかしながら、補正技術はたいへん複雑であるため、パラメータを使用した単純な処理は困難である。それが原因で、製造設計に多大な負担がかかっている。現状のCADではマニュアルによる補正機能としてシフトオーバーチャ機能や、図形論理演算機能、カットデータ自動発生機能を有している。

シフトオーバーチャ機能は、CAD内部で保有している形状データテーブルを利用して、指定されたテーブル番号のオブジェクトのみを対象に、オブジェクト幅を変更するものである（図15）。例えば、細い導体は一般的にエッチングによる導体形成の際に侵食されてさらに細くなってしまう傾向にあるため、製造設計で侵食される分の幅を太らせて、設計した状態と同じ幅の導体が形成されるようにする。

また、図形論理演算機能においては、配線設計で入力さ

図15. シフトオーバーチャ機能

図16. カットデータ自動発生機能

れたラインデータ、ランドデータ、プレーンデータを合成する機能である。合成処理を行うことによって、レジストインクのにじみの発生を防止し、データの整形化に利用することができる。

また、導体などに対してあらかじめクリアランスチェックを行い、クリアランスが確保されていない箇所に対してカットデータを発生する機能を開発した（図16）。

4. チップ／SiP／プリント配線板の統合的な設計環境の必要性

デジタル家電製品のリードタイムを短縮するために、チップ／SiP／プリント配線板／筐体の各個別の設計部署での取り組み以外にも着目すべきポイントがある。複数の設計部署が制約条件を共有できれば、それを早期に固定することで、その後の設計を各部署が同時並行で実施することが可能となり、製品全体の設計リードタイムを短縮できる。その制約条件とは、チップのソルダバンプのピンアサインと、SiPのボールのピンアサインと、チップからSiPを経由してプリント配線板への伝送線路の遅延時間の配分のことを指す。

なお、EMIやSIの問題解決のために、チップからプリント配線板までの伝送線路を考慮した検証が求められている。

対策はできるだけ設計の初期段階で考慮できれば後戻りを削減でき、効果が高い。

求められる解析モデルは、チップ／SiP／プリント配線板の各設計部署によって異なる。チップ設計者はSpiceや回路シミュレータを使ってSiPやプリント配線板の伝送線路も考慮した検証を行いたい。一方、SiPやプリント配線板設計者は、チップのI/Oモデルを早期に取得したい。しかし、どの部署においても、欲しいモデルを必要なタイミングで取得するためには、部署間の設計データの整合性が取れている必要がある。設計変更時の情報をスムーズに各部署の設計データに反映できるかがポイントになる。

また、プロジェクトリーダーは、製品コストを下げるために安価なプリント配線板を採用したり、プリント配線板

図17. 求められる統合設計環境

図18. 統合連携設計管理のしくみ

の層数を削減したいはずである。そのためには、プリント配線板設計側から見てSiPのボールのピン割付を最適化し、それを受けたSiP設計者がチップのソルダバンプのピン割付を最適化し、チップ設計者はそれを考慮したフロアプランを行える必要がある。その際、チップ側がもつピン割の制約も守られるべきである。

またSiP設計部署においてはシステム全体回路図からSiP部分の遅延制約を早期に検討することが求められ、各設計部署においては、システム設計者やチップ設計者が定義したチップ/SiP/プリント配線板ごとの遅延制約を継承して、それを守らせる仕組みが求められている。

このような理由により、連携設計管理を含む統合的な設計環境が求められている（図17、図18）。

なお、われわれは、半導体設計領域において、半導体レ

図19. 統合詳細設計および統合構想設計環境

アウトから抽出された寄生素子情報や配線長を考慮したSPICE ネット情報を回路図へバックアテーションして回路シミュレータの実行を行う環境や、特定ベンダの半導体レイアウトシステムとの連携／クロスプローブが可能な半導体設計フロントエンドの提供をすでに行っている。また、将来的に OpenAccess を用いた他社ツールとの連携を視野に入れ Si2 のアダプターメンバーとしての活動を開始している。

加えて、論理情報／チップ I/O レイアウト／SiP パッケージ 3次元構造を、統合情報を元に表示することにより、プランニングや各種検証ツール群との連携を可能とする構想設計検証環境についても研究開発中である（図19）。

5. 最後に

以上、SiP と高密度プリント配線板のハイスピード設計・検証、最新 SiP 設計技術、チップ/SiP/プリント配線板の統合的な設計環境への取り組みおよび今後の必要性や課題について述べた。われわれは、現実的でありながら一歩でも理想に近い電子機器の統合設計 CAD 環境を具現化するため、自社開発はもちろん、各種設計/検証/最適化ツールベンダとの連携を拡げていく所存である。

(2006.5.9-受理)

文 献

- 1) 仮屋和浩，他：“高速シリアル伝送時代のプリント基板設計環境を開発”，EE Times Japan 2005.10, pp. 65-73
- 2) 松澤浩彦，他：“最新の設計・製造技術に対応した EDA 環境”，エレクトロニクス実装学会誌，Vol. 7, No. 7, pp. 574-580, 2004