Mo/Si 界面での Si 酸化物の生成

岩田 誠一* 山本 直樹* 小林 伸好*

J. Japan Inst. Metals, Vol. 51, No. 2 (1987), pp. 138-141

Si Oxide Formation at Mo/Si Interface

Seiichi Iwata*, Naoki Yamamoto* and Nobuyoshi Kobayashi*

This paper deals with a problem encountered during the development of a new gate electrode structure for MOS VLSI (Metal-Oxide-Semiconductor Very Large Scale Integrated Circuits), namely, the increase in contact resistance between the two layers in a Mo/poly Si gate electrode structure after annealing at around 1273 K. This study was carried out by using ESCA (Electron Spectroscopy for Chemical Analysis) to understand the above phenomenon and find the means to prevent this contact resistance increase.

It was found that (1) the formation of Si oxide at Mo/poly Si interface was the cause of the increase in contact resistance, (2) the O (oxygen) necessary for this oxide formation was supplied from the Mo in contact with the poly Si, and (3) the oxide formation can be prevented by the addition of Si to the Mo, allowing the Si atoms to bond with the O atoms inside the Mo layer but not at the Mo/poly Si interface.

(Received October 3, 1986)

Keywords: molybdenum, polycrystalline silicon, interface, annealing, thin film, electron spectroscopy for chemical analysis, silicon oxide formation

1. 緒 言

Si 半導体素子の高集積化は急速に進んでいて、素子、電極・配線等はますます微細になってきている。電極・配線が微細になると、抵抗が高くなり、信号の遅延が問題となってきた⁽¹⁾。従来、MOS(Metal-Oxide-Semiconductor)半導体素子のゲート電極(文献(1)の図1参照)には多結晶 Si(以後 poly Si と呼ぶ)が使われてきた。しかし、低抵抗化の要求が出てきたため、poly Si に代わる材料として高融点金属のけい化物(シリサイド)(WSi_2 , MoSi_2 , TaSi_2 , TiSi_2 等)⁽²⁾や高融点金属そのもの(W, Mo 等)⁽¹⁾⁽³⁾⁽⁴⁾が検討されている。

当初、低抵抗化のために Mo を検討したとき、Mo がゲート酸化膜(SiO_2)に直接接触している構造を検討したが、素子特性が不安定になったため、従来の電極材料である poly Si が SiO_2 に接触している Mo/poly Si 構造の電極を検討した。Si 上に高真空中で Mo を蒸着して加熱する場合には、約 800 K で Mo と Si は反応し始め、 MoSi_2 が形成される⁽⁵⁾。ところが、実際に蒸着して加熱しても、あまり反応しないで、Mo/poly Si 間の接触抵抗が非常に高くなるという問題が生じた。すなわち、Mo 蒸着のままで Mo/poly Si 間の電氣的接触は良いが、1273 K で 1 h

加熱した場合には、Mo/poly Si 間に $100\mu\text{m}^2$ 当たり $10^4 \sim 10^6\Omega$ の接触抵抗を有する層(X 層と呼ぶことにする)ができたと考えられた(Fig.1 参照)。この原因を調べるために、ESCA(Electron Spectroscopy for Chemical Analysis)を用いて、Mo/poly Si 界面の分析を行なった。

このように、蒸着膜と下地との界面状態が蒸着条件によって変わることは他の系でも観察されており、半導体素子の特性にも影響を与えるので、現象を理解して適当な対策を考える必要がある。以下、上記原因の究明と対策について述べる。

Fig.1 Schematic representation of resistance increase at Mo/poly Si interface after annealing at 1273 K in N_2 for 1 h.

* (株)日立製作所中央研究所(Central Research Laboratory, Hitachi Ltd., Kokubunji)

II. 研究 方 法

poly Si は低圧 CVD (Chemical Vapor Deposition ; 化学蒸着) 法で厚さ約 250 nm を SiO_2/Si 上に形成した。つぎに、スパッタ法により Mo をその上に厚さ数 ~ 150 nm 蒸着した。まず、真空度 10^{-4} Pa まで排気し、純度 99.999% の Ar を導入して、蒸着速度 $\sim 10^{-1}$ nm/s で Mo 膜の形成を行った。蒸着後の熱処理は O_2 を不純物として 1 $\sim$ 3 ppm 含む N_2 中で行った。また、一部 $\sim 10^{-5}$ Pa の真空中での加熱も行った。

分析には、日立 E-507 型 ESCA を用いた。真空度 0.1 mPa で X 線には $\text{MgK}\alpha$ を使い、 $\text{Au}4f_{7/2}$ の半値幅 1.4 eV のエネルギー分解能で測定した。Mo/poly Si 界面を調べるには、りん酸系エッチング液で Mo を除去するか、蒸着する Mo の厚さを数 nm 以下と薄くしてから、ESCA で検査した。ここで、この液は、ここで用いたような、厚さ 1 $\sim$ 10 nm 程度の酸化膜を有する Si を数 min 浸漬しても、酸化膜厚も、酸化膜の化合状態も変化させなかった (ESCA で検査するかぎり)。

III. 結果とその検討

Mo/poly Si 界面に存在する高抵抗層 X (Fig.1 参照) がなんであるかをまず調べ、続いて、この層 X がどのように形成されるかを明らかにし、最後に、この層の生成を阻止するための対策を検討する。

1. X 層はなにか？

まず、poly Si (前述のように、 SiO_2/Si 上に poly Si を蒸着したもの) 上に Mo を蒸着し、 N_2 中で 1273 K-1 h 加熱した試料表面を ESCA で検査すると、酸化した Si と金属 Mo が検出された。この層は、前述の Mo エッチング液に浸漬しても、溶けなかった。そこで、表面が Si 酸化物のようなもので覆われているのではないかと考えて、ふっ酸処理してから、Mo エッチング液に浸漬すると、予想通り poly Si 上の層は溶けた。そして、露出した poly Si 表面には、ESCA で検査すると、厚さ数 nm † の Si 酸化物が検出された (Fig.2 の一番上のスペクトル参照)。この Si 酸化物は、 $\text{O}1s$ と $\text{Si}2p$ (酸化) 電子ピーク強度比および、 $\text{Si}2p$ (酸化) と $\text{O}1s$ ピーク位置の差から推定すると、 SiO_2 であると考えられた (厚さ 8.0 nm で、 $\text{O}1s$ と $\text{Si}2p$ (酸化) ピーク強度比は 3.2 で、 $\text{Si}2p$ (酸化) と $\text{O}1s$ ピーク位置の差は 429.5 eV であった)。

このように、Mo/poly Si 界面に数 nm 厚の SiO_2 が形成されていれば、前述のような非常に高い抵抗を示すことが理解できる。なお、Fig.2 には、Mo 蒸着前の poly Si

Fig.2 Changes in $\text{Si}2p$ spectrum of Si substrate by Mo evaporation (by sputtering).

表面の ESCA スペクトルも示してある。そのとき酸化膜の厚さは 0.7 nm しかないもので、poly Si 表面は、Mo 蒸着からその後の加熱の過程で酸化してしまったことになる。次節では、蒸着のどの段階で poly Si が酸化したかを検討する。

2. X 層はどのようにして形成されるか？

もし、Mo と poly Si が本当に接触していれば、前述のように、800 K 程度で両者は反応して、 MoSi_2 の生成が始まるはずであるのに、本研究では、1273 K に加熱しても、 MoSi_2 は形成されず、Mo/poly Si 界面には Si 酸化物が形成されてしまった。

ここでは、どうしてこのようなことになったのかを検討する。poly Si 表面処理、Mo 蒸着、Mo 蒸着後の熱処理等のプロセスを追って、poly Si 表面の酸化膜の厚さを ESCA で求めて、どの時点で Si 酸化膜が成長したかを調べた。そして、そのように poly Si の酸化が進むために必要な酸素(O)がどこから供給されるかを明らかにした。

はじめに、プロセスの要所所で試料を抜き取り、poly Si 表面の酸化膜の厚さがどのように変わっていくかを調べた。その結果を Fig.2 に示す。まず、ふっ酸処理後、酸化膜の厚さが 0.7 nm であったのが、蒸着(スパッタ)装置装入後の加熱では変わらないが、少量(数 nm 厚)の Mo 蒸着により 1.4 nm になる。Mo の厚さを 10 nm, 150 nm と厚くしても、poly Si 上の酸化膜の厚さはほぼ同じであった。ところが、Mo と poly Si とが接触した状態で 1273 K で加熱すると、poly Si 酸化膜厚は急激に増加して、8.0 nm にも達した。したがって、前述のように、Mo を

† 酸化した Si と酸化していない Si のピーク強度比から推定した⁽⁶⁾。

蒸着しただけでは Mo/poly Si 間の接触抵抗が低く, Mo 蒸着後の高温加熱により, この抵抗が上昇するという結果が裏付けられた。

それでは, Mo 蒸着後の加熱によって, なぜ poly Si の酸化が進むのであろうか。この原因は 2 つ考えられる。(1) 加熱雰囲気 (N_2) 中の O が poly Si を酸化させる。(2) Mo 中に O があり, それが poly Si を酸化させる。

まず, (1) の加熱雰囲気の影響を調べるために, Si の酸化がほとんど進まない 1×10^{-5} Pa の真空中で Mo/poly Si の試料の加熱を行い, N_2 中で加熱した場合と比較した。そうすると, Fig.3 に示すように, 真空中でも, N_2 中でも, 違いが認められなかった。すなわち, 加熱雰囲気の影響ではなかったことになる。そこで, (2) の Mo 中の O かどうかを知るために, Mo の蒸着が進む各段階での Mo 表面の酸化状態を調べた。Fig.4 にその結果を示す。これを見ると, poly Si 上の Mo がごく薄い (数 nm 厚) ときに Mo が酸化している (M の値も大きい) ことが分かる。Mo の厚さが 10 nm かそれ以上あるときには, Mo はほとんど酸化していない。熱力学的に考えても, Mo の酸化物は SiO_2 に比し不安定であるので⁽⁷⁾,

のような反応が起こることは可能である。実際に, 酸化した Mo と Si とが共存する状態で加熱すると, Mo の酸化物は還元されて, Si は酸化されていた (Fig.5 参照)。

以上の結果より, poly Si の酸化が進んだのは, poly Si 表面近傍の Mo が酸化していて, 加熱中に式 (1) の反応が起きたためであると結論した。

最後に, この酸化膜の生成の温度依存性について検討する。形成される酸化膜の厚さは加熱時間の 0.5 乗に比例していて, その温度依存性は Fig.6 に示すようになった。ここで, 注目すべきことは次の 2 点である。

(1) 通常の熱酸化 SiO_2 (酸化雰囲気中加熱による Si 酸化膜) に比し, 酸化膜の生成が低温から観察され, その活性化エネルギー (0.54 eV) が小さい (熱酸化 SiO_2 の場合には O_2 あるいは $O_2 + H_2O$ 中で 0.7~1.2 eV 程度)⁽⁸⁾ ことである。

Fig.3 Annealing atmosphere dependence of Si2p spectra of Si at Mo/poly Si interface.

(2) 酸化膜の厚さがある温度以上で一定になってしまう。なぜ (1) のようになるかは明確ではないが, 気体中での酸化に比し, 表面の酸化剤 (O_2 や H_2O のようなもの) の濃度が高いことが考えられる。これは, Al 蒸着の初期に Si が AlO_x によって酸化されるのによく似ている⁽⁹⁾。ただし, 違うことは, Al の場合は, 加熱により, 酸化した Si は還元されるが, Mo の場合は, Si 酸化物は還元されないで, その厚さが増加する。

(2) のようになるのは, Mo 中の O が Si を酸化するため, その O がなくなると, 酸化膜厚がそれ以上増加しなくなるからであると考えられる。この実験では, かなり純度のよい

Fig.4 Thickness dependence of Mo3d spectra of Mo deposited on poly Si.

Fig.5 Reduction of Mo oxide by Si.

Fig.6 Temperature dependence of Si oxide formation at Mo/poly Si interface (d : thickness after annealing, d_0 : thickness before annealing).

$N_2(O_2 \sim 10^0 \text{ ppm})$ または真空中 ($\sim 10^{-5} \text{ Pa}$) で加熱したのでこのようになったが、もっと酸化性の雰囲気中で加熱していたなら、酸化膜厚の増加が認められていたと考えられる。

3. どのように X 層の生成を防止するか?

これまでの検討により、Mo 中に含まれていた O が Mo と接触している poly Si を酸化させていたことが分かった。これを防ぐには、つぎの 2 つの対策が考えられる。

(1) Mo 中の O を減らす。

(2) Mo の O を下地の poly Si 以外のものと反応させる。

(1) の対策を施せば、Mo/poly Si 界面の酸化物の生成は防げるが、Mo と poly Si の反応により $MoSi_2$ も形成されるようになる。抵抗が高くなってしまふことを除けば、 $MoSi_2$ でもよいが、形成時にかなり大きな体積収縮 ($> 20\%$) があり、 $MoSi_2$ がはがれることがある。また、Mo 中の O の量を制御して、Mo/poly Si 界面に形成される酸化膜の厚さを薄くする (反応はしないが電気は通る) ことは不可能ではないが、再現性を考えると、かなり困難である。したがって、(1) の対策は断念した。

(2) の対策としては、Mo より O と結合しやすい元素を Mo に添加してやればよい。ところが、ここでも、前述のように、Mo/poly Si 反応を抑える必要がある。これらのことを考えて、添加する元素として Si を検討した。なぜなら、Si は、O との結合力が Mo と O のそれより大きく、しかも、Mo に添加すれば、poly Si と O との反応を抑制することが期待できるからである。ただし、Si 添加により抵抗の増加があるが、これは止むを得ない。

ここでは、2 元蒸着法で $MoSi_2$ になるように Si を Mo に添加した蒸着膜を poly Si 上に形成した。 $MoSi_2$ /poly Si 間の接触抵抗を調べたら、 $100 \mu m^2$ 当たりになると、 $10^{-1} \Omega$ 程度の良好な電氣的接触[†]を示すことが分かった。また、この結果から予想できるように、 $MoSi_2$ /poly Si 界面での poly Si の酸化も Mo/poly Si の場合に比し少

なく、酸化膜の厚さは約 2 nm 以下であった。

以上の結果より、 $MoSi_2$ /poly Si 構造にすることにより、2 層間の電氣的接触が良好で、しかも、1273 K 程度の高温でも安定な 2 層ゲート電極が実現できることを明らかにした。この電極は polycide (poly Si と silicide の 2 層を意味する) と呼ばれ、現在、256 kb (キロビット) 以上の超高集積の MOS 型記憶素子 (MOS VLSI) に使われはじめている⁽¹⁰⁾。

IV. 結 論

MOS VLSI 用低抵抗ゲート電極としての Mo/poly Si の 2 層構造のゲート電極の検討において、2 層間の接触抵抗が異常に高くなるという問題が発生した。ESCA を用いて、この原因を調べ、その対策を明らかにした。得られた結果は以下の通りである。

(1) Mo/poly Si 間の接触抵抗が高くなるのは、Mo/poly Si 界面に Si 酸化膜が形成されるからである。

(2) この Si 酸化膜を作るために必要な O (酸素) は Mo (とくに、Mo/poly Si 界面近く) から供給される。

(3) Mo に Si をあらかじめ添加しておけば ($MoSi_2$ とする)、2 層間の接触抵抗を増加させず、熱的にも安定なゲート電極を実現できる。

ここで見いだしたような現象に類似した現象は他の系でも観察されており、この研究の結果からも明らかのように、蒸着膜と下地との界面状態を制御するには、蒸着条件の制御が非常に重要である。

最後に、この研究の進行中にご指導、ご討論下さった室蘭工業大学 谷口 哲先生、試料を提供して下さいた日立製作所デバイス開発センター 笠原 修氏に深く感謝する。

文 献

- (1) 岩田誠一: 日本金属学会会報, 25(1986), 491.
- (2) B.L.Crowder and S.Zirinsky: IEEE Trans. Electron Devices, ED-26(1979), 369.
- (3) A.K.Sinha: Japan J. Appl. Phys., Suppl.2, pt.1(1974), 487.
- (4) M.Kondo, T.Mano, H.Yanagawa, H.Kikuchi and T.Amazawa: IEEE Solid-State Circuits Conf. Dig. Tech. Papers, 21(1978), 148.
- (5) C.Y.Ting: Proc. IEEE Int. Electron Devices Meeting, (1984), 110.
- (6) A.Ishizaka, S.Iwata and Y.Kamigaki: Surf. Sci., 84(1979), 355.
- (7) O.Kubaschewski and C.B.Alcock: *Metallurgical Thermochemistry*, 5th Ed., Pergamon Press, Oxford, (1979), 378.
- (8) B.E.Deal and A.S.Grove: J. Appl. Phys., 36(1960), 131.
- (9) 岩田誠一, 中田健介, 菊池 彰: 日本金属学会誌, 50(1986), 287.
- (10) M.Ishihara, T.Matsumoto, S.Shimizu, K.Mitsusada and K.Shimohigashi: Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, (1982), 74.

† 1273 K-1 h の加熱でも安定であった。