デジタル電流制御方式とその特性

藤田英明*, 山下博史, 赤木泰文 (東京工業大学)

Control and Performance of Digital Current-Control Schemes

Hideaki Fujita, Hiroshi Yamashita, Hirofumi Akagi (Tokyo Institute of Technology)

1. ま え が き

近年のマイクロプロセッサや DSP の高速化・低価格化により、電力機器のデジタル制御が急速に普及してきた。アナログ制御器に対してデジタル制御器は、雑音やオフセット・ドリフトといった問題がなく、ゲインや時定数などの制御パラメータがソフトウェアだけで変更ができる等の特長を有している。さらに、適用制御等の複雑な制御アルゴリズムを実現する上では、制御則のソフトウェア化は欠かすことができない。

三角波比較方式の PWM インバータの場合、同期サンプリング方式が良く知られている^{(1) (2)}。これは、三角波キャリアの頂点でサンプリングを行うことにより、検出電流のスイッチングリプルを除去する方法である。一方、デジタル PWM 制御器では、PWM 信号を発生する際のデジタル比較器の誤動作や三角波キャリア 1 周期中の複数回スイッチングを避けるために、三角波キャリアの頂点で電圧指令値を変更する方式も良く用いられている。これらの方式を用いた場合には、電圧・電流をサンプリングして演算された電圧指令値は、早くとも次のキャリアの頂点まで反映されることなく、1 サンプル周期、すなわち三角波キャリア周期の 1 周期、あるいは 1/2 周期の遅延時間が生じる。

一般的な IGBT を用いた PWM インバータの場合、スイッチング周波数は 5 ~ 20 kHz の範囲であるので、遅延時間は 25 ~ 200 μ s 程度である。電流制御器の演算遅延は、単に電流追従の位相遅れを引き起こすだけではなく、電流フィードバック制御系に安定性の低下を生じる。このため、電流フィードバック制御にデジタル制御器を適用する場合、制御遅延が制御ゲインを設定する際の制限となり、位相遅れや定常偏差が発生する。このような制御器の遅延の問題に対して、デッドビート制御や予測制御法などを適用して過渡特性や位相特性を改善する方法が検討されてきた^{(3)~(8)}。近年、制御器の遅延が電流フィードバック制御に影響しない方式が報告されている。制御遅延補償法⁽⁹⁾は、制御遅延による電圧指令値の誤差を補償することにより、サンプリング周期内の平均電圧に遅延を生じない制御方式である。一方、PLD (Programmable Logic Device) を用いて実用上の演算遅延を生じないデジタル電流制御器^{(10)~(12)}も報告されている。

本論文の目的は、デジタル電流制御方式を同一の条件

で比較し、各方式の過渡応答や定常特性を明らかにすることにある。以下では、デジタル電流制御方式として、比例制御およびデッドビート制御と制御遅延補償法および PLD を用いた電流制御器の動作特性を取り上げる。これらのデジタル電流制御法について、理論的な動作解析と PSCAD/EMTDC を用いたシミュレーションにより、電流制御遅れや過渡特性を評価する。また、制御遅延補償法は電流応答に原理的な振動を生じることを明らかにし、修正制御遅延補償法を提案して電流応答の振動を抑制可能であることを確認する。

2. デジタル電流制御系のモデリング

〈2・1〉 シミュレーション回路構成 図 1 にシミュレーションに用いた回路構成を示す。主回路は、IGBT を用いた単相電圧形インバータとし、簡単化のため、負荷はインダクタ L のみとしている。実際の負荷は、抵抗分や起電力などの要素を含んでいるが、これらはフィードフォワードなど方法を用いて補償可能であるので、ここでは無視する。また、シミュレーションではスイッチング周波数を 10 kHz とした。

デジタル制御器は、電圧指令値演算と PWM 制御器から構成される。デジタル PWM 制御器は、三角波キャリアを発生するカウンタとデジタルコンパレータにより構成する。電圧指令値 v^* とカウンタの出力の一致あるいは大小を比較し、スイッチング素子のターンオン・オフする時刻を判定してゲート信号を出力する。一般に、電圧指令値演算は CPU や DSP 等の内部でソフトウェアとして実行され、PWM 制御器に電圧指令値 v^* を与える。負荷電流 i は A/D 変換器によりサンプリングして取り込まれるが、電流指令値 i^* は、通常同一の CPU や DSP の内部で演算される。このとき、CPU や DSP 内部の処理には演算時間が必要である。

〈2・2〉 電圧指令値の出力タイミング 図 2 に同期サンプリングの原理を示す。最近の CPU および DSP や A/D 変換器は高速なサンプリング・演算が可能になってきている。しかし、高速な電圧・電流制御を行おうとして制御回路のサンプリングレートを高くしても、PWM 制御器のコンパレータの誤動作を避けるためには、PWM の制御周期毎にしか電圧指令値を変更することはできない。もし、カウンタ出力の三角波キャリアの途中で電圧指令値を変更すると、

図 1 シミュレーション回路構成

Fig.1. Circuit configuration for the following simulation.

図 2 同期サンプリング (両側サンプリング)

Fig.2. Synchronous sampling.

デジタルコンパレータの一致判定ができなかったり、1 スイッチング周期の間に複数回のスイッチングを生じる場合がある。図 2 のように、三角波キャリアの頂点で電圧指令値を変更すれば、電圧指令値と三角波キャリアは半周期に 1 度だけ一致する。組み込み用 CPU・DSP の PWM 制御器では、コンパレータの誤動作を避けるために、電圧指令値を一時的に記憶してキャリアの頂点でコンパレータに渡すダブルバッファ方式を採用する場合が多い^{(13) (14)}。以上のように、PWM インバータに用いるデジタル制御器に必要なサンプリングレートはキャリア周波数と同じ、あるいは 2 倍でよい。通常、IGBT 等を用いた電圧形 PWM 変換器のスイッチング周波数は $f_{sw} = 5 \sim 20 \text{ kHz}$ であるので、電圧・電流の検出・制御系に必要なサンプリングレートは $5 \sim 40 \text{ kS/s}$ 程度である。

〈2・3〉 同期サンプリング 一方、PWM 変換器の電圧・電流にリップル成分が含まれたままサンプリングを行うと、サンプリング周波数の 1/2 倍以上の周波数成分がエリアシング (折り返しひずみ) を生じる。エリアシングを避けるためには、電圧・電流のリップル成分を除去する必要があるが、A/D 変換器の前段にフィルタを接続すると、位相遅

図 3 一般的なデジタル制御器のタイムチャート

Fig.3. Timing chart of a general digital controller.

図 4 1 スイッチング周期に 2 回サンプリングする場合のタイムチャート

Fig.4. Timing chart in case of processing of two samples in one switching period.

れが生じて高速な電流制御を行う際に問題となる。

これらの問題を解決するために、同期サンプリング方式が用いられる^{(1) (2)}。インバータ出力電圧 v をインダクタ L に印加した時の電流は、 $i = \int (v/L) dt$ である。PWM 周期中の平均電圧 $\bar{v}$ を考えると、リップルを無視した電流は $i' = \int (\bar{v}/L) dt$ となる。PWM 周期中の電圧指令値 v^* が変化しないとすると、PWM 周期中の平均電圧 $\bar{v}$ は v^* と一致する。つまり、 i と i' は PWM 周期毎に一致することになる。したがって、キャリアの頂点でサンプリングを行えば、スイッチングリップルに起因するエリアシングを生じない。

〈2・4〉 制御系のモデリング 図 3, 4 にデジタル制御器のタイムチャートを示す。図 3 は 1 スイッチング周期に 1 回サンプリングを行った場合、図 4 は 2 回のサンプリングを行った場合である。いずれの場合も、電流のサンプリングと電圧指令値の出力を共にキャリアの頂点で行おうとすると、電圧指令値演算には演算時間が必要となるため、演算終了から電圧指令値出力までに「待ち時間」が生じる。その結果、電流サンプルから PWM 制御器に電圧指令値が渡されるまでに 1 サンプル周期分の制御遅延が発生する。図 3, 4 を比較すれば、同じキャリアを用いてもサンプリング周期が異なることが分かる。一般に、PWM インバータでは使用するスイッチング素子などによってスイッチング周波数 f_{sw} 、すなわちキャリアの周波数が決定される。した

図 5 電流制御系のブロック線図

Fig. 5. Block diagram of the current control.

図 6 電流制御系のパルス伝達関数

Fig. 6. Pulse transfer function of the current control.

がって、制御方式の過渡応答の評価を行う上では、整定に要するサンプル数ではなく、キャリアの周期 $T_{sw} = 1/f_{sw}$ に対する整定時間で比較する必要がある。

図 5 にデジタル電流制御系のブロック線図を示す。 $G_C(s)$ は電圧指令値演算の伝達関数である。ホールド関数 $H(s)$ は、PWM 制御器とインバータを合わせた伝達関数であり、サンプリング周期の間に平均電圧を出力すると仮定している。したがって、PWM 制御に伴う電流リップルは無視している。 $G_C(s)$ と $H(s)$ の間の遅延要素 e^{-sT_s} は、演算時間と待ち時間を合わせた制御遅延であり、スイッチング周期 T_{sw} 、あるいは $T_{sw}/2$ である。

3. 電流制御法

図 6 は、図 5 の電流制御系をパルス伝達関数で表したブロック線図である。図 5 のインダクタ L の電流 i は連続時間系であり、単独ではパルス伝達関数にすることはできない。図 6 では、PWM インバータとインダクタの伝達関数を合わせて、一つのパルス伝達関数としている。ここで、 $G_C(z)$ の設計法として、比例制御とデッドビート制御が考えられる。

〈3・1〉 比例制御 図 6 の $G_C(z)$ を、

$$G_C(z) = K \quad (1)$$

として与える。サンプリング周期を T_s として、比例制御の閉ループパルス伝達関数は、

$$W(z) = \frac{I_C^*}{I_C} = \frac{KT_s/L}{z^2 + z + KT_s/L} \quad (2)$$

となる。ここで、式 (2) の特性根は、

$$z = \frac{1}{2} \pm \sqrt{\frac{1}{4} - \frac{KT_s}{L}} \quad (3)$$

となる。従って、比例制御を用いた場合の安定限界は、

図 7 制御遅延のない電流制御のタイムチャート

Fig. 7. Timing chart of a current controller without any delay.

$$K = \frac{L}{T_s} \quad (4)$$

となる。しかし、安定限界付近の振動的な応答は実用的ではない。応答が振動的にならないためには、式 (3) が実数根で無ければならないので、

$$K = \frac{L}{4T_s} \quad (5)$$

が適正な制御ゲインとなる。この時の閉ループ伝達関数は、

$$W(z) = \frac{1/4}{(z - 1/2)^2} \quad (6)$$

となる。

〈3・2〉 デッドビート制御 デッドビート制御は、制御量を有限の時間で整定させる制御法であり、現在では広く用いられている。図 6 の閉ループ伝達関数は、

$$W(z) = \frac{G_C(z)z^{-1}\frac{T_s/L}{z-1}}{1 + G_C(z)z^{-1}\frac{T_s/L}{z-1}} \quad (7)$$

である。図 1 の場合、制御回路の 1 サンプルの制御遅延とインダクタ電流が変化する時間を考えると、電流の整定には最短でも 2 サンプルの時間が必要となる。したがって、電流制御系の応答を、

$$W(z) = z^{-2} \quad (8)$$

として、式 (7) に代入して $G_C(z)$ を求めると、

$$G_C(z) = \frac{L}{T_s} \frac{z}{z+1} \quad (9)$$

となる。

4. 制御遅延が電流制御に影響しない制御法

図 7 に制御遅延がない場合のタイムチャートを示す。制御遅延がなければ、電流制御系の応答を改善できることは容易に想像できる。制御遅延を無視すると、電流制御系の閉ループ伝達関数は、

$$W(z) = \frac{G_C(z) \frac{T_S/L}{z-1}}{1 + G_C(z) \frac{T_S/L}{z-1}} \dots\dots\dots (10)$$

となる。ここで、制御回路の伝達関数を $G_C(z) = K$ とし
て比例制御を考える。このとき、特性方程式の解は、

$$z = 1 - K \frac{T_S}{L} \dots\dots\dots (11)$$

であり、

$$K = \frac{L}{T_S} \dots\dots\dots (12)$$

とすると、特性方程式の根は $z = 0$ 、すなわちデッドビート
応答となる。このときの電流制御系の応答は、

$$W(z) = \frac{K \frac{T_S/L}{z-1}}{1 + K \frac{T_S/L}{z-1}} = \frac{1}{z} \dots\dots\dots (13)$$

となり、1 サンプル遅延の応答が得られる。

〈4・1〉 PLD を用いたデジタル電流制御器 近年で
は、携帯電話や CCD スキャナ用の A/D 変換器が高速・低
価格化しており、PLD や FPGA などの論理回路と組み合わ
せて、電流制御器を構成することができる。PLD や FPGA
などのハードウェアで電流制御演算を行えば、CPU や DSP
などのソフトウェア演算に比べて、高速な制御演算が可能
である。前述の同期サンプリングを用いて、キャリアの頂
点でサンプリングを行い、直ちに電圧指令値を PWM 制御
器に反映することができる。

厳密には、キャリアの頂点から演算時間だけ遅れて電圧
指令値を与えることになるため、コンパレータの一致判定
が生じなかったり、複数回スイッチングを生じる可能性が
ある。これを避けるためには、演算時間に相当する電圧だ
け、電圧指令値に制限を設ければよい。CPU や DSP を用
いた場合でも同様の手法を用いることができるが、スイッ
チング周波数が低い場合でなければ、電圧指令値の制限が
大きくなり、実用的ではないと考えられる。

〈4・2〉 制御遅延補償法 図 8 に制御遅延補償法の
タイムチャートを示す。これは、キャリアの一周期の間
に二点サンプリング・電圧指令値出力できることに着目し、
キャリア一周期の平均電圧に制御遅延が現れないようにす
る補償法である。PLD などのハードウェアを用いる必要が
なく、CPU・DSP のソフトウェアだけで実現することがで
きる。

まず、サンプリングをキャリアの頂点の一方で行う場合
で、サンプリングの半周期以内で電圧指令値が演算でき
るとすると、次のサンプル点まで待たなくても、次のキャ
リアの頂点で電圧指令値を出力することができる。この場
合には、制御遅延はサンプリング周期の 1/2 となる。こ
こで、サンプル点間の出力電圧の平均値 $\bar{v}$ を考える。サ
ンプリグ周期の後半では、電圧指令値 v_n^* を出力する
が、前半の区間では 1 サンプル前の電圧指令値 v_{n-1}^*
を出力するため、

図 8 制御遅延補償法のタイムチャート

Fig.8. Timing chart of the delay compensation method.

PWM インバータが $v = v^*$ の理想的な電圧を出力したと
すると、平均電圧 $\bar{v}$ は、

$$\bar{v}_n = \frac{v_{n-1}^* + v_n^*}{2} \dots\dots\dots (14)$$

となり、電圧指令値との間に誤差を生じる。これは、サンプ
リング周期の前半で、

$$\Delta v_n = v_n^* - v_{n-1} \dots\dots\dots (15)$$

の誤差が生じているためである。この誤差 Δv_n を電圧指
令値 v_n^* に加え、PWM インバータの出力電圧 v が

$$v_n = v_n^* + \Delta v_n^* \dots\dots\dots (16)$$

となるように制御すると、平均電圧 $\bar{v}$ は、

$$\bar{v}_n = \frac{v_{n-1} + v_n^* + \Delta v_n}{2} = v_n^* \dots\dots\dots (17)$$

となる。すなわち、サンプル点間の平均電圧 $\bar{v}$ には制御遅
延の影響が現れない。式 (12) の制御ゲインを与えると、電
流制御系は 1 サンプル整定のデッドビート応答となる。

ここで、制御遅延補償法の補償項 Δv_n について考える。
式 (16) に式 (15) を代入して PWM インバータの出力する
電圧 v_n を求めると、

$$v_n = v_n^* + \Delta v_n^* = 2v_n^* - v_{n-1} \dots\dots\dots (18)$$

となる。パルス伝達関数は

$$v = 2v^* - z^{-1}v \dots\dots\dots (19)$$

であり、PWM インバータ出力電圧 v について解くと、

$$v = \frac{2z}{1+z} v^* \dots\dots\dots (20)$$

となる。特性方程式の解は $z = -1$ となるので、インバ
ータ出力電圧には、サンプリング周波数の 1/2 の周波数の非
減衰振動が現れる。

図9 修正制御遅延補償法のタイムチャート

Fig. 9. Timing chart of the modified delay compensation method.

〈4・3〉修正制御遅延補償法 前節の制御遅延補償法の振動は、制御遅延を補償するために加えた補償項 Δv が次のサンプリング周期の前半にも現れるためである。従って、制御遅延の補償項をサンプリング周期の後半のみに加えれば振動を抑制することができる。図9に修正した制御遅延補償法のタイムチャートを示す。サンプリング周期の前半のPWMインバータ出力電圧は v_n は、

$$v_{1n} = v_{n-1}^* \dots \dots \dots (21)$$

とし、サンプリング周期の後半では、

$$v_{2n} = v_n^* + \Delta v_n = 2v_n^* - v_{n-1}^* \dots \dots \dots (22)$$

とする。このとき、サンプル点間の平均電圧は

$$\bar{v} = \frac{v_{1n} + v_{2n}}{2} = v_n^* \dots \dots \dots (23)$$

となり、平均電圧には制御遅延が現れない。式(22)のバルス電圧関数は、

$$v_2 = 2v^* - z^{-1}v^* = (2 - z^{-1})v^* \dots \dots \dots (24)$$

となり、特性方程式に根を持たない。したがって、制御遅延補償法のような振動を生じない。

5. シミュレーション結果

図10~15にシミュレーション結果を示す。シミュレーションの条件として、スイッチング周波数を $f_{SW} = 10 \text{ kHz}$ としており、制御方式によってサンプリング周波数は異なるので、注意を要する。シミュレーションでは、平均電圧モデルを用いたため、電流波形にスイッチングリップは現れない。また、インバータ出力電圧には制限を設けていないため、電圧の飽和は考慮されていない。

図10, 11は、比例制御を用いた場合のシミュレーション波形である。図10は、キャリア頂点の片側のみサンプリングを行った場合であり、サンプリング周期は $T_s = 1/f_{SW} = 100 \mu\text{s}$ である。一方、図11は、キャリア頂点の両方でサンプリ

図10 1スイッチング周期に1回サンプルする比例制御のシミュレーション波形

Fig. 10. Simulation waveform in case of the proportional control which processes one sample in one switching period.

図11 1スイッチング周期に2回サンプルする比例制御のシミュレーション波形

Fig. 11. Simulation waveform in case of the proportional control which processes two samples in one switching period.

ングを行った場合で、 $T_s = 50 \mu\text{s}$ である。両者は、同じパルス伝達関数を有するが、図11の方が高速な応答が得られている。また、両者ともに式(5)の振動を生じないゲインに設定しているが、サンプリング周期が異なるため、図11のゲインは図10の二倍になっている。したがって、定常偏差や外乱に対する特性は、図11の方が優れる。

図12はデッドビート制御を適用した場合のシミュレーション波形である。電流指令値 i^* は変化後 $50 \mu\text{s}$ の間は、制御遅延のため実電流 i は変化しないが、次の $50 \mu\text{s}$ 後に指令値 i^* と一致している。その後の i は電流指令値に追従して一定となっている。このときのPWMインバータの出力電圧最大値は 80 V であった。

図13にPLDを用いた電流制御器のシミュレーション波形を示す。図12と同様にデッドビート応答が得られているが、制御遅延が無いため、電流指令値 i^* の変化直後に実電流 i が増加し始め、 $50 \mu\text{s}$ 後には指令値に一致している。したがって、図12に比べて、過渡応答に対する遅れは $1/2$ であり、交流信号に対する位相遅れも $1/2$ にできる。また、

図 12 デッドビート制御のシミュレーション波形
Fig. 12. Simulation waveform in case of the dead-beat control.

図 13 PLD を用いた電流制御器のシミュレーション波形
Fig. 13. Simulation waveform in case of the current controller using PLDs.

図 14 制御遅延補償法のシミュレーション波形
Fig. 14. Simulation waveform in case of the delay compensation.

このときの PWM インバータ出力電圧最大値は 80 V で、デッドビート制御と同じである。

図 14 は制御遅延補償法のシミュレーション波形である。制御遅延補償法は、1 スイッチング周期に 1 回しかサンプリングを行わないので、サンプリング周期 $T_S = 100 \mu s$ となっている。PWM インバータの出力電圧平均値の遅延は補償できるが、従来の方式と同様に制御遅延は存在するた

図 15 修正制御遅延補償法のシミュレーション波形
Fig. 15. Simulation waveform in case of the modified method of the delay compensation.

め、電流指令値変化の $50 \mu s$ 後から実電流 i が上昇し、さらに $50 \mu s$ 後に指令値に一致している。サンプル点の電流 i_S に注目すると、サンプル点毎には実電流 i と電流指令値 i^* は一致しており、サンプル値制御系として見ればデッドビート応答となっていると言える。しかし、実電流 i には、電流指令値 i^* と同じ振幅の振動が生じている。これは、制御遅延の補償項が次のサンプル点では平均電圧の誤差として現れるため、補償項の振動に伴って実電流にも振動が現れる。

図 15 は修正制御遅延補償法のシミュレーション波形である。図 14 と比較すると、電流指令値 i^* の変化から $100 \mu s$ までの応答は同様であるが、 $100 \mu s$ 以降では実電流 i の振動が抑制されている。修正制御遅延補償法では、制御遅延の補償項が次のサンプル期間に現れないためである。また、50% のオーバーシュートを生じているが、 $200 \mu s$ 以降の i は指令値に一致している。このときの PWM インバータの出力電圧最大値は 80 V であり、デッドビート制御や PLD を用いた制御と同じである。

6. デジタル電流制御方式の特性比較

各電流制御方式の比較を表 1 に示す。この比較では、適用する制御法が変わっても PWM インバータのスイッチング周波数 f_{SW} は一定であるとし、スイッチング周期 $T_S = 1/f_{SW}$ を用いて整理している。比例制御では、実電流が指令値に一致するのは無限時間後であるので、参考として実電流が指令値のおよそ 90% に達する時間を () で示している。比例制御の 1 スイッチング周期に 1 回のサンプリングを行う場合と比べて、2 回のサンプリングを行う方が応答が速い。また、両者は共に式 (5) の振動を生じないゲインに設定しているが、サンプリング周期 T_S が異なるため、2 回サンプリングの方が 2 倍のゲインとなり、定常偏差は $1/2$ となる。

整定時間・定常偏差では、PLD を用いた制御器が最も優れる。同じ制御遅延が影響しない制御遅延補償法、修正制御

表 1 デジタル電流制御法の比較

Table 1. Comparison of the digital current-control methods.

	サンプル 周期	整定時間	実電流の 整定時間	オーバー シュート	定常偏差
比例制御	T_{sw}	—	$(8T_{sw})$	0	$4T_{sw}V_D/L$
比例制御	$T_{sw}/2$	—	$(4T_{sw})$	0	$2T_{sw}V_D/L$
デッドビート制御	$T_{sw}/2$	T_{sw}	T_{sw}	0	$T_{sw}V_D/L$
PLD 制御器	$T_{sw}/2$	$T_{sw}/2$	$T_{sw}/2$	0	$T_{sw}V_D/2L$
制御遅延補償法	T_{sw}	T_{sw}	—	100% (振動)	$T_{sw}V_D/L$
修正制御遅延補償法	T_{sw}	T_{sw}	$2T_{sw}$	50%	$T_{sw}V_D/L$

注 T_{sw} : スイッチング周期, V_D : 外乱として加えた電圧である。

遅延補償法と比べて, PLD を用いた制御器のサンプリング周期が $1/2$ であるためである。制御遅延補償法, 修正制御遅延補償法とデッドビート制御を比較すると, 振動やオーバーシュートが現れる点異なるが, 整定時間と定常偏差は同じである。制御遅延補償法, 修正制御遅延補償法のサンプリング周期はデッドビート制御の $1/2$ ですむので, A/D 変換器をマルチプレクサで切り替えて使用する場合や CPU や DSP の処理がキャリア半周期で終了できない場合には有効であると考えられる。

7. む す び

本論文では, デジタル制御法・制御器の動作特性をシミュレーションにより比較検討した。制御法・制御器として, 比例制御, デッドビート制御, PLD を用いた制御器および制御遅延補償法を取り上げた。PLD を用いた制御器は, 整定時間や定常偏差などの点で最も優れるが, 専用のハードウェアが必要であり, 現在主流となっている制御用 CPU や DSP をそのまま用いることはできない。一方, 現在の CPU・DSP が使用できるデッドビート制御や制御遅延補償法は, 整定時間や定常偏差は同じであることを確認した。また, 制御遅延補償法は電流に振動を生じることを明らかにし, 電流の振動を低減可能な修正制御遅延補償法を提案した。

文 献

- (1) T. Ômae, K. Kubo, M. Watanabe: "Microprocessor-based direct digital control for inverter drives," Hitachi Review, vol.65, no.4 pp.267-272 (1983.4)(in Japanese) 大前力, 久保謙二, 渡邊正彦: 「マイクロプロセッサによるインバータの直接デジタル制御」, 日立評論, vol.65, no.4 pp.267-272 (1983.4)
- (2) Y. Yamamoto, T. Yamada, T. Ichikawa, T. Niwa: "A current control method using synchronous current detection with PWM signal," 1990 National convention record IEE Japan, Industry Applications Society, no.75, pp.315-318, (1990.8)(in Japanese) 山本康弘, 山田哲夫, 市川忠志, 丹羽亨: 「PWM 同期電流サンプルによる電流制御」, 平成 2 年電気学会産業応用部門全国大会, no.75, pp.315-318 (1990.8)
- (3) K. P. Gokhale, A. Kawamura, R. G. Hoft: "Dead beat microprocessor control of PWM inverter for sinusoidal output waveform synthesis," IEEE Trans. on Industry Applications, vol.23, no. 5, pp.901-910 (1987)
- (4) J. Holtz, B. Beyer: "Fast current trajectory tracking control based on synchronous optimal pulsewidth modulation," IEEE Trans. on Industry Applications, vol.31, no.5, pp.1110-1120, (1995)
- (5) O. Kukrer: "Discrete-time current control of voltage-fed three-phase PWM inverters," IEEE Trans. on Power Electronics, vol.11, no. 2, pp.260-269 (1996)
- (6) L. Malesani, L. Rossetto, P. Tomasini, A. Zuccato: "Digital adaptive hysteresis current control with clocked commutations and wide operating range," IEEE Trans. on Industry Applications, vol.32, no. 2, pp.316-325 (1996)
- (7) F. Kamran, T. G. Habetler: "Combined deadbeat control of a series-parallel converter combination used as a universal power filter," IEEE Trans. on Power Electronics, vol.13, no. 1, pp.160-168 (1998)
- (8) P. Jintakosonwit, H. Fujita, H. Akagi: "Consideration of a fully-digital-controlled active filter for installation on power distribution systems," T. IEE Japan, vol.121-D, no.3, pp.316-324 (2001.3)(in Japanese) Jintakosonwit Pichai, 藤田英明, 赤木泰文: 「配電系統用アクティブフィルタの全デジタル制御システムとその留意点」電学論 D, 第 121 巻, 第 3 号, pp.316-324 (2001.3)
- (9) M. Saitou, N. Matsui: "A design method of current control system using digital controlled PWM inverter," Rec. SPC/IEA joint meeting of IEE Japan, no. SPC-03-107/IEA-03-20, pp.19-24 (2003.6)(in Japanese) 齋藤真, 松井信行: 「デジタル制御 PWM インバータを用いた電流制御系の一制御法」, 電気学会半導体電力変換/産業電力電気応用合同研究会資料, SPC-03-107/IEA-03-20, pp.19-24 (2003.6)
- (10) Y. Shiraishi, S. Ogasawara, H. Fujita: "A PLD-based digital controller capable of fast current response," Proceedings of the 2001 Japan Industry Applications Society Conference, no.301, pp.1527-1528 (2002.8) 白石有貴延, 小笠原悟司, 藤田英明: 「PLD (Programmable Logic Device) を用いた高速デジタル電流制御器」, 産業応用部門大会, no.314, pp.1579-1582 (2001.8)
- (11) Y. Shiraishi, S. Ogasawara, H. Fujita: "A rapid current controller consisting of fully hardware digital circuits —Influence of voltage saturation on current response characteristics—," Proceedings of the 2002 Japan Industry Applications Society Conference, no.301, pp.1527-1528 (2002.8) 白石有貴延, 小笠原悟司, 藤田英明: 「全ハードウェア構成高速デジタル電流制御器 —電圧飽和時の特性—」, 産業応用部門大会, no.301, pp.1527-1528 (2002.8)
- (12) J. Mossoba, P. W. Lehn: "A controller architecture for high bandwidth active power filters," IEEE Trans. on Power Electronics, vol.18, no.1, pp.317-325 (2003.1)
- (13) 日立製作所: 「SH7144 シリーズ ハードウェアマニュアル」(2001.9)
- (14) Analog Devices: "Single-chip, DSP-based high-performance motor controller ADMC401 datasheet," (1999)
- (15) I. Takahashi, H. Mochikawa: "A new control of PWM inverter waveform for minimum loss operation of an induction motor drive," IEEE Trans. on Industry Applications, vol.21, no.4, pp.580-587, (1985.4)

質 疑

西田保幸先生 (日本大学)

質問 制御的な観点から即応性改善などを指向して PWM パターンを改善する事と定常特性の観点でフィルタ後の波形の品質を向上させる為の PWM パターン改善との関連性についてご検討されていたら教えてください。

回答 一般的なデジタル制御では、固定周波数でサンプリングを行うため、キャリア比較方式の PWM 制御を用いると比較的簡単に構成できます。一方、空間ベクトル方式では、線間電圧に注目し零相電圧の自由度を生かして、一相のスイッチングを行わない二相スイッチングを行うと、平均スイッチング周波数が同じでもスイッチングリップルを低減できることはよく知られています。空間ベクトル方式も固定周波数で制御することができますので、本論文でご紹介したような高速な電流制御方式と併用すれば、スイッチングリップルの低減と高速な電流制御を両立することができると考えられます。

質問 キャリア比較法で PWM パターンを発生させると、スイッチング周期内で指令値が右上がり (右下がり) の場合には PWM パルスは右 (左) 寄せ配置となりますが、デジタル的 PWM パターン発生では PWM パルスを中央配置にしたりして指令値の (スイッチング周期内の) 変化は反映させていないと思います。これは PWM の側帯波に影響を及ぼすか関心があります。

回答 パルスの配置によって側帯波の発生量は変わってきます。本論文の制御方式の場合サンプリング周波数をキャリア周波数と同じか 2 倍にしていますので、定常状態における側帯波の発生量は基本的にはキャリア比較法と同じになります。

森本篤史様 (松下エコシステムズ)

質問 制御方式は、各種機器によっても異なると思いますが、時間的遅延が許容されにくいもの (負荷と並列に接続するアクティブフィルタなど) は、高調波を補償できずに、悪化することはありませんか。

回答 一般的な、負荷電流検出方式のアクティブフィルタでは、電流応答の時間的遅延は直ちに補償電流の位相遅れとなります。負荷が発生する高調波電流の周波数で位相遅れが 60° 以内であれば、電源へ流出する高調波電流は低減しますが、 60° 以上の遅延がある場合には、高調波電流はむしろ増加することになります。

質問 実際に、電圧フィードバック形のアクティブフィルタでは、どの程度の遅延あり、補償性能にどの程度影響がありますか。

回答 電圧検出方式のアクティブフィルタは、基本的にダンピング抵抗として動作しますので、 90° 以上の位相遅れが生じると負性抵抗として動作するため、高調波の補償はできません。表 1 のように、デジタル電流制御にデッドビート制御を用いた場合、遅延時間はスイッチング周期程度になります。つまり、スイッチング周波数を 10 kHz とすれば、100 μ s の遅延が生じることとなりますので、 90° の位相遅れが生じる周波数は 2.5 kHz となります。これ以上の周波数の高調波に対しては補償効果は得られないこととなりますが、通常の配電系統で問題となる高調波は 13 次 ($50 \text{ Hz} \times 13 = 750 \text{ Hz}$) 以下ですので、10 kHz 程度のスイッチング周波数であれば、実用上は問題が無いと考えられます。