アバランシェ耐量を有する FRD を使用した PFC 付き高効率直流電源の開発

森本 裕貴* 檀上 謙三* 山本 浩史*

吉元 伸夫* 西村 良和* 奥村 三郎*

Development of High Efficiency DC Power Supply with PFC applied avalanche type FRD

Non-Member, Hiroki Morimoto*, Member, Kenzo Danjo*, Member, Hirofumi Yamamoto*

Non Member, Nobuo Yosimoto*, Member, Yosikazu Nishimura*, Member, Sabro Okumura*

In order to prevent global warming caused by carbon dioxide (CO₂), several improvements of efficiency are requested from the viewpoint of energy conservation for products in the power electronics field. One of methods to improve the efficiency of DC power supply with PFC (Power Factor Correction) is to decrease the power losses of FRD (Fast Recovery Diode). In this paper, we show the effect of FRD with high avalanche capability in a real machine of 3kW output power which has the secondary rectifier and PFC circuit, and the remarkable improvement of power losses is achieved in that real machine.

キーワード：アバランシェ、高速リカバリーダイオード、損失低減、高効率変換器、整流回路

Keywords：avalanche、FRD (Fast Recovery Diode)、decreasing power losses、PFC (Power Factor Correction)、rectifier circuit

1. はじめに

二酸化炭素(CO₂)の排出による地球温暖化が問題となる中で、省エネルギーの観点からパワーエレクトロニクス分野の製品に対しても、更なる効率の向上が求められている。そのような背景から、スイッチングのターンオフ時間の高速化とオン電圧の低減を目指し、MOSFET や IGBT の新世代としてパワーデバイスの開発⁽¹⁾がなされてきた。また、電力変換回路の分野では、ソフトスイッチング方式の研究やドライブ回路技術の改善^{(2)~(3)}など様々な研究がなされている。

力率改善 (PFC : Power Factor Correction) 回路付き直流電源回路の効率を向上させるための一つの手法として、アバランシェ耐量を有する FRD (Fast Recovery Diode) を使用しての損失低減が提案⁽⁴⁾されている。この電源回路で FRD を使用している箇所は、昇圧チョッパで構成される PFC 回路と 2 次側整流回路 (Fig.1) にあるが、これらに使用される FRD は、回路電圧と回路内インダクタンスにより発生するサージ電圧が重畳されるため、設計上、この印加電圧よりもマージンを持たせた逆方向耐圧の高い FRD を選定するこ

とになる。そのため、逆方向耐圧の高い FRD は、順方向電圧降下 (V_F) が大きく、逆回復時間 (t_{rr}) も大きい場合、損失が増加する傾向にある。

Fig.1 The photograph of DC power supply and circuit figure.

また、FRD の転流時の di/dt を大きくし、MOSFET のターンオン損失を小さくしようとすると、FRD のリカバリー電流が増加し、サージ電圧が発生するため、FRD の耐圧オーバー及び、それと並列に接続した IGBT 等のスイッチング素子の耐圧オーバーで素子破壊を起こす場合やノイズ問題が発生

* 株式会社 三社電機製作所
〒533-0031 大阪市東淀川区西淡路 3-1-56
SANSHA ELECTRIC MFG. CO., LTD.
3-1-56, Nishiawaji, Higashiyodogawa, Osaka, 533-0031 Japan
Phone: 06-6321-0323 / FAX: 06-6321-0504

する。このため、電源効率の向上は困難なように思われ、高周波 DC/AC インバータや高周波スイッチング DC/DC コンバータにおいて、FRD のリカバリモードでの効率改善の課題がいまだ残っているように思える。そこで、PFC 回路部及び 2 次側整流回路部にアバランシェ耐量の大きい FRD を用いることで、回路電圧に適した低逆方向耐圧素子により、低オン電圧、高速リカバリの FRD が使用でき、効率の向上が図られると考えた。このことを検証するため 3kW 出力の実機を使用して PFC 回路及び 2 次側整流回路の各々について、スイッチング波形及び入出力効率の測定を測定した。その結果を以下に示す。

2. アバランシェ耐量 FRD について

アバランシェ耐量 FRD を単体（L 負荷テスト回路）で評価したときのアバランシェ動作電圧・電流波形を Fig.2 に示す。約 210V で電圧がクランプ（ BV_R ）され、アバランシェ電流が流れだす現象がうかがえる。また、安全動作領域の目安となるアバランシェ電流ピーク（ I_{AP} ）に対するアバランシェエネルギー耐量（EAS）の関係を Fig.3 に示す。このような特性をもった FRD を実機に組み込み、各種測定をおこなった。

Fig. 2. Reverse recovery waveform .
($V_R=100V$, $I_F=100A$, $-di/dt=200A/\mu s$, $T_j=150^{\circ}C$)

(a)Avalanche RBSOA of FRD
Fig. 3. EAS of FRD by UIS(Unclamped Inductive Switching)

3. 2 次側整流回路への適用

Fig.4 に 2 次側整流回路の実験に用いた回路図を示す。実機では、下記の 2 石フォワードコンバータ回路を 2 つ持ち、2 次側ダイオードを突き合わせた回路方式を採用している。

Fig.4 The circuit figure of two-transistor forward converter.

また、実機試験条件を Table.1 に示す。尚、ここでは PFC 回路部の記載を省いているが、検証にあたっては、PFC 回路を含んだ評価を行なっている。

Table.1 The measurement condition for the real machine.

名称	記号	パラメータ
入力電源電圧/周波数	V_{in}	AC200V/60Hz
DC バス電圧	V_{dc}	DC 380V
コンバータ回路 動作周波数	f	100 kHz
出力電圧	V_{out}	DC 30V
出力電流	I_{out}	DC 100A
出力電力	P_{out}	3000W
MOS FET	Q1-Q2	600V/75A
FRD (DBA200UA40)	D1-D2	400V/200A

通常、整流ダイオード（D1）には、トランス巻数比で設計された 2 次側巻線電圧の 2 倍の電圧が印加されるリアクトル電流不連続モードがある。このモード下では、2 倍の電圧に対して、更にサージ電圧が加わることから、逆方向耐圧の高い素子が選定される。従来の 400V 耐圧 FRD における整流ダイオードの電圧・電流波形を Fig.5 に示す。この波形から、常温時でサージによるピーク電圧が 187V 発生しており、使用環境状況が高温($T_j=125^{\circ}C$)になるとリカバリ特性が 2〜3 倍へと悪化するのにもとないサージ電圧が更に上昇することが予想される。したがって、通常の 200V 耐圧 FRD では、マージンがほとんどないため、400V 耐圧品が必要となる。

補足：電流波形 (I_{D1}) は、電流プローブによる測定のため、
約 50nsec の遅延あり

Fig.5 The waveforms of the voltage and current in D1 diode with 400V rated voltage.

そこで、アバランシェ耐量を有する 200V 耐圧の FRD に載せ換えて、実機での検証をおこなった。Table.2 に従来の 400V 耐圧 FRD (DBA200UA40) と 200V 耐圧のアバランシェ耐量 FRD (DBA200XA20) の特性比較を示す。このアバランシェ耐量 FRD は低耐圧化にともない、従来品よりも順方向電圧 (V_F) が低く、逆回復時間 (t_{rr}) が短い特性を示している。このアバランシェ耐量 FRD での電圧・電流波形を Fig.6 に示す。

Table.2 The comparison of properties in 400V FRD (conventional) and 200V FRD with high avalanche capability.

	$V_{RRM}(V)$	$V_F(V)$	$t_{rr}(ns)$	EAS(mJ)
DBA200UA40	400	1.03	124	1900
DBA200XA20	200	0.93	72	2000

$t_{rr}: V_R = 100V, I_F = 100A, di/dt = 200A/\mu s$

Fig.6 The waveforms of the voltage and current in D1 diode with 200V rated voltage and high avalanche capability.

実験前の予想では、アバランシェ領域での動作を想定していたが、低耐圧化による逆回復時間 (t_{rr}) の大幅な改善がサージ電圧そのものを低下させており、実機でのアバランシェ動作を直接測定することは出来なかった。なお、これ

らの特性改善による実機での入出力効率の変化を Fig.7 に示す。

Fig.7 The comparison of output/input efficiency using conventional and new FRD in the output rectifier.

入出力効率の測定では、入力 200V 時において、効率が 86.7% から 89.0% へと 2.3% (約 90W) 改善された。

4. PFC コンバータ回路への適用

Fig.8 に力率改善 (PFC) 昇圧型チョップ回路を示す。また、試験条件を Table.3 に示す。

Fig.8 The circuit figure of the boost converter with PFC circuit.

Table.3 The measurement condition for practical equipment.

名称	記号	パラメータ
入力電源電圧/周波数	V_{in}	AC200V/60Hz
DC バス電圧	V_{dc}	DC 380V
PFC 回路動作周波数	f	50kHz
出力電圧	V_{out}	DC 30V
出力電流	I_{our}	DC 100A
出力電力	P_{out}	3000W

MOS FET	Q3	600V/75A
FRD (PFC ダイオード)	D3	600V/60A

一般的にワールドワイドでの入力電圧（AC100V～240Vの±10%）を想定すると、入力電源電圧の最大値は、AC264V* $\sqrt{2}$ 倍の 373Vdc となり、PFC コンバータ回路における DC バス電圧（Vdc）は、380Vdc に設定される。このことから、PFC コンバータ回路に使用する FRD（D3）としては、400V 耐圧品ではサージ電圧に対するマージンが不足するため、1 ランク上の素子耐圧となる 600V 耐圧品を選定することとなる。このようなことから、PFC 回路にもアバランシェ耐量を有する FRD を用いて素子耐圧を低く抑えることができれば、損失の低減につながるものと考えられる。

そこで、前項での評価と同様に PFC 用 FRD として、アバランシェ耐量を有する 450V 耐圧品に載せ換えて、実機での検証をおこなった。Table.4 に従来の FRD（600V 耐圧品）とアバランシェ耐量 FRD（DBA60XA40：450V 耐圧）の特性比較を示す。従来品よりも、約 1600 倍ものアバランシェ耐量（EAS）を有している。

Table.4 The properties of 600V FRD (conventional) and 450V FRD with high EAS.

	V _{RRM} (V)	V _F (V)	t _{rr} (ns)	E _{AS} (mJ)
Conventional	600	2.00	45.5	0.3
DBA60XA40	450	1.58	44.5	500

t_{rr}:V_R=200V, I_F=30A, di/dt=100A/μs

また、実機に組み込んだときの従来 FRD とアバランシェ耐量 FRD の電圧・電流波形（Q3 ターンオン時）を Fig.9 に示す。

Fig.9 The waveforms of the voltage and current in D3 diode during Q3 turn on.

アバランシェ耐量 FRD は、従来品よりも順方向電圧（V_F）は低いですが、逆回復時間（t_{rr}）がほとんど同じであるため、FRD（D3）に掛かるサージ電圧としては、ほとんど同じ波形結果となった。そこで、アバランシェ耐量 FRD の使用下で、MOSFET（Q3）のゲートドライブ回路のインピーダンスを低下させ、Q3 のターンオン損失を低減させることで更なる効率の改善が図られないかを検討した。Q3 のゲート抵抗値（R_g）を従来の 15Ω から 2.4Ω へ変更（Fig.10）し、ターンオン時間を早くさせたときの FRD の電圧・電流波形を Fig.11 に示す。

Fig.10 Gate Resistance is changed from 15 to 2.4Ohm.

Fig.11 The waveforms of the voltage and current in D3 diode after change of gate-resistor connected with Q3.

これにより、FRD の di/dt 立下りが急激となり、サージ電圧が上昇していることがわかる。各条件での実機による効率測定の結果を Fig.12 に示す。

Fig.12 The comparison of output/input efficiency using conventional and new FRD in the PFC circuit.

PFC ダイオードをアバランシェ耐量 FRD へ変更することで、順方向電圧の低下分としての効率が、入力電圧 200[V] のとき、86.7%から 87.0%（約 17W の低減）へと改善された。また、Q3 のドライブ回路の条件を変更することにより、効率は更に 87.3%（約 12W の低減）へと改善された。

＜測定上の問題点＞

本論文に掲載の各部波形は、電流波形を測定するために半導体素子端子とプリント基板との間に、実機での組込み（入出力効率を測定したときの状態）とは異なり、金属ポストにより配線している（※Fig.1 参照）。そのため、PFC 回路の MOSFET（Q3）のソース側に浮遊インダクタンス（Fig.13）が発生することで、オン時間及びオフ時間に遅れが生じているものと推測される。これらの要因から、MOSFET のゲートドライブ回路の抵抗定数を小さくすることで得られた電流・電圧波形から推測するほどの入出力効率の改善が見られなかったものと思われる。

Fig.13 Parasitic inductance for lead wire in the test circuit.

5. PFC コンバータ回路の損失低減に向けた検討

従来は、PFC FRD のサージ電圧にも考慮して、PFC MOSFET のターンオン時間を決めていたが、アバランシェ耐量 FRD を用いることにより、このターンオン時間を更に早めることが可能になる。このことは、MOSFET のターンオン損失が低減できることを意味し、PFC FRD の逆回復損失（アバランシェによる損失を含む）と MOSFET のターンオン損失の分担比率を変えることで、トータルで損失が改善できるものと推測される。これらの推測をもとに、ダイオード単体での評価結果を示す。Fig.14 に PFC モデルの評価回路を示す。この回路のゲート抵抗値（RG）の調整により、MOSFET のオン時間が変化し、FRD の-di/dt も変化する。ゲート抵抗値が大きいとき（Fig.15）と小さいとき（Fig.16）の MOSFET 及び FRD の電圧・電流波形を各々に示す。MOSFET のゲート抵抗が大きいと、ターンオン時間が長く、損失は大きいが、アバランシェ耐量 FRD 側の逆回復損失は小さい。一方、ゲート抵抗を小さくしていくと MOSFET のターンオン時間が短くなり、損失が低減する。しかし、その分 FRD の-di/dt が大きくなるため、サージ電圧が高くなり、アバランシェ動作をおこし始める。このとき、アバラ

ンシェ耐量 FRD としての損失は増加することになる。これら、MOSFET とアバランシェ耐量 FRD の損失分担をグラフにしたものが Fig.17 になる。この表から、トータル損失の最小点が存在し、損失低減の最善値が存在することが分かる。このような、特性を実機へ活かすことができれば、更なる効率改善につながるものと考ええる。

Fig. 14 Switching losses test circuit.

↓ゲート信号 ON

Fig.15 FRD & MOSFET waveforms

(IF=30A, -di/dt=260A/us, Tj=125°C)

↓ゲート信号 ON

Fig.16 FRD & MOSFET waveforms

(IF=30A, -di/dt=1020A/us, Tj=125°C)

Fig.17 The dependence of several losses on -di/dt in the PFC-model.

6. まとめ

PFC 付き直流電源装置に使用している FRD にアバランシェ耐量を有する FRD を用いることで、素子耐圧の選定にあたって、低耐圧品の選定が可能となり、効率向上（損失の低減）が見られることを実験的に示した。実験では、PFC 回路部と 2 次側整流回路部のそれぞれで損失が低減している結果を示した。また、PFC 回路部においては、MOSFET のゲートドライブ定数の変更により、MOSFET のターンオン損失と FRD のアバランシェ動作による損失の最小点があることを示し、効率改善に対する方向性を示した。

今後は、アバランシェ耐量 FRD の更なる高速化とアバランシェ耐量に対するジャンクションでの損失を設計条件として具体化し、実機にて検証していく必要がある。

(2008 年 4 月 19 日発表)

文 献

- (1) T.Matsudai,H.Nozaiki,S.Umekawa,M.Tanaka,M.Kobayashi,H.Hattori and A.Nakagawa: 「Advanced 60um Thin 600V Punch-Through IGBT Concept for Extremely Low Forward Voltage and Low Turn-off Loss」 ISPSD 2001 pp441-444
- (2) Y.Onozawa,M.Otsuki and Y.Seki: 「Great Improvement in Turn-On Power Dissipation of IGBTs with an Extra Gate Charging Function」: ISPSD 2005
- (3) Masanori Ishigaki,Hideaki Fujita: 「A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation」: IEEEJ Trans.IA, Vol127, No.10,2007.PP1090-1095.
- (4) 奥村三郎, 西村良和, 山本浩史, 吉元伸夫: 「高速リカバリーダイオードのアバランシェ耐量向上と電力損失低減への適用」: JIPE-3-16 pp133-138.

森 本 裕 貴

(非会員)2001 年 3 月 大阪工業大学大学院工学研究科電気電子工学専攻博士前期過程修了。同年、㈱三社電機製作所入社。現在、キセノンランプ等の放電灯用スイッチング電源の開発に従事。

檀 上 謙 三

(正員)1981 年 3 月 関西大学工学部電気工学科卒業。同年、㈱三社電機製作所入社。通信用電源、溶接機、光源用電源などのパワーエレクトロニクス応用製品の開発に従事。現在、開発第 2 部開発第 2 課課長

山 本 浩 史

(正員)1998 年 3 月 大阪工業大学大学院工学研究科電気電子工学専攻博士前期課程終了。同年、三社電機製作所入社。現在、高速ダイオード、SBD の研究・開発に従事。

吉 元 伸 夫

(非会員)2001 年 6 月北陸先端科学技術大学院大学材料科学研究科物性科学専攻博士前期課程修了。同年、三社電機製作所入社。現在、高速ダイオードの研究・開発に従事。

西 村 良 和

(正員)1987 年 3 月 近畿大学理工学部電子工学科卒業。同年、㈱三社電機製作所入社し高速ダイオード、SBD、IGBT の研究・開発に従事。現在、デバイス研究課課長

奥 村 三 郎

(正員)1972 年 3 月徳島大学大学院工学研究科電子工学課程修了。溶接機・通信用電源・ACアダプタなどパワーエレクトロニクス研究開発を経て、パワー半導体の研究開発マネジメントに従事。現在 三社電機製作所技術本部研究部部長兼岡山工場ウエハ技術部勤務

【質 疑】

大阪大学 三浦友史氏

【質問1】 なぜ、これまでFRDのアバランシェ耐量が話題にならなかったのでしょうか？

【回答1】 一般的にFRDとしては、SBDと比べて高耐圧化が図られており、逆回復時間(trr)の高速性やソフトリカバリ特性の改善によって、サージ電圧が抑えられ、定格耐電圧に対して十分なマージンで設計しています。しかし、省エネの観点から更なる効率の向上が求められており、その一環として、アバランシェ耐量FRDに着目致しました。

【質問2】 FRDのアバランシェ耐量向上の為の技術はすでに確立されていると考えてよいのでしょうか？

【回答2】 まだ、確立されておりません。高耐圧製品になるほど、アバランシェ耐量化が難しいなど、課題も多く更なる研究を進める必要があります。

【質問3】 EASだけでなくEARについても最終的にはデータシートに掲載されていく予定なのでしょうか？

【回答3】 EAR(繰返しアバランシェエネルギー)についても、データシートに掲載するべきと考えています。

【質問4】 2次側整流回路で高アバランシェ耐量FRDを用いながら、アバランシェ領域にならなかったということは、始めから高速スイッチングが可能な低耐圧のFRD設計が成立していたということにならないのでしょうか？

【回答4】 定常状態におきましては、低耐圧品のFRD設計が成立していたと言えます。しかし、直流電源としての設計要素としては、動作温度(低温・高温)、過渡条件(出力変動時等)を考慮する必要があります。これらを踏まえるとアバランシェ耐量FRDを使用することで、低耐圧品への積極的な置換えが可能になると考えています。また、常にアバランシェ領域で使用するか、過渡時にのみアバランシェ領域を使用するかといった設計的选择をする必要があります。これらは、アバランシェ耐量FRDの特性(EAS, EAR)に起因するため、特性に応じた使い方が必要と考えています。

【質問5】 MOSFETとFRDの負荷分担で最小損失点が存在するとの結果ですが、ユーザー側はその動作点を設計できるのでしょうか？

【回答5】 半導体素子(MOSFET, FRD)及び回路のインダクタンスなど各部の仕様が明確であれば、設計できると考えます。最終的には、ユーザー側による実機検証によって、データを蓄積し、設計条件を決定することになります。

【質問6】 差し支えなければ、市場投入はいつ頃になるのかご教示下さい。

【回答6】 2008年末頃です。

大阪工業大学 木村紀之氏

【質問1】 MOSFET 損失低減のためにゲート抵抗を小さくし、スイッチング速度を上げると、サージ電圧とリカバリ電流が大きくなり、EMIの発生量が增大すると考えられる。この問題点に対する何らかの考慮はされているか？

【回答1】 まだ、具体的な考慮はしておりません。最終的には、損失改善効果とEMI増加によるノイズ対策コストのバランスを考慮することになります。

(株)ジーエス・ユアサ パワーサプライ・山口雅英氏

【質問1】 Fig.4でD1, D2にCRスナバがついているが、アバランシェダイオードの効果を検証する際には、スナバはない方が良いのではありませんか？

【回答1】 スナバ回路の有無で比較した波形が下記となります。サージ電圧のピーク値はほとんど変わらず、減衰振動しにくくなっています。スナバ回路に関してもEMIノイズとの兼ね合いがあるため、効率とともに考慮する必要があると考えています。

<D1 アバランシェ耐量FRD スナバあり>

<D1 アバランシェ耐量FRD スナバなし>

以上