シフトレジスタ系列による MOD-2 擬似ランダムパルスの発生

追手門学院大学 荻 阪 直 行

PSEUDO-RANDOM PULSE GENERATOR USING SHIFTREGISTERS

NAOYUKI OSAKA

Otemon Gakuin University

Using modulo-2 (exclusive-OR) feedback logic with ten bit of serially connected shiftregisters, an inexpensive pseudo-random pulse generator can easily be made. A simple logic circuit generates a series of pseudo-random pulses in which both duration and interstimulus-interval could be randomly varied. The logic setup has $2^{10}-1$ maximal cycle length which involves general purpose application for perceptual as well as vigilance experiments.

刺激呈示の時間軸上におけるランダム化の手続きは、かなり高度に“作為的”な一連の操作であろう。ある種の知覚実験（例えば、時間加重効果の検討など）では、刺激の呈示時間や呈示時間間隔をランダム化したいが、高価なランダムパルス発生器を導入するのは経済的に困難であるというケースは少なくないと思われる。インターフェースとして自作するにも、アナログ発振回路とフィルタ回路を組合わせたノイズ発生回路や真空管を利用した物理ノイズ発生回路、さらにホワイトノイズ・ダイオード等を応用したアナログ回路によるランダムパルス発生回路は、一般に製作が困難であり、信頼性にも乏しい。そこで、以下に述べるデジタル回路を主体とする擬似ランダムパルス発生器を試作した。

方 法

回路はリニア集積回路を用いたシフトパルス発生器を除き、全て TTL (Transistor-Transistor-Logic) と呼ばれる集積論理素子から構成され、そのゲート機能はブール代数に従う¹。擬似 (pseudo-) という接頭辞は、このパルス列が所与の初期値に対応する完全な再現系を有し、数学的には、原始多項式から導出されるという性質に由来している (Hoffmann de Visme, 1971; 宮川・岩垂・今井, 1973)。ちなみに、デジタル・コンピュータ・システムの中央演算レジスタはこの原理によって種々の分布密度をもつ“乱数”を発生させている (脇本, 1970)。

Fig. 1 にブロック・ダイアグラムを、Fig. 2 に回路例を示す。ブロック・ダイアグラムに示されるように、この回路は(A)シフトパルス発生器；シフトパルスにより駆動される(B)10ビット・右シフト動作レジスタ(シ

リアル結合された10個のフリップ・フロップ群)；初段(0段)と第3段のレジスタ出力の排他的論理和²をとり、その出力を終段(9段)レジスタ入力にフィードバックする(C)演算論理部；そして、初段レジスタの出力を受けて発光ダイオード(LED)を駆動する(D)バッファ系から成っている。回路中の(C)の演算部は単純な順序回路をより複雑な機能を生成する系に変換している点で最も重要である。この回路は、最大周期長線形シフトレジスタ発生カウンタ(Maximum length linear shift register generator counter)と呼ばれるように、本質的には 2^N-1 周期をもつカウンタである。即ち、レジスタの段数 N が10ビットである本試作例の場合は、1023がその周期となる。フィードバックをとるレジスタの位置と排他的論理和の層数はユニークに定まっている (Watson, 1962)。Table 1 にレジスタ数が100個までの代表例を示す。本例のような1023の周期は、クロック・シフトパルスが10 Hz の場合、ただだか102.3秒で終了してしまうが、10 Hz 以上の場合、ビット数

FIG. 1. Block diagram of the apparatus.

¹ 回路動作は、全て“1”“0”の2値状態の時系列上の変化で表わされる2進演算機構をとる (河原田, 1974; Cleary, 1977)。

² “1”“0”の2値状態をとる2入力 x, y に対し、 $x \oplus y = (x \cap y) \cup (x \cap \bar{y})$ なる出力をもつ演算系。

TABLE 1
Feedback register stages for the maximum
length linear shift register generator
counter with different stage bits

Number of registers in bit	Feedback stages
5	0, 2
10	0, 3
15	0, 1
20	0, 3
25	0, 3
30	0, 1, 4, 6
35	0, 2
40	0, 3, 4, 5
45	0, 1, 3, 4
50	0, 2, 3, 4
100	0, 2, 7, 8

を増加させればよい (20 ビットの場合, 1, 048, 575 の周期となり, このような系は, 部分的にはランダムパルス列とみなしてよいだろう)。

さて, このような 2 入力排他的論理和素子を介したシフトレジスタ内におけるフィードバック動作は, 2 を法 (Modulo-2) とするフィードバックと呼ばれる。このフィードバック項 F は, レジスタが 10 ビットの場合,

$$F = [jJ \oplus iI \oplus \dots \oplus bB \oplus aA]$$

で示される。ここで, $j, i, \dots, b, a$ は, “0” か “1” のいずれかの状態をとる係数, $J, I, \dots, B, A$ は, 各々, 9, 8, ..., 1, 0 段目のレジスタに対応する。本回路の場合, Table 1 より, F は a 及び d のみが “1” をとるから,

$$F = [0000001001]$$

となる。さらに, n 回のシフトパルスが加えられた時点の 10 ビット・レジスタ内の状態を ϕ_n , $n+1$ 回後の状態を ϕ_{n+1} とすると,

$$\phi_n = [J, I, \dots, B, A]$$

$$\phi_{n+1} = [F, J, I, \dots, C, B]$$

となる。 ϕ_{n+1} は, ϕ_n に推移行列 T を左側から乗じることによって表現される。即ち,

$$\phi'_{n+1} = T \cdot \phi_n$$

$$T = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \end{bmatrix}$$

但し,

例えば, ϕ_n で初期値として, 初段 0 レジスタ (A レジスタ) のみに “1” がセットされた場合³,

FIG. 2. Logic implementation of the circuit.

³ 初期値のセットは, 各レジスタのプリセット機能を利用して, 必ず 1 個以上の “1” がセットされねばならない。全てのレジスタに “0” がセットされると $0 \oplus 0 = 0$ となり, 回路動作が “0” のみの循環状態に陥るため。

$$\begin{aligned}\phi_n &= [000 \dots 01] \\ \phi_{n+1} &= [100 \dots 00] \\ \phi_{n+2} &= [010 \dots 00] \\ &\vdots \\ \phi_{n+7} &= [000 \dots 01000] \\ \phi_{n+8} &= [100 \dots 00100]\end{aligned}$$

なる状態をとる。ここで、 ϕ_{n+1} 、 ϕ_{n+2} 、および ϕ_{n+8} は、初期値 ϕ_n が 1, 2, および 8 シフトパルス後にとる状態を示す。 $\phi_n - \phi_{n+1023}$ の区間内、即ち、1 周期内 (1023 個のパルス列) に含まれる “0” の個数と “1” の個数は各々 $(2^{10-1}-1)$ 、および (2^{10-1}) 個で⁴ あり “1” の個数が “0” より 1 個だけ多い。従って、これは、ほぼ “0” と “1” の一様分布をもつ 2 進ランダムパルス列とみなせよう (佐藤・中村, 1975; 脇本・一村, 1973)。

Fig. 2 の回路例では、NE 555⁵ (アステーブル・マルチバイブレータ) の 2 つの可変抵抗により、シフトパルスのクロック周期 ($T = 685 (R_A + 2R_B) \cdot C$ で定義され数十秒から数ミリ秒まで可変: $R_A \leq 50 \text{ k}\Omega$, $R_B \leq 1 \text{ M}\Omega$) を変えることができる。また、SN 7496⁶ (1 つのパッケージに 5 個の R/S マスタスレイヴ・フリップ・フロップを内蔵) の各レジスタには、パラレル・プリセット端子が付いているので、クリア端子に “0” を加えて全レジスタをクリアしてから、A, B, …, I, J の任意のプリセット入力端子に初期値 “1” (スタート時点でのビットパターン) を入力した状態でイネーブル端子に “1” のパルスを加える⁶ ことによって初期化が行われる。シフト動作は、シフトパルスの正のエッジ端で行われる。SN 7486 は演算素子を示す⁷。バッファ動作を行うトライステート素子 SN 74125 は、端子 1 を接地することによって発光ダイオード TLR 102 をドライブする (SN 74125 の代りにパワーダーリントン 2SD 558 等でインターフェースすれば、1.5 A 程度のコレクタ電流が得られる)。

結果と考察

出力パルス列の自己相関 (Autocorrelation) $\phi(\tau)$ を求めることにより、ランダム性を検討した。まず、任意の区間について、自己共分散関数 $R(\tau)$ を次式で求め

⁴ “0” は、 $(2^{N-1}-1)$ 個, “1” は、 (2^{N-1}) 個発生される。ここで、 N はレジスタのビット数とする。また、長さが r の連が、 (2^N-1) の 1 周期内に出現する頻度は、全て “0” の連を除き、 (2^{N-r}) 個ずつである (Osaka, 1978)。

⁵ *Signetics linear data book*. Vol. 1. 1972 Sunnyvale: Signetics Inc. Pp. 180-181.

The TTL data book for design engineers. 1st ed. 1973 Dallas: Texas Instrument Inc. Pp. 243-247.

⁶ SN 74121 によるワンショット・モノステーブル・マルチバイブレータで適当なパルスを加えてやれば簡単である。

た。

$$R(\tau) = N^{-1} \cdot \sum_{t=1}^N [x(t+\tau) - mx] \cdot [x(t) - mx]$$

$$\text{但し, } mx = N^{-1} \cdot \sum_{t=1}^N x(t)$$

$$(\tau = 0, 1\delta, 2\delta, \dots, \text{Lag} \cdot \delta)$$

ここで、 τ, N, t, Lag 、および δ は、各々、遅れ時間、データのサンプル長、時系列上の点、最大遅れ数、およびシフトパルスのクロック周期の 1/2 を示す。次に、自己相関関数 $\phi(\tau)$ は、

$$\phi(\tau) = R(\tau) / N^{-1} \cdot \sum_{t=1}^N [x(t) - mx]^2$$

で求めた⁸。Fig. 3 に、任意の 2 種のサンプル長 ($N = 269$, $\text{Lag} = 64$ 、および $N = 135$, $\text{Lag} = 32$) についての τ の関数としての $\phi(\tau)$ を示す。Fig. 3 は、この任意にサンプリングされた区間に関しては、このパルス列が擬似ランダムであることを示唆している (佐藤, 1968)。これはまた、レジスタのビット数やサンプル長 N が大きくなるほど $\phi(\tau)$ もより擬似ランダム性を増すことを示唆していると考えてよいだろう。

本器の応用としては、LED 出力に対して、受光半導体素子 (フォト・トランジスタやフォト・ダイオード等) をインターフェースすることにより、交流 (トライアックによる) や、直流 (パワートランジスタによる各

FIG. 3. Autocorrelation $\phi(\tau)$ as a function of τ . $\phi(\tau)$ for two different length pulse trains are plotted to test the serial randomness.

⁷ 8 ビット並列処理系をもつマイクロプロセッサ (8080, 6800 系 CPU) と数百バイトのメモリを含む若干のインターフェース回路があれば、この処理はアキュムレータに行わせることができる。アセンブリ言語を用いた場合は、数十行のプログラムで類似回路がソフトウェアとして実現可能である (藤本, 1977; Grieser, 1977)。さらにベーシック言語では約数十行 (合同法) の関数 RND (X) を定義し、これを任意に CALL することもできる (井田, 1978)。

⁸ 計算プログラムは、赤池・中川 (1972, Pp. 126-187) を、FACOM-230/48 BOS II フォートラン用に書き換えたものを用いた。処理は、京都大学大型計算機センター・システムⅢで行った。

種の負荷の駆動) のランダム制御等が考えられる。また, パラレル・アウト端子を 7-セグメント・ディスプレイ管に任意につないで数字 (あるいは文字) をランダムに発生させることも可能であろう。

引 用 文 献

- 赤池弘次・中川東一郎 1972 ダイナミック・システムの統計的解析と制御 サイエンス社
- Cleary, A. 1977 *Instrumentation for psychology*. New York: Wiley.
- 藤本 真 1977 M系列の発生 インターフェース, **9**, 55-58.
- Grieser, D. 1977 Pseudorandom number generator. *Byte*, **2**(11), 218.
- ホフマン・ド・ヴィズム 伊理正夫・伊理由美(訳) 1977 2 値系列 共立出版 (Hoffmann de Visme, G. 1971 *Binary sequences*. London: The English Universities Press.)
- 井田昌之 1978 乱数発生プログラム *Bit*, **10**, 385-398.
- 河原田弘 1974 デジタル回路——基礎と応用——昭晃堂
- 佐藤 勇 1968 擬似ランダム系列 磯部 孝(編) 相関関数およびスペクトル 東京大学出版会 Pp.170-175.
- 宮川 洋・岩垂好裕・今井秀樹 1973 符号理論 昭晃堂
- Osaka, N. 1978 An inexpensive quasirandom impulse interval generator. *Behavior Research Methods & Instrumentation*, **10**, 18-20
- 佐藤 創・中村勝洋 1975 擬似ランダム系列(4) *Bit*, **7**, 114-123.
- 脇本和昌 1970 乱数の知識 森北出版
- 脇本和昌・一村 稔 1973 乱数の検定について 数理科学, **11**(122), 38-40.
- Watson, E.J. 1962 Primitive polynomials (Mod-2). *Mathematical Computation*, **16**, 368-369.

——1977. 7. 8. 受稿——