多層配線デバイス製造を支える最新の CMP 平坦化技術*

CMP Technology for Interconnect of Semiconductor Device

辻村 学**

Manabu TSUJIMURA

Key words interconnect, CMP, low down force planarization, direct CMP, low-k

1. はじめに

2007 年デバイスメーカーはハーフピッチ (hp) 65 nm (コマーシャルノード 45 nm) の量産を開始し, hp45 nm (コマーシャルノード 32 nm) の開発に突入した。図 1 に示すように, hp45 nm 以降の技術にはいろいろな障害があり, 半導体業界は大きなパラダイムシフト¹⁾の波にさらされるだろう。例えば,

- ・パラダイムシフト 1 45 nm: 微細化は工学限界と物理限界に同時に直面する。銅配線の Scattering 効果による配線抵抗の上昇など, 物理定数まで変わる領域に突入する。
- ・パラダイムシフト 2 45 μ m: 期待されている 3 次元実装技術で重要なのはウエーハの薄膜化だが, 45 μ m 以下ではウエーハの取り扱いが困難になる。
- ・パラダイムシフト 3 45 cm: 30 cm ウエーハを導入した際の議論と同様に, 45 cm ウエーハ大口径化では正に経済的限界に直面している。

微細化に関しては ITRS²⁾などのロードマップにも示されている通り, 技術革新によって当面は終焉の心配はない。大口径化に関しては望めば進むだろう。これも技術の問題ではない。そして, 3D 化や新探求デバイスへの期待は高まる一方である。

図 2 には昨年開催された各種多層学会や ITRS から, ダマシンプロセスの課題に関与するものを抜粋して示した。プロセスごとに①から⑪まで順に主なもののみ紹介する。①低誘電率 (Low-k) 膜 (SiOC, SiCOH など) の成膜や②UV または EB によるキュアでは Low-k 膜の収縮・プラズマダメージ・誘電率の上昇, ③レジストやハードマス

ク (HM) などの孔明けと④底抜きなどのエッチングでは N によるレジストポイズニング・Low-k 膜のプラズマダメージ・Atomic Layer Deposition (ALD) ガスなどの侵入, ⑤バリア (PVD, ALD, CVD) の成膜や⑥シード (Cu や Ru など) の成膜ではやはりバリアやシード欠陥・それに起因するガス侵入, ⑦めっき成膜では Cu の薄膜化や Ru 採用によるシードの高抵抗化・SM・EM 対策, ⑧アニールではプルアウトなどの粒径管理, ⑨研磨では低圧

図 1 パラダイムシフト 45 から

- ①Low-k膜成膜 (SiOC, SiCOH など)
- ②UV または EB によるキュア
- ③レジストやHMなどの孔明け
- ④底抜き
- ⑤バリア成膜 (PVD, ALD, CVD)
- ⑥シード成膜 (Cu や Ru など)
- ⑦めっき成膜
- ⑧アニール
- ⑨研磨
- ⑩表面処理
- ⑪Integration としての問題まとめ

図 2 ダマシンプロセスの課題

*原稿受付 平成 19 年 4 月 2 日

**正 会 員 (株) 荏原製作所 (神奈川県藤沢市本藤沢 4-2-1)

辻村 学

東京都立大学工学部機械工学科工学博士。首都大学東京・クラークソン大学・漢陽大学客員教授。日本機械学会フェロー。

図3 平坦化統一論説明図

化要求・Low-k ダイレクト・疎水膜乾燥・微細ゴミ対応・メタルハードマスク対応, その他に⑩表面処理や⑪ Integration 課題, などの問題が山積みである. 本稿ではこの微細化とともに益々厳しく要求される, 多層配線デバイス製造を支える最新の CMP 平坦化技術に関する重要課題に関する問題と対策例を紹介する.

2. 低圧研磨

Low-k 絶縁膜の誘電率が下がると, Low-k 材の強度が弱くなるのは周知の事実であり, そのために UV・EB キュアによる強度回復技術も開発されてきた. 同時に研磨にも低圧化が要求され, CMP (研磨)・ECMP (複合電解研磨)・ECP (電解研磨)・CE (エッチング) さらにそれらの複合技術が開発されてきた. しかしながら, あまりにもたくさんの技術が一度に登場したことで, 開発者自身が用語を間違っって使っていたこともあり, 半導体エンジニアを混乱させてしまった感がある.

実は, 銅の加工を半導体以外の分野で見ればエッチングと電解研磨 (これはめっきの逆で Di-Plating と呼ばれることもある) であり, 半導体だけが歴史上砥粒による研磨が用いられてきた. したがって, 銅の研磨に電解やエッチング応用を考えるのは至極当然であり, ほとんどの平坦化技術はその基本原理が共通している. そこで図3にはすべての技術を支配する法則をまとめてみた (これを筆者は平坦化統一論と呼んでおり, 学生には分かりやすいと人気がある)³⁾.

図の左側は加工の促進力であり CMP なら酸化剤による酸化, ECP・ECMP なら電気エネルギーによる酸化 (ファラデー則), CE ならエッチャントの流量・濃度・温度などによる溶解力が示されている. これにより Cu は Cu^{++} に酸化され, さらに錯化剤などとの反応で Cu (錯体) となり反応は抑止される. 図の右側は Cu (錯体) が機械的に除去されることを示すが, 加工速度はスラリーによってプレストン則に従うものと従わないものがある. 平坦化は図の A (抑止されていない状態) と B (抑止された状態) の差を利用する. 研磨速度は Cu (錯体) の硬さなどにより

図4 特殊・一般平坦化統一論

図5 ダマシニンテグレーション例

C1 から C2 まで変化する.

このようにまず酸化剤もしくは電気エネルギーで酸化された Cu が錯化材などの抑止剤と反応して Cu (錯体) になり, その Cu (錯体) が機械的に除去されるという仕組みを基本と考えれば, CMP と ECMP がほとんど同じ原理で平坦化されるということが理解できるし, 抑止剤がない ECP と CE では基本的には平坦化能力がなく, 他の支援技術が必要なことも理解できる. 現在低圧化技術には, エッチング作用を助長した CMP (当社の mC2 プロセス) もしくは電解応用の ECMP が Cu の加工として採用されている. 残念ながら ECMP では Cu を全面的にクリアできていないこと (通電層が必要), バリアが加工できないことが課題として残っている⁴⁾.

図4にはダマシンプロセスで初期形状から最終形状を得るプロセスとして①通常めっき②ダミーパターン付き通常めっき③平坦化めっきからなどの成膜方法による平坦化を採用した方法と, CMP・ECMP・ECP・CE もしくはそれらの複合技術を採用した方法といろいろあることを示した. 今後, 平坦化要求が厳しくなると CMP のみならず, 前の工程であるめっきやデバイスそのものとのマッチングが必須になると思われる.

図5には3種類のデバイスインテグレーション例を示した. ケース1はトレレンチビアが同じ種類の Low-k であり, CMP ストップとしてのハードマスクがない場合, ケース2は同形状のハードマスクがある場合, ケース3は

図6 ダマシン破壊力学解析

図7 HM バリエーションの与える影響

さらにトレンチとビアの Low-k 材料が異なる場合を示す。各世代の多層配線寸法は ITRS の値を用いて、研磨時のダマシン構造に与える応力を解析した⁵⁾。結果として応力自体も 32 nm 世代までまだ余裕があることが判明した。図 6 には破壊応力を考慮した解析を実施した例を示す。ステップ 1 では、まず 4 点曲げで材料そのものの臨界エネルギー開放率 G_c の測定を実施する。さらにその材料で作成した膜を種々の圧力で研磨を実施し剥がれを検証し、 G_c 対 CMP 荷重図を作成する。ステップ 2 では、FEM 解析で歪エネルギー W を計算し、 W 対 CMP 荷重をステップ 1 図と重ねる。ステップ 3 では、ステップ 1 と 2 から G 対 W の関係を求める。ステップ 4 では、各デバイスノードごとの配線寸法で解析したエネルギー開放率 G 対歪エネルギー W の表を作成し、配線の M1 寸法対 G/G_c を求めることにより破壊に対する余裕度を求めることができる。結果として、Low-k 材の不具合は研磨の圧力も問題だが、各層の Low-k 強度のマッチングが重要であることが判明している。最近では Low-k 自体の強度も、絶縁バリア層との密着性も改善され、研磨の CoC を考慮して適当な圧力を各ユーザで選定している⁶⁾。

3. Low-k ダイレクト研磨

図 5 に示したように、Low-k 膜をダイレクトに研磨するケース 1 と研磨のストッパ内でとめるケース 2 & 3 がある。ケース 1 の場合には、一般的に研磨後に Low-k 材の k 値が上昇することが報告されており、回復技術が重要となる。この回復技術は Low-k 材質や研磨レシピなどによ

図8 渦電流メタルモニタ例

図9 ロタゴニ型乾燥

り異なり、それぞれに開発が必要である。ケース 2 & 3 の場合には、いかにハードマスク内で均一に研磨するかが重要であり、CMP メーカーの腕の見せ所である。ちなみに図 7 には CMP の均一性の影響度として、ハードマスク内のバリエーションが RC 値に与える影響を示した⁷⁾。また、図 8 にはバリエーションを少なくするための手法の一例として、渦電流メタルモニタを用いる方法を示している。膜厚の変化を渦電流の変化で捉え、ウエーハ全面での均一性をモニタし制御することにより、ウエーハ全体の均一性を制御できる。メタルの研磨速度や均一性はデバイスパターン依存やパッドの使用時間などによって異なり、インサイツに監視することはばらつき制御には必須の技術である。

4. 疎水膜ウオータマークフリー

Low-k 材は一般に k 値が小さいほど、膜は疎水度を増してくる。図 9 には疎水性膜のウオータマーク対策に効果のあるロタゴニ型乾燥の原理図と乾燥結果例を示す。ロタゴニ型乾燥は IPA と純水を導入してウエーハを回転しながら乾燥させるものである。結果として疎水膜ではスピンドライ方式に比較してウエータマーク欠陥は改善されている。

図 10 は膜質の疎水度とロタゴニ効果の関係を示した。疎水性の高い（接触角の大きい）膜の乾燥には効果が大きい、親水性（接触角の小さい）の膜には効果が少なく、スピンドライでも同じ乾燥結果を示した。また、IPA 効果の時間を調整して、膜の疎水度に応じた実験を試みた。枚葉プロセスではスループットが重要であり、膜の疎水度に応じた IPA 時間を調整することも生産性向上の観点からは重要だ。

図 10 膜質による IPA 乾燥効果

図 11 非接触洗浄例

5. 50 nm 以下の FM 除去

FM (外部ゴミ) の大きさが 50 nm 以下になると傷や平坦化性能と区別が付きにくい寸法になる。そこで傷が付きやすいブラシなどの接触式洗浄方式からジェットなどの非接触式洗浄方式が傷対策として期待されている⁸⁾。図 10 には特殊ジェットによる洗浄結果を示す。この方法以外にもメガソニックやいろいろなジェットを応用した技術が開発されており、hp45 nm 以降の洗浄に期待されている。

6. ま と め

以上、hp45 nm 以降の Cu/Low-k インテグレーション構造の多層配線技術における CMP の最近の開発動向について述べてきた。低圧研磨は必要だが、経済性 (CoC) を考慮して決められるべきであり、ULK 膜へのダイレクト研磨は誘電率の回復技術やハードマスクなどに大きく関与し、疎水膜のウオータマークフリー乾燥はその疎水度により必要な IPA 効果を採用し、微細ゴミの除去には非接触洗浄方式が開発されている。これらの技術の壁を乗り越えない限り半導体業界の発展もない。ユーザーのご指導の下、要求を超える革命技術を世に出していくべく努力する所存である。

参 考 文 献

- 1) 半導体産業新聞 2007 年 1 月号寄稿。
- 2) ITRS (International Technology Roadmap for Semiconductors), SIA, (2005).
- 3) M. Tsujimura et al.: General Principle of Planarization Governing CMP, ECP, ECMP & CE, Proceedings 2004 IMIC-030/00/0267, 267-274.
- 4) Y. Toma, M. Tsujimura, et al.: Surface Roughness Performance of Electro Chemical Mechanical Polishing (ECMP), Advanced Metallization Conference: Asian Session, (2000).
- 5) Y. Mochizuki, M. Tsujimura, et al.: Finite Element Analysis of the Stress in Vias with Cu/Low-k Structure, MRS Advanced Metallization Conference 2005 (AMC2006, Proceedings), (2006).
- 6) Y. Mochizuki, M. Tsujimura, et al.: Stress Analysis of Low-k Material Interface during CMP, MRS Advanced Metallization Conference 2006 (AMC2006, Proceedings), (2007).
- 7) M Shimoyama and M. Tsujimura: Effect of CMP Variation on Effective Dielectric Constant of Interconnect Structures, JSME Proceedings, (2005).
- 8) M. Tsujimura: Defect Free Cleaning in the 65 nm TN beyond', Semicon Korea 2005 Proceedings, 2005.