硬質パッドを用いた高平坦化 CMP 技術の開発*

— CMP プロセスにおけるウエーハ面内研磨均一性の改善 —

山田洋平^{**†} 菅谷貴浩^{***} 小西信博^{***} 黒河周平[†] 土肥俊郎[†]

Study on Hard-Pad-Based CMP of Dielectric Global Planarization
- Improvement of With-in-Wafer Non-Uniformity (WIWNU) in CMP Process -

Yohei YAMADA, Takahiro SUGAYA, Nobuhiro KONISHI, Shuhei KUROKAWA and Toshiro DOI

Chemical-mechanical polishing (CMP) has been widely accepted for the planarization of multi-layer structures in semiconductor manufacturing. High performance CMP for the planarization of premetal and inter layer dielectrics is strongly required. Conventional CMP process using the stack-type pads shows good within-wafer uniformity. However this process produces degradation in planarity, especially between center and edge areas of logic devices. In this work, we described an approach to the optimized dielectric planarization method using the hard-pad-based CMP process and achieve improved wafer-scaled uniformity and within-die planarity, simultaneously. By optimizing both polishing conditions and the consumables of the polishers, the hard pad-based process showed an at least 1.6-time improvement in step height reduction compared to the stack-type pad process and a comparable within-wafer uniformity.

Key words: chemical mechanical polishing (CMP), polyurethane pad, hard pad, step height reduction, global planarization, removal rate, with in wafer non uniformity (WIWNU), retaining ring

1. 結 言

シリコン(Si)半導体デバイス製造において絶縁膜の平坦化から始まった CMP (chemical-mechanical polishing) の導入は、デバイス世代の進歩と共にその適用工程が拡大しており、ULSI (ultra large scale integration) デバイスの微細化ペースを維持するために、必要不可欠な技術になっている。これはリソグラフィ工程において、解像度 R 及び焦点深度 (DOF: depth of focus) は下記式 (1) で表され、解像度の向上に従って焦点深度が小さくなるためである。

$$\text{解像度 } R = K_1 \times \lambda / NA \quad (1)$$

$$\text{焦点深度 } DOF = R \times K_2 \times \lambda / NA^2 \quad (2)$$

ここで λ は露光に用いる投影露光波長, NA はレンズの明るさを示す開口数, K_1 と K_2 は比例定数でマスクや照明条件, レジストプロセスに依存する係数である。パターン形成の微細化には主に式(1)の投影露光波長 λ の短縮と投影レンズの高 NA 化が図られてきた。しかしながら、これは式(2)において焦点深度が浅くなることを意味する。図 1 に投影露光波長毎の一般的な解像度と焦点深度の相関を示す。ロジックデバイスのようにパターンの粗密差が大きいデバイスにおいては、微細パターンを形成する際に露光余裕度を制限するフォーカスエラーが生じ易くなる。そのため、凹凸のある素子や配線上に成膜された絶縁膜を研磨して段差の平坦化が図られてきた。デバイスの微細化に対して層間絶縁膜 (ILD: inter layer dielectric) CMP 技術における継続的な改善要求として、

- ①ショット内段差の低減
- ②局所段差の低減
- ③研磨後膜厚バラツキの低減
- ④欠陥密度の低減

が挙げられる。①では上述のリソグラフィ工程における解像度制御性の向上を目的としている。SoC (system on a chip) デバイスを例にとると、3年で素子寸法 0.7 倍、素子数に換算して 2 倍のデザインルールに沿ってデバイスの性能向上が図られてきたが、チップ面積は増大の方向に進んでいる。すなわち、デバイスの微細化と共に大面積パターンの平坦化精度が求められる。②においてトランジスタ素子形成工程では、電極の形成不良の防止、配線形成工程では上層配線形成時のメタル CMP における残渣除去性の向上を目的としている。図 2 に平坦化不足による解像不良例を示す。これは素子分離溝内の CMP 後のリセス量が 20nm 程度の発生がゲート電極形成時にホトリソグラフィ工程での解像不良によるパターン形成異常に繋がった不良事例である。CMP による局所段差の更なる低減が求められる例

Fig.1 Correlation between resolution and depth of focus (NA: 0.4~0.7)

* 原稿受付 平成 20 年 4 月 14 日

** 正 会 員 (株)日立製作所 (東京都青梅市新町 6-16-3)

*** (株)日立製作所

† 正 会 員 九州大学 大学院工学研究院 (福岡県福岡市西区 元岡 744)

Fig.2 Example of lithography resolution problem

である。③は研磨対象膜の途中で研磨を終了させる ILD-CMP の特徴と関連しており、残膜の制御がコンタクトホールやドライエッチングにおける寸法制御性の向上に必要となる。④に関して発生する欠陥は、スラリ残渣等の異物とスクラッチ(研磨傷)である。異物は上層配線形成時のパターン欠陥の原因となる。

上記の要求事項に対しては、研磨装置、スラリ・パッド等の性能向上に加え、更に厳密な装置管理、異常検知及び消耗部材の管理が求められる。

ILD-CMP の実用化に際しては、研磨速度の安定化と研磨速度均一性の再現性の観点から、硬質発泡ポリウレタンに軟質サブパッドを張り合わせた積層構造の研磨パッドが主に用いられている²⁾。当然発泡ポリウレタン単体と比較して段差解消性は劣るため、積層構造を前提として更なる研磨パッド表面層の高度化が ILD-CMP における平坦性を向上させる取り組みが試みられている^{3)~7)}。本研究では研磨装置に大きな変更を加えることなく、サブパッドを用いない発泡ポリウレタン単体⁸⁾のみで再現性のある研磨速度、研磨量均一性を確保しながら、段差平坦化性能を改善し実用化に耐えうるプロセスを検討した。

2. 実験方法

本研究の主な評価項目は、酸化膜研磨における段差平坦化能力と研磨速度及び研磨量均一性の再現性である。平坦化性能を評価するため、200mm 径 Si ウェーハに PE-TEOS (plasma-enhanced tetraethylorthosilicate) を 400nm 成膜して、その上に厚さ 700nm の Al 配線をパターンニング、更に HDP (high density plasma)・SiO₂/PE-TEOS を 800/1200nm 成膜したパターンウェーハ (初期段差 750 nm) を用いた。チップ全体の段差解消性も考慮して、パターン幅 (ライン/スペース) は 50/50, 100/100, 250/250, 500/500, 1000/100, 2000/2000, 3000/3000, 5000/5000 μ m と大きく変えた。研磨速度及び研磨量均一性の評価には PE-TEOS を 800nm 成膜したブランケットウェーハを用いた。また酸化膜研磨には量産性能を考慮して 4 研磨ヘッド、3 プラテン (定盤) で構成されるマルチプロセス対応可能な研磨装置を用いた。研磨スラリは市販のヒュームドシリカを含有したアルカリ性 (pH=10~11) スラリを用いた。研磨パッドは市販の独立発泡ポリウレタン系パッド (硬度: Shore-D 59, 密度: 0.8g/cm³) と同ポリウレタンパッドにポリウレタンフォームを下層に張った積層パッドを比較した。厚さ 1.2mm のポリウレタンパッド表面には溝幅/溝ピッチ/溝深さ=0.2/1.5/0.3mm の同心円溝が施されている。研磨中にウェーハの飛び出しを防止するために用いるリテーニングリングは PPS (polyphenylene sulfide) 樹脂を用いた。研磨後のウェーハは 2%アンモニア及

び 0.5%希フッ酸薬液を用いて PVA (polyvinyl alcohol) ブラシで洗浄し乾燥を施した。研磨速度は研磨前後の PE-TEOS 膜の膜厚差を単位時間で換算して求めた。膜厚測定には、波長 675 nm のダイオードレーザを用いた光干渉式薄膜測定装置を用いた。膜厚測定点は EE (edge exclusion) 5mm でノッチを下にしてウェーハを左から右方向へ直線で 39 点測定した。研磨量均一性 (WIWNU: with in wafer non uniformity) ($\pm$ %) は下記式から算出した。

$$WIWNU = (\text{Max} - \text{Min}) / (\text{Max} + \text{Min}) \times 100 \quad (3)$$

ここで Max はウェーハ面内の研磨量最大値, Min は研磨量最小値である。また、パターンウェーハの段差量測定には触針式段差測定器を用いた。

3. 結果と考察

3.1 平坦化性能比較

図 3 に平坦化能力の研磨量依存性を示す。研磨条件は、研磨荷重は 27.6kPa, プラテン/ヘッド回転数は 93/87min⁻¹である。評価パターン幅 (ライン/スペース) は 2000/2000 μ m で、初期段差量は 750nm で研磨量増加と共に残留段差は低減する。初期段差 $\times$ 0.8 倍の研磨を施した際に段差低減量は、ポリウレタンパッド(Hard pad)で 650nm, 積層ポリウレタンパッドで 390nm とポリウレタンパッド単層により約 1.6 倍平坦性が向上している。パターン幅 2000/2000 μ m の研磨はほぼチップ全面に渡る凸形状の段差解消を想定しており、ポリウレタンパッド (単体) の平坦化能力の向上効果が確認できる。またポリウレタンパッド (単体) を用いることで初期段差量と同程度の研磨を施すことで段差解消量を初期段差の 1/4 以下にできることがわかる。言い換えるとポリウレタンパッド (単体) は積層ポリウレタンパッドに対して必要研磨量を低減することが出来ることを意味している。図 4 に研磨量 400 及び 600nm における残留段差のパターン幅依存性を示す。積層ポリウレタンパッドでは、パターン幅が 1000/1000 μ m 以上になると平坦化能力が低下し、研磨量を 400 から 600nm と増加させても平坦化効果は低減することがわかる。ウレタンフォームによってパッド全体の硬度が低下し、凹段差領域にパッドが追従することで段差解消性が低下したと考える。一方、ポリウレタンパッド (単体) ではパターン幅 5000/5000 μ m であっても平坦化能力は研磨量を増加させると向上することがわかる。また 1000 μ m 以下のパターン幅においてもポリウレタンパッド (単体) の平坦化能力は積層ポリウレタンパッドの 2 倍以上である。図 5(a)に TEG (test element

Fig.3 Step height reduction dependence on oxide removal amount (Down force: 27.6kPa, platen speed: 93min⁻¹)

group) チップ内のパターンにおける研磨後段差量の 2 次元プロファイルを示す。スキャン距離は 25mm である。TIR (total indicated runout) 量は、ポリウレタンパッド (単体) で 28nm, 積層ポリウレタンパッドで 43nm とポリウレタンパッド単層により約 1.8 倍平坦性が向上している。図 5(b)にロジック製品チップパターンにおける研磨後段差量の 2 次元プロファイルを示す。TIR 量は、ポリウレタンパッドで 19nm, 積層ポリウレタンパッドで 37nm とポリウレタンパッド単層により製品パターンにおいても約 1.9 倍平坦性が向上している。

図 3~5 の結果よりポリウレタンパッド (単体) 適用により ILD-CMP の平坦化能力は大幅に改善できることを確認した。

Fig.4 Step height dependence of feature width
(Down force: 27.6kPa, platen speed: 93min⁻¹)

(a) Example of test element group (TEG) patterns

(a) Product patterns

Fig.5 Examples of global flatness profile
(Down force: 27.6kPa, platen speed: 93min⁻¹)

3.2 研磨量均一性の改善

一般的に、研磨速度の安定化と研磨速度均一性の再現性の観点から、積層ポリウレタンパッドが主に用いられている。図 6 にポリウレタンパッド (単体) における 750 枚のウエーハ処理での研磨速度と研磨量均一性の推移を示す。研磨条件は、研磨荷重は 27.6kPa, プラテン/ヘッド回転数は 93/87min⁻¹ である。研磨速度は同研磨条件で積層ポリウレタンパッドを用いて得られる平均研磨速度を 1 とした相対値で示した。評価した研磨パッドの累積使用時間は 12.5 時間である。研磨速度の平均値の推移は安定しているが、研磨量均一性は研磨パッド使用開始時から ±10% 程度で、ウエーハ処理枚数の増加に伴って漸増し ±15% を超え実用上大きな障害となることがわかる。累積研磨パッド使用時間 1 及び 12.5 時間のウエーハ面内研磨速度プロファイルを図 7 に示す。パッド使用時間の増加でウエーハ外周約 80mm のところで研磨速度が中心部分よりも上がり、90mm 以上の外周は急激に研磨速度が低下する傾向が顕著になることがわかる。ウエーハ中心部付近の研磨速度も低下するために、研磨量均一性は悪化するが研磨速度の平均値は比較的一定になったと考える。

研磨中にポリウレタンパッドはリテーニングリングによって押圧されると、その形状が変形(リバウンド)⁹⁾し、研磨パッドのリバウンドによって、ウエーハの外周部の研磨速度が低下し、その部分より内側は逆にウエーハに研磨パッドが強く押し当てられるために研磨速度が増加するものとする。評価当初は、

Fig.6 Relative removal rate and WIWNU trend data for a run of ~750 wafers with conventional polishing conditions
(Down force: 27.6kPa, platen speed: 93min⁻¹)

Fig.7 Relative removal rate profile across a wafer diameter with conventional polishing conditions
(Down force: 27.6kPa, platen speed: 93min⁻¹)

このリバウンドの影響を軽減するために積層ポリウレタンパッド用に適正化されたリテーニングリングを用いていた。また研磨中に研磨ヘッドからの異音と振動も大きくプロセスが不安定となる要因の一つとなっていた。そこで研磨条件を見直し、研磨ヘッドに印加する荷重バランス、パッドカットレートがより安定するパッドコンディショナによる研磨パッドのコンディショニング条件やスラリの流入用の溝を無くしてパッドに荷重が均一に掛かるリテーニングリング形状に変更し、研磨速度プロファイルの改善を図った。

プラテン/ウエーハ回転数やウエーハ全面に掛ける荷重等の研磨条件は従来仕様から変えずに、評価の中で最も研磨量均一性が改善したリテーニングリングとウエーハ外周部に掛ける荷重を 37.3 及び 31kPa とした条件での累積研磨パッド使用時間 1 及び 12.5 時間のウエーハ面内研磨速度プロファイルを図 8 に示す。研磨パッドのリバウンドの影響が軽減することで研磨速度プロファイルが改善し、ウエーハ中心付近及びウエーハエッジ部分での研磨速度の低下を抑えることができ、累積研磨パッド使用時間による均一性の劣化も低減された。図 9 に研磨条件改善後のポリウレタンパッド（単体）におけるウエーハ 750 枚処理における研磨速度と研磨量均一性の推移を示す。評価した研磨パッドの累積使用時間は 12.5 時間である。研磨速度平均値は 1~1.1 及び研磨量均一性は $\pm 5\sim 7\%$ 程度と安定しており、実用

Fig.8 Relative removal rate profile across a wafer diameter with modified polishing conditions
(Down force: 27.6kPa, platen speed: 93min⁻¹)

Fig.9 Relative removal rate and WIWNU trend data for a run of ~750 wafers with modified polishing conditions
(Down force: 27.6kPa, platen speed: 93min⁻¹)

Fig.10 Relative removal rate and WIWNU trend data for a usage time of polishing pad of 30 hours with modified polishing conditions
(Down force: 27.6kPa, platen speed: 93min⁻¹)

Fig.11 WIWNU data for a usage time of polishing pad of 32.5 hours with modified polishing conditions
(Down force: 27.6kPa, platen speed: 93min⁻¹)

化に向けた改善効果を確認できた。また評価当初問題となった研磨中の研磨ヘッドからの異音と振動も大幅に低減し、安定した研磨が可能となった。

更に、パッドコンディショニング条件を見直し、パッドカット速度を下げ、研磨パッド厚さを 2mm へ変更し、溝幅/溝ピッチ/溝深さ=0.4/3.0/0.8mm の同心円溝形状に変えて、使用時間延長を検討した。累積使用時間 30 時間における研磨速度及び研磨量均一性推移結果を図 10 に示す。研磨速度は積層ポリウレタンパッドと比較して 10% 向上し、研磨量均一性も $\pm 5\sim 7\%$ 程度と安定した推移を確認した。パッド累積使用時間 32.5 時間における研磨量均一性の累積度数分布を図 11 に示す。本評価では 40 枚の研磨パッドを用い、研磨パッド、パッドコンディショナディスク、研磨ヘッドを構成するリテーニングリングやウエーハに荷重を印加するメンブレンゴムの製造ロットバラツキや使用に伴う劣化の影響を含めた研磨量均一性のバラツキは $\pm 9\%$ 以下であり、実用化に耐える研磨プロセスを構築したと考える。更に、研磨パッド寿命も従来累積使用時間 12.5 時間に対して 32.5 時間と約 2.5 倍以上の長寿命化を図った。

6. 結 言

本研究では、研磨装置に大きな変更を加えることなく、段差平坦化性能を改善する CMP プロセスを検討し、次のような結果を得た。

- (1) サブパッドを用いない発泡ポリウレタンパッド単体の研磨により従来積層ポリウレタンパッドと比較して配線幅 2000 μm のパターンにおいて、平坦化性能を 1.6 倍改善した。
- (2) パッドコンディショニング条件を見直し、研磨速度を従来積層ポリウレタンパッドと比較して 10% 向上させた。
- (3) 従来条件では $\pm 10\sim 15\%$ あった研磨量均一性を研磨部材の適正化により、そのほかのプロセス変動要因を含めても $\pm 9\%$ 以下で且つ再現性を確認した。
- (4) 研磨パッド寿命も従来仕様と比較して 2.5 倍以上改善し、平坦化能力を向上させつつ十分に実用に耐えうる ILD-CMP プロセスの構築を図った。

参 考 文 献

- 1) J. D. Plummer, M. D. Deal, and P. B. Griffin: Silicon VLSI Technology – Fundamentals, Practice and Modeling, Prentice Hall, Upper Saddle River, NJ, (2000) 213.
- 2) S. J. Fang, S. Garza, H. L. Guo, T. H. Smith, G. B. Shinn, J. E. Campbell, and R. L. Harstell: Optimization of the Chemical Mechanical Polishing Process for Premetal Dielectrics, J. Electrochem. Soc., **147**, 2, (2000) 682.
- 3) S. D. Kim, I. S. Hwang, and K. S. Coi: Hard-Pad-Based CMP of Premetal Dielectric Planarization, J. Electrochem. Soc., **150**, 8, (2003) G450.
- 4) D. O. Ouma, D. S. Boning, J. E. Chung, W. G. Easter, V. Saxena, S. Misra, and A. Crevasse: Characterization and Modeling of Oxide Chemical Mechanical Polishing Using Planarization Length and Pattern Density Concept, IEEE Trans. Semiconduct. Manufact., **15**, 2 (2002) 232.
- 5) J. Mendonca, C. Dang, C. Pettinato, J. Cope, H. Garcia, J. Saravia, J. Farkas, D. Watts, and J. Klein: Interconnect material and CMP process change effects on local interconnect planarity, Proc. IEEE 1998 International Interconnect Technology Conference, (1998) 196.
- 6) M. Kulawski, K. Henttinen, I. Suni, F. Weimar, and J. Mäkinen: A Novel CMP Process on Fixed Abrasive Pads for the Manufacturing of Highly Planar Thick Film SOI Substrates, Mater. Res. Soc. Symp., **767**, (2003) 133.
- 7) 片桐 創一, 安井 威, 山口 宇唯, 河村 喜雄, 河合 亮成, 金井 史幸, 徳田 光雄, 本田 実, 森山 茂夫: 固定砥粒を用いた STI 平坦化プロセスの研究(第 1 報): 平坦化加工性向上のための要因分析, 精密工学会誌, **70**, 1 (2004) 128.
- 8) 山田 洋平, 菅谷 貴浩, 川久保 正徳: 半導体デバイスと平坦化 CMP の最新動向, 2006 年度精密工学会秋季学術講演会講演論文集 (2006) 501.
- 9) X. Jin, L. M. Keer, and Q. Wang: A 3D EHL Simulation of CMP, J. Electrochem. Soc., **152**, 1 (2005) G7.