酸化膜 CMP におけるマイクロスクラッチ低減の検討*

—CMP プロセスにおけるスクラッチの発生要因調査—

山田洋平^{**†} 菅谷貴浩^{***} 小西信博^{***} 黒河周平[†] 土肥俊郎[†]

Study on Reduction of Micro-Scratch in Oxide CMP for Multi-Level Interconnection
- Investigation of Mechanism for Micro-Scratch Formation in CMP Process -

Yohei YAMADA, Takahiro SUGAYA, Nobuhiro KONISHI, Shuhei KUROKAWA and Toshiro DOI

Chemical-mechanical polishing (CMP) has been widely accepted for the planarization of multi-layer structures in semiconductor manufacturing. Micro-scratch is the typical defect made during the CMP process, which are produced mainly because of agglomeration of slurry. Defects like micro-scratch lead to severe circuit failure, and affects yield. In this study, we described approaches to a production-worthy CMP process to prevent impact of micro-scratches on product wafer and lead to yield improvement. We have studied the effects of slurry filtration, pad cut rate of pad conditioner disks, and pad grooving design of the hard pads. By optimizing the consumables and polishing conditions, the hard pad-pad process showed 80% improvement in defectivity compared to the stack-type pad process.

Key words: chemical-mechanical polishing(CMP), micro-scratch, particle, defect, yield, polyurethane pad, hard pad, pad conditioner disk, pad cut rate, slurry, filter, agglomeration

1. 結 言

シリコン (Si) デバイスは、Si 基板表面に形成される電界効果型トランジスタ (MOSFET: metal-oxide semiconductor field-effect transistor) 素子とそれらを接続する多層配線により回路構成される。MOSFET の寸法を 3 年毎に 70%, チップ面積としては 50%に縮小すること (デザインルール) で、ULSI (ultra large scale integration) の高速化, 低消費電力化そして高密度素子化を実現してきた。配線に関しても微細化と高密度化が進み、配線長はより長く、配線間隔はより近接して配置されてきた。その結果、配線中を電気信号が伝播する際の遅延時間が増加し、微細化により短縮されてきたトランジスタのゲート遅延時間と同程度のレベルに達し始め、デバイス性能への影響が無視できなくなった¹⁾²⁾。その中で、ULSI の微細化と高速化を実現させる必須の製造技術として半導体 CMP (chemical-mechanical polishing) 技術が導入され、技術精度の向上が進められてきた。デバイスの更なる微細化に対応する CMP 技術に全般に求められる要求事項は、

- ①加工精度の向上
- ②低欠陥密度の実現

である。①に関しては、チップ全体に渡るグローバル段差の低減やリセス及びディッシング等の個々のパターンにおけるトポグラフィの更なる是正が求められる。②に関して層間絶縁膜 (ILD: Inter Layer Dielectric) CMP 技術において、製造歩留を低下させる典型的な欠陥例を図 1 に示す。図 1(a)は酸化膜表

面に付着した CMP の研磨剤であるスラリー残渣、図 1(b)は、スクラッチ (研磨傷) である。付着異物は、上層配線形成時のパターン欠陥の原因となり、研磨後洗浄条件 (洗浄薬液やブラシ条件等) の適正化と装置管理が重要となる。一方、スクラッチ

(a) Typical residual slurry

(b) Typical micro-scratch

Fig.1 SEM images of CMP defects on oxide layer

* 原稿受付 平成 20 年 4 月 14 日

** 正 会 員 (株)日立製作所 (東京都青梅市新町 6-16-3)

*** (株)日立製作所

† 正 会 員 九州大学 大学院工学研究院 (福岡県福岡市西区 元岡 744)

Fig.2 Commonly used yield models, where A is the die area and D is the foundry's defect density

はマイクロスクラッチとビックスクラッチの2種に大別される。前者は、一般的に凝集したスラリ起因で発生し、トランジスタ素子形成工程で、電極形成時のエッチング残渣によるショートや、配線形成工程では上層配線形成時のメタル CMP におけるメタル残渣³⁾⁴⁾の原因となる。後者は、パッドコンディショニングで用いるダイヤモンドディスクからのダイア欠落が原因で、ビックスクラッチ発生により確実にウエーハは不良ウエーハとしてスクラップされる。研磨性能にも影響を与えるダイヤモンドディスクの仕様（ダイヤモンドの種類、大きさ、配列等）の選定と管理が必要となる。

デバイスの歩留り $Y\%$ は、ポアソン統計に基づき下記の式で表される。

$$Y = \exp(-A \times D) \quad (1)$$

ここで A はチップ面積 (cm^2)、D は欠陥密度 ($\text{個}/\text{cm}^2$) である。図 2 に歩留とチップ面積及び欠陥密度相関を示す。同じ欠陥密度であってもチップ面積を縮小することで歩留りが増加することが分かる。しかしながら、SoC (system on a chip) デバイスを例にとると、前述のデザインルールに沿ってデバイスの性能向上が図られてきたが、チップ面積は増大の方向に進んでいる。すなわち、デバイスの微細化とともに歩留りを維持するための管理すべき欠陥密度の許容値は小さくなることを意味している。上述の加工精度の向上と低欠陥密度を実現するためには、研磨装置、スラリや研磨パッド⁶⁾等の性能向上に加え、更に厳密な装置管理、異常検知及び消耗部材の管理が求められる。

本研究では CMP 起因の欠陥において特にマイクロスクラッチに焦点をあて、その発生要因の解明と低減を検討し、実用化に耐えうるプロセスを検討した。

2. 実験方法

本研究の主な評価項目は、酸化膜研磨におけるスクラッチと付着異物の欠陥数である。スクラッチの発生要因解明のため、

- (1) 研磨前の CVD (chemical vapor deposition) 絶縁膜中異物の影響
- (2) CMP スラリ中の凝集砥粒の影響
- (3) CMP 消耗部材（ダイヤモンドドレッサーの性能及びパッド）の影響

を調べた。欠陥数の評価は、200mm 径 Si ウエーハに PE-TEOS (plasma-enhanced tetraethylorthosilicate) を 800nm 成膜したブランケットウエーハを用いた。酸化膜研磨には量産性能を

考慮して 4 研磨ヘッド、3 プラテン（定盤）で構成されるマルチプロセス対応可能な研磨装置を用いた。研磨スラリは市販のヒュームドシリカを含有したアルカリ性 ($\text{pH}=10\sim11$) スラリを用いた。研磨パッドは市販の独立発泡ポリウレタン系パッド（硬度：Shore-D 59、密度： $0.8\text{g}/\text{cm}^3$ ）と同ポリウレタンパッドにポリウレタンフォームを下層に張った積層パッドを比較した。厚さ 1.2mm のポリウレタンパッド表面には溝幅/溝ピッチ/溝深さ = $0.2/1.5/0.3\text{mm}$ の同心円溝が施されている。研磨後のウエーハは 2% アンモニア及び 0.5% 希フッ酸薬液を用いて PVA (polyvinyl alcohol) ブラシで洗浄し乾燥を施した。欠陥測定には、レーザー散乱原理を応用したウエーハ表面検査装置を用いた。これはレーザーをウエーハ上方より照射し、欠陥からの散乱光を受光レンズで集光し、光电変換素子で電気信号に変換して欠陥を検出するのである。散乱光の集光の段階でウエーハ表面に対して凸形状の付着異物と凹形状のスクラッチを弁別する。スクラッチサイズは体積で換算し $1 \times 10^{-3} \mu\text{m}^3$ 以上、付着異物は粒径サイズ $0.2 \mu\text{m}$ 以上を計測した。スクラッチ計測に関しては、検査の感度を上げるために、研磨量 200nm 処理後のブランケット PE-TEOS 膜ウエーハを 0.5% 希フッ酸で約 40nm エッチングして、スクラッチ形状を拡大した後計測を行った。またスラリ中の砥粒計測にはレーザー回折散乱式粒度分布計を使用した。更に凝集スラリの捕獲には 0.5 及び $1.0 \mu\text{m}$ のデプスフィルターを用いた。

3. 結果と考察

3.1 酸化膜中異物起因のスクラッチ

CVD 膜の膜質は CMP スクラッチに影響を及ぼす⁸⁾。始めに本研究では、CVD 成膜によって生じた異物とスクラッチの相関を調べた。研磨前の PE-TEOS 膜の異物密度と研磨後のスクラッチ密度の相関を図 3 に示す。研磨条件は、研磨荷重は 27.6kPa、プラテン/ヘッド回転数は 93/87 min^{-1} である。パッドは積層ポリウレタンパッド (Stacked pad) を用いた。研磨前の PE-TEOS 膜の異物密度と研磨後のスクラッチ密度に強い相関は見られない。

次に、研磨後の PE-TEOS 膜の異物密度とスクラッチ密度の相関を図 4 に示す。図 3 と比較して異物密度とスクラッチ密度には一次の相関傾向が見られ、研磨後の異物密度が高い程スクラッチ密度は増加する。図 3 における研磨前異物密度は、PE-TEOS 膜表面付着異物及び膜中異物両方を計測している。比較的除去され易い膜表面に付着した異物はスクラッチ発生寄与

Fig.3 Correlation of scratch and defectivity level pre polishing

Fig.4 Correlation of scratch and defectivity level after polishing

が小さいため、図3において異物密度とスクラッチ密度は低い相関になったと考える。一方、図4では研磨後の異物密度は膜中の異物と研磨中に付着した異物を計測しており、CMP後の洗浄が一定の除去能力を維持している限りでは、研磨中に付着した異物数は一定の範囲となるために、膜中異物が多く存在していると研磨中にスクラッチの起点となる可能性が大きいことを意味している。

図4の結果よりスクラッチの改善には、まずCVD膜中の異物の低減が必要であることを確認した。

3.2 スラリ凝集起因のスクラッチ

凝集したスラリはマイクロスクラッチの要因となる。デプスフィルタによってスラリ中の凝集物を捕獲する^{9)~11)}ことはマイクロスクラッチ低減に有効である。図5に0.5 μm フィルタをかける前後のスラリ粒度分布を示す。図5(a)からフィルタによって1 μm 以下の粒子数が約半減していることが分かる。更に図5(b)よりマイクロスクラッチ低減のポイントとなる粒径1.0 μm 以上の凝集物の捕獲も行われていることが分かる。図6にフィルタリングのサイズと適用箇所を適正にした際のスクラッチ密度の比較を示す。研磨条件は、研磨荷重は27.6kPa、プラテン/ヘッド回転数は93/87 min^{-1} である。評価に用いたPE-TEOS膜は膜中異物の発生を極力抑えた成膜条件を用いている。従来のフィルタリング仕様と改善仕様共にスクラッチ密度と研磨後の異物密度に強い相関は無いが、スクラッチ密度のレベルは従来仕様が0.03~5ヶ/cm²に対して、改善仕様では0.03~0.2ヶ/cm²と約1/10程度低減する。すなわちスラリのフィルタリングはスクラッチの改善に効果があることを確認した。

3.3 CMP 消耗部材起因のスクラッチ

3.3.1 コンディショナーディスク劣化起因のスクラッチ

一般的にCMP処理後の発泡ポリウレタン表面の目詰まりに対して、ダイヤモンド砥粒でパッド表面を除去加工するコンディショニングは、研磨速度と研磨量均一性を維持する上で必要不可欠なパッド表面回復技術である。次に、研磨パッドを除去加工するパッドカットレートとスクラッチ発生との関係を調べた。図7にパッドカットレートとスクラッチ密度との相関を示す。研磨条件は、研磨荷重は27.6kPa、プラテン/ヘッド回転数は93/87 min^{-1} である。パッドは積層ポリウレタンパッドを用いた。コンディショニング条件は研磨と同時に施すインサイチュドレスでドレス回転数は65 min^{-1} 、ドレス荷重は24.5N、揺動速度は12sweep/min、ダイヤモンド砥粒サイズはメッシュサイズ40~120を用いた。図7よりパッドカットレートが低下するに伴っ

てスクラッチ密度が増加することが分かる。特にパッドカットレートが15 $\mu\text{m}/\text{hour}$ 以下になるとスクラッチレベルは約一桁悪くなる。

(a) Particle diameter 0.5~10 μm

(b) Particle diameter 1~10 μm

Fig.5 Comparison of particle size distribution

Fig.6 Comparison of scratch defect density

Fig.7 Scratch defect density as a function of pad wear rate

3.3.2 パッド溝形状依存性

パッド表面に施した同心円状の溝の寸法が、溝幅/溝ピッチ/溝深さ=0.2/1.5/0.3mm (溝仕様①) と溝幅/溝ピッチ/溝深さ=0.4/3.0/0.8mm (溝仕様②) の2種類用意して、パッド使用時間とスクラッチ密度との相関を比較した。コンディショニング条件はインサイチュドレスでディスク回転数は 65min^{-1} 、ドレス荷重は 24.5N 、遥動速度は 12sweep/min 、ダイア砥粒サイズはメッシュサイズ 120 を用いた。図 8 にスクラッチ密度のパッド使用時間依存性を示す。溝仕様①においては、パッド使用時間と共にスクラッチ密度は増加し、パッド使用時間が7時間を越えるとスクラッチレベルは約5倍悪化することが分かった。一方、溝仕様②においては、スクラッチレベルはパッド使用時間が20時間を越えても 0.4ヶ/cm^2 以下と安定していることが分かる。溝仕様②は溝仕様①と比較して溝幅が1.6倍広くまた、溝深さは2倍深い。溝仕様②は研磨中にパッド溝に溜まった凝集したスラリ等の異物が、研磨処理後の高圧純水リンスで溝内から除去され易く、また溝が深いために凝集物が溝内に溜まっても研磨中に除去される確率が低くなるためにスクラッチの発生が低下したと考える。

3.3.3 パッド仕様の適正化

3.3.1 及び 3.3.2 の結果に基づき、パッド仕様の適正化を図った。まず、パッド硬度を上げることでパッドカットレートの維持を検討した。パッドを積層パッドと発泡ポリウレタン (単層) (Hard Pad) の2種類用意して、パッドカットレートの研磨パッド使用時間依存性を調べた。図 9 にパッドカットレートのパッド使用時間依存性を示す。積層パッドにおいては、研磨パッドの使用開始から徐々にパッドカットレートが低下し、累積パッド使用時間が25時間を超えると約 $1/10$ 程度まで低下する。一方、ポリウレタンパッド (単層) においては、パッドカットレートは累積パッド使用時間50時間においても安定していることが分かる。積層パッドの場合、上層のポリウレタンパッドがパッド使用時間と共に薄くなることでパッド全体の剛性が下がり、そのためパッドカットレートが低下するものと考えられる。パッドカットレートの安定化は低スクラッチレベルの維持が期待できる。積層パッドとポリウレタンパッド (単層) の CMP 処理後のパッド表面の外観を観察した。図 10 に積層パッドの SEM 像、図 11 にポリウレタンパッド (単層) の SEM 像を示す。同じポリウレタンパッド表面であるにも係わらず、積層パッドの表面はポリウレタンパッド (単層) よりも研磨によって潰れた箇所が多く、高倍率観察ではその部分に白色の乾燥したスラリが残留していることが分かる。積層パッドにおいてスクラッチのレベルが悪化した原因は、コンディショニング

Fig.8 Scratch defect density as a function of pad usage time

の実効的なパッドカットレートの違いがパッド目詰まりの回復の差となり、凝集したスラリがウエーハ表面と接触し易いパッド目詰まり部分に留まる確率が高くなったことと考える。

最後に図 12 に製品ウエーハ 500 枚処理した際の製品上スクラッチレベルの累積度数分布を示す。積層パッドと溝仕様②を施したポリウレタンパッド (単層) を比較した。研磨条件は、研磨荷重は 27.6kPa 、プラテン/ヘッド回転数は $93/87\text{min}^{-1}$ 、ドレス荷重は 24.5N 、遥動速度は 12sweep/min 、ダイア砥粒サイズはメッシュサイズ 120 を用いた。製品ウエーハ上のスクラッチのレベルは積層パッドと比較してポリウレタンパッド (単層) が約 $1/5$ 低下し、且つバラツキのレベルも大幅に改善できることを確認した。

Fig.9 Comparison of pad wear rate

(a) Low magnification observation

(b) High magnification observation

Fig.10 SEM images of stacked pad surface

4. 結 言

本研究では、次のような結果を得た。

- (1) 酸化膜中の研磨前初期異物レベルを下げることでスクラッチレベルを下げるができる。
- (2) 適切なフィルタの設置で、スラリー中の凝集物を有効に捕獲しスクラッチレベルを約 1 桁以上下げることができる。
- (3) 研磨パッドのカットレートとスクラッチレベルには相関があり、パッドカットレートを $10\mu\text{m/hr}$ 以下になるとスクラッチレベルは約 1 桁悪化する。
- (4) パッド溝幅及び溝深さを変更し、パッド硬度を上げることでスクラッチレベルを従来仕様と比較し 1/5 低減し、研磨パッド寿命も約 3 倍以上改善することで、十分実用に耐えうる低欠陥 ILD-CMP プロセスの構築を図った。

参 考 文 献

- 1) H. B. Bakoglu, and J.D. Meindl: Optimal Interconnection Circuits for VLSI, IEEE Trans. Electron Devices, **ED-32**, (1985) 903.
- 2) D. C. Edelstein, G. A. Sai-Halasz, and Y. -J. Mii: VLSI on-chip interconnection performance simulations and measurements, IBM J. Res. Develop., **39** (1995) 383.
- 3) S. -M. Jung, J. -S. Uom, Y.-J. Bae, Y. -K. Chung, K. -S. Yu, K. -Y. Kim, and K. -T. Kim: A Study of Formation and Failure Mechanism of CMP Scratch Induced Defects on ILD in a W-damascene interconnect SRAM Cell, Proc. IEEE 2001 International Reliability Physics Symposium μm , (2001) 42.
- 4) H. Ollendorf, S. Cabral, and R. Fuller: Reduction of CMP u-scratch induced metal shorts by introduction of a post CMP tungsten plasma clean process in a high volume DRAM manufacturing environment, Proc. IEEE Advanced Semiconductor Manufacturing Conference and Workshop, (2004) 1.
- 5) C. H. Stapper: On Murphy's Yield Integral, IEEE Trans. Semiconductor Manufacturing, **4**, 4, (1991) 294.
- 6) S. Kincal: Impact of Polish Pad Imperfections on Chemical Mechanical Polishing Defects, J. Electrochem. Soc., **153**, 8, (2006) G742.
- 7) 菅谷貴浩, 川久保正徳, 小西信博, 山田洋平: 層間絶縁膜 CMP におけるマイクロスクラッチ低減の研究, 第 67 回秋季応用物理学術会講演予講集, 31a-ZN-1 (2006)752.
- 8) J. J. Naughton, and M. M. Nelson: A Novel High Reliability ILD Stack, Proc. IEEE 2006 International Reliability Physics Symposium, (2006) 715.
- 9) C. -B. Kim, S. -Y. Kim, and Y. -J. Seo: Reduction of micro-scratch using slurry filter in oxide CMP (chemical mechanical polishing) for multi-level interconnections, Proc. IEEE 2001 International Symposium on Electrical Insulating Materials, (2001) 91.
- 10) S. D. Aytes, J. S. Armstrong, K. A. Mortensen, C. W. Russell, K. A. Ross, J. E. Giraud, D.H. Hooper, H. M. Alexander, T. A. Corsetti, M. M. Nelson, M. W. Engle, and J. Prasad: Experimental investigation of the mechanism for CMP micro-scratch formation, Proc. IEEE the 15th Biennial University/Government/Industry Microelectronics Symposium, (2003)107.
- 11) T. L. Neo, S. Y. Shang, C. M. Chong, M. Huang, C. M. Chen, F. J. Hsu: CMP defect reduction by micro-scratch control using new monitoring technique, Proc. IEEE 2001 International Semiconductor Manufacturing Symposium, (2001) 321.

(a) Low magnification observation

(b) High magnification observation

Fig.11 SEM images of hard pad surface

Fig.12 Comparison of scratch defect level on product wafers