Cu/Low-k 配線対応 CMP プロセスの開発*

—低選択バリアメタル研磨による表面段差是正の検討—

山田洋平^{**,††} 小西信博^{***} 大嶽 敦[†] 黒河周平^{††} 土肥俊郎^{††}

CMP Process Development for Cu/Low-k Interconnect Schemes

— Low Selective Approach to Barrier Metal Polish for Topography Correction —

Yohei YAMADA, Nobuhiro KONISHI, Atsushi OHTAKE, Shuhei KUROKAWA and Toshiro DOI

Chemical-mechanical polishing (CMP) has been elevated to the forefront of the enabling technology required in a copper (Cu) damascene manufacturing process. Nevertheless, ongoing research and development is necessary in order to meet the requirements for future device generations. In this paper a topography investigation after copper and barrier metal CMP for Cu damascene interconnect with cap-SiO structure, is presented. The procedure is applied to five different selectivity of barrier metal slurry to compare after barrier CMP topography and electrical performance. As a result, a selectivity of Cu/Ta(tantalum)/SiO/SiOC(silicon oxycarbide) (0.6/1/0.8/0.6) had a better topography correction in barrier metal CMP and reduced short circuit failures on the upper interconnection. Furthermore, optimal direct CMP process on a SiOC film to mitigate the degradation of line-to-line insulating reliability such as time-dependent dielectric breakdown (TDDB) lifetime in SiOC/Cu structure is discussed.

Key words: chemical-mechanical polishing(CMP), copper(Cu), damascene interconnect, slurry, selectivity, time-dependent dielectric breakdown(TBDD) topography correction

1. 緒 言

シリコン(Si)半導体デバイスは、Si 基板表面に形成される電界効果型トランジスタ素子とそれらを接続する多層配線により回路構成される。トランジスタ素子寸法を 3 年毎に 70%, チップ面積としては 50%に縮小すること(デザインルール)で、ULSI (ultra large scale integration)の高速化、低消費電力化、そして高密度素子化を実現してきた。配線構造は、微細化と高密度化が進み、配線の近接配置と延長化が図られてきた。その反面、配線内で電気信号の伝播遅延時間が増加し、微細化により短縮されてきたトランジスタのゲート遅延時間と同程度のレベルとなり、デバイス性能への影響が無視できなくなった¹⁾²⁾。そこで、高機能論理回路(ロジック)デバイスにおいて、180nm プロセス世代までは配線材料にアルミニウム(Al)合金が用いられていたが、130nm プロセス以降の世代は、より低抵抗の銅(Cu)に置き換えられ、更に、90nm プロセス以降の配線層間絶縁膜には配線間寄生容量を低減するために、PE-TEOS (plasma-enhanced tetraethylorthosilicate)等のシリカ(SiO)から SiOC (silicon oxycarbide)等の低比誘電率絶縁膜(low-k)の導入が行われた。

Cu 配線は、ダマシン(damascene)法によって形成される。その形成プロセスにおいて CMP (chemical-mechanical polishing)は、配線パターン以外に成膜された不要な Cu 及びバリアメタルを除去する技術である。Cu CMP プロセスは、バルク Cu を除去してバリアメタル膜を露出させて止めるバルク Cu CMP ス

テップと、バリアメタル膜を除去するバリアメタル CMP ステップから構成される。バリアメタル CMP は、高選択(high selective)または低選択(low selective)アプローチに大別される。

low-k 膜は機械的強度が低く、下地膜との密着性も弱いので、CMP プロセス中の摩擦で発生する low-k 膜剥離や、膜表面ダメージで生じる k(比誘電率)値上昇が課題である。そのため、CMP の低荷重化による剥離防止や low-k 膜上への保護キャップ層形成によるダメージ防止が図られた³⁾。しかしながら、層間絶縁膜全体の実効比誘電率(keff)は、キャップ層に用いる SiO 膜の k 値の影響で上昇し、配線間寄生容量の増加に繋がる。本研究では、図 1 に示す low-k(SiOC)膜上にキャップ層を形成した構造を前提として、90nm プロセス対応のインテグレーションとして、バリアメタル CMP でキャップ層を残す構造(Cu/Cap-SiO-SiOC structure)の検討を行った。キャップ層の膜厚と keff の相関をシミュレーションした結果を図 2 示す。開発目標である keff を 3.5 とするためには、バリアメタル CMP においてキャップ層膜厚は 50±10nm に制御する必要がある。そこで、CMP 後の表面段差を緩和する適切な研磨速度比を調査した⁴⁾。次に、配線信頼性は維持しながらキャップ層を削り込んで low-k 膜を露出させる 65nm プロセス対応の CMP を検討した。これらのバリアメタル CMP 技術は、キャップ層に low-k 膜を用いる 45nm プロセス以降の次世代インテグレーションスキームに対応できる。キャップ層に SiO 膜と low-k 膜を用いた場合に、keff を 2.8 以下とするバルク low-k 膜に必要な k 値を計算したシミュレーション結果を図 3 に示す。low-k キャップ層の導入は、バルク low-k 膜の k 値を 2.6 まで上げられ、SiO キャップ層で必要な 2.44 と比較して low-k 膜の CMP に対する耐性は改善し、その結果としてプロセスインテグレーションの-margin 向上が期待できる。

* 原稿受付 平成 20 年 6 月 5 日

** 正 会 員 (株)日立製作所 (東京都青梅市新町 6-16-3)

*** (株)日立製作所 (東京都青梅市新町 6-16-3)

† (株)日立製作所 (茨城県日立市大みか町 7-1-1)

†† 正 会 員 九州大学 大学院工学研究院 (福岡県福岡市西区 元岡 744)

Fig.1 Cu/low-k damascene integration scheme

Fig.2 Simulated result of effective dielectric constant dependence on cap-SiO film thickness

Fig.3 Simulated result of effective dielectric constant dependence on dielectric constant of bulk low-k material

2. 実験方法

本研究の主な評価項目は、バリアメタル CMP における研磨速度比と CMP 後の配線付近の段差量、及び Cu 配線信頼性の一つである絶縁膜破壊寿命 TDDB (time-dependent dielectric breakdown) ⁵⁾ である。Cu CMP プロセスには量産性能を考慮して 4 研磨ヘッド、3 プラテンで構成されるマルチプロセス対応可能な研磨装置を用いた。バルク Cu CMP には、酸化剤に過酸化水素を用いる市販の 1% 以下のコロイダルシリカを含有した酸性 (pH 4) スラリを用いた。バリアメタル CMP には、酸化剤に過酸化水素を用いる市販の 2 種類の酸性 (pH 3.5) スラリを用いた。コロイダルシリカの含有量は 1 及び 12% である。本研究では、バリアメタル膜として Ta(tantalum)と TaN (tantalum nitride)の積層膜を用いた。Cu, Ta, PE-TEOS, SiOC の研磨速度を表 1 に示した 5 種類の仕様において比較し、平坦性を向上し配線信頼性を維持するバリアメタル CMP での適切

な研磨速度比を調べた。Ta の研磨速度 1 に対して Cu 及び PE-TEOS の研磨速度を 0.1~0.2 に抑えた高選択仕様(表 1: プロセス A, B, C)と PE-TEOS の研磨速度を 0.8, Cu は 0.1 もしくは 0.6 とした低選択仕様(表 1: プロセス D, E)である。Cu 膜の研磨速度は過酸化水素の混合量で調整した。研磨パッドは市販の独立発泡ポリウレタンパッド(硬度: Shore-D 59, 密度: 0.8g/cm³)にポリウレタンフォームを下層に張った積層パッドを用いた。ポリウレタンパッド表面には溝幅 0.2mm, 溝ピッチ 1.5mm, 溝深さ 0.3mm の同心円溝が施されている。

研磨速度評価では、表 2 に示した仕様①~④の 200mm 径 Si プランケットウエーハを用いた。バルク Cu CMP によって Cu 配線部に生じる段差(ディッシング: dishing)量とバリアメタル CMP による配線領域全体に生じる段差(エロージョン: erosion)量、及び配線抵抗測定には、仕様⑤(配線溝深さ: 325nm)のダマシン配線パターンウエーハを用いた。更に、TDDB 寿命評価には、仕様⑥の配線幅 0.25 μm, 配線間隔 0.25 μm の梯形パターン及び仕様⑥(配線溝深さ: 275nm)の配線幅 0.14 μm, 配線間隔 0.14 μm の梯形パターンを用いた。寿命測定は、140℃の温度下で同パターンに高電圧を印加して絶縁破壊が起きるまでの時間を測定し、デバイスの実使用電界(0.2MV/cm)での破壊時間を予測した。絶縁破壊は、ダマシン配線間表層に生じるリーク電流の増加で起き、Cu CMP プロセスにも依存する ⁵⁾。

バルク Cu CMP の研磨条件は、研磨荷重: 13.8kPa, プラテン回転数: 93min⁻¹, ヘッド回転数: 87min⁻¹, スラリ流量: 0.20/min である。バリアメタル CMP の中心条件は、研磨荷重: 13.8kPa, プラテン回転数: 87min⁻¹, ヘッド回転数: 83min⁻¹, スラリ流量: 0.16l/min である。研磨後のウエーハはクエン酸をベースにした有機酸塩もしくは水酸化テトラメチルアンモニウムをベースにしたアルカリ性洗浄液を用いて PVA (poly vinyl alcohol)ブラシ洗浄を施した。Cu 及び Ta 膜厚測定には四端子法抵抗測定器を、PE-TEOS と SiOC 膜厚計測には干渉式膜厚計測器を用いた。CMP によって生じた配線近傍の段差量の測定は接触式段差計を用いた。

Table 1 Selectivity of barrier metal CMP process

Process	Slurry type	Selectivity			
		Cu	Ta	PE-TEOS	SiOC
A	High	0.1	1	0.1	-
B	selective	0.2	1	0.1	-
C		0.2	1	0.25	-
D	Low	0.1	1	0.8	0.6
E	selective	0.6	1	0.8	0.6

Table 2 Wafer sample preparations

Thickness nm	①	②	③	④	⑤	⑥
ECP ^{*1} Cu	-	-	-	450	450	450
Sputtered seed Cu	-	-	-	150	150	150
TaN/Ta	-	-	~150	15/15	15/15	15/15
Cap-SiO	-	-	-	-	125	75
SiOC	-	500	-	-	150	150
SiCN ^{*2}	-	-	50	-	50	50
PE-TEOS	800	-	800	800	800	800

Si

*1: electro-chemically plated

*2: silicon carbon nitride

3. 結果と考察

3.1 Cu CMP におけるディッシング量

始めに、バルク Cu CMP で生じる配線のディッシング量を調べた。バルク Cu CMP で生じたディッシングは、配線抵抗値ばらつきの増大、上層配線形成時にパターン解像不良や配線間ショートの原因となる。オーバー研磨量 10% におけるディッシング量の配線密度依存性を図 4 に示す。ここで、配線密度は配線幅を配線幅と配線間隔の和で除した値である。配線幅は、0.25, 5, 20 μm である。配線幅 5 μm 及び 20 μm では、配線密度の増加に伴って、ディッシング量は凹方向に約 40nm 増加する。また、配線幅 0.25 μm では、バリアメタル膜に対して Cu 膜が突起する凸方向に 15nm 程度進む。

3.2 Cu/cap-SiO₂-SiOC 構造対応バリアメタル CMP の検討

SiOC 膜($k=2.9$)導入で発生する TDDDB 寿命劣化を防止するために、cap-SiO₂($k=4.2$)膜で SiOC 膜を保護する構造を検討した。配線間の実効比誘電率は SiOC 膜より増加するため、cap-SiO₂ 膜厚は、図 2 の実効比誘電率のシミュレーション結果に基づき $50 \pm 10\text{nm}$ とした。図 4 に示したバルク Cu CMP で発生した配線部のディッシングをバリアメタル CMP によって緩和し、段差平坦性を維持するために、バリアメタル CMP における適切な研磨速度比を調べた。Ta に対して Cu と PE-TEOS の研磨速度比を変えて表面段差量の是正を計算したシミュレーション結果を図 5 に示す。詳細計算条件は文献 6 に基づいた。前提として、バルク Cu CMP でディッシング量が 100nm 発生した配線幅 5 μm 、配線間隔 0.25 μm のパターンにおいて、選択比を変えて層間絶縁膜を 50nm 研磨した時の Cu 段差量を計算したものである。配線段差量の低減には Cu/Ta 比を 0~1、TEOS/Ta 比を 0~2 の範囲に設定するのが効果的である。図 6 に 20 μm 配線におけるエロージョン量の配線間隔依存性を示す。高選択比仕様では TaN/Ta 膜換算で 3.3 倍のオーバー研磨を、低選択比仕様では cap-SiO₂ 膜の削り込みを 30nm 施した。配線間隔 0.25 μm (配線密度 98%) において、プロセス D (低選択比仕様) のエロージョン量が 35nm、プロセス A, C, E が約 45nm と同レベルで、プロセス B (高選択比仕様) は 65nm である。図 7 にプロセス B 及びプロセス E (低選択比仕様) を用いた際の cap-SiO₂ 膜削り込み量(研磨速度と研磨時間に換算)と配線幅 20 μm 、配線密度 98% のパターンにおける段差低減との相関を示す。プロセス B では、cap-SiO₂ 膜露出後に TaN/Ta 膜換算で 3.3 倍のオーバー研磨を施すことで、エロージョン量は約 20nm 改善する。プロセス E では、cap-SiO₂ 膜の削り込み量を 30nm 以上にすると、プロセス B 同程度まで段差量が解消する。図 8 にメタル 2 層配線においてメタル 1 (配線幅 0.25 μm 、配線間隔 0.25 μm) 上に層間絶縁膜を介して形成した櫛形配線(メタル 2)の配線ショート歩留とメタル 1 段差量の相関を示す。ここで、配線ショート歩留 100% は、ウエーハ内全チップにおいて配線ショート無しを示す。メタル 1 及び 2 層では同一研磨条件を用いた。メタル 1 で正のエロージョン段差は凹形状、負のエロージョン段差は凸形状を示す。メタル 2 におけるプロセス E のショート歩留は 98.1%、C 仕様は 59.6%、B 仕様は 5.8%、A 及び D 仕様は 0% である。プロセス D は、配線幅 20 μm において段差量低減の効果が最も大きい、配線幅 0.25 μm では Cu の研磨は抑制される。そのため、エロージョンが凸形状で 20nm となり、上層配線での Cu CMP でメタル残渣が生じショート歩留 0% の原因となった。Ta に対する Cu の研磨速度比が 0.1~0.2

のバリアメタル CMP では上層配線でショートが生じ易いが、0.6 で配線ショート歩留を確保できる。更に、Ta に対する PE-TEOS の速度比を 0.8 とすることで、バルク Cu 研磨で生じたディッシング形状を是正できる。図 4~8 の結果から、研磨後の配線付近の段差を是正し、ショートマージンを確保するためにはプロセス E が適当である。しかし、Ta に対する Cu 研磨速度比 0.6 は、Cu 膜研磨によるウエーハ面内の配線抵抗ばらつきの増加が懸念される。そこで、配線 2 層構造で上層配線抵抗ばらつきの配線幅及び cap-SiO₂ 膜削り込み量の相関をプロセス B と E で比較した結果を図 9 に示す。配線幅は 0.18~4 μm で、cap-SiO₂ 膜削り込み量は 10~80nm である。配線幅 1 μm 以下では、削り込み量に大きく依存しないが、配線幅 1 μm 以上になると削り込み量の増加によって、抵抗ばらつきが大きくなる。

Fig.4 Amount of Cu dishing as a function of wiring density

Fig.5 Simulated results of Cu depression depth as functions of selectivity on Cu/Ta and TEOS/Ta

Fig.6 Cu erosion dependence on line space after barrier metal polishing

プロセス E において、配線抵抗ばらつきが小さいプロセス B(高選択仕様)と同等の抵抗ばらつきとするためには、cap-SiO 膜削り込み量は 50nm 以下とする必要がある。図 10 にプロセス E を用いた cap-SiO 膜削り込み量 30nm における配線断面 SEM(scanning electron microscope)像を示す。ウェーハ中心部とエッジ部において、配線幅 $3.85\mu\text{m}$ 、配線間隔 $0.72\mu\text{m}$ 及び配線幅 $0.18\mu\text{m}$ 、配線間隔 $0.18\mu\text{m}$ の 2 つのパターンを観察した。cap-SiO 膜は SiOC 膜上にそれぞれ $40\sim 65\text{nm}$ 残っており、目標膜厚 $50\pm 10\text{nm}$ とするためには、設定研磨量は 30nm が適当である。図 11 にプロセス B 及び E におけるバリアメタル CMP 後の cap-SiO 膜厚の比較を示す。配線幅 $0.18, 3.85\mu\text{m}$ のパターン上の cap-SiO 膜厚は、断面 SEM 観察から求めた。ウェーハエッジ部分において、高選択研磨であるプロセス B の cap-SiO 膜厚が薄くなっている。これは図 8 で示したエロージョン量がプロセス E より B が凹方向に大きいためである。更に、図 12 に層間絶縁膜に PE-TEOS と cap-SiO/SiOC 積層を用いた構造の TDDB 寿命の比較を示す。評価パターンは配線幅 $0.25\mu\text{m}$ 、配線間隔 $0.25\mu\text{m}$ の楕形配線を用いた。cap-SiO/SiOC 積層サンプルの電界強度に対する絶縁破壊時間の相関は、PE-TEOS サンプルの相関と同等で、CMP プロセスによる寿命劣化はない。

3.3 Cu/SiOC 構造対応バリアメタル CMP の検討

90nm プロセス世代対応として薄膜 cap-SiO/SiOC 構造による TDDB 信頼性の維持は確認した。65nm プロセス世代のデバイスでは配線間の実効誘電率の更なる低減が必要となる⁷⁾。そこで、バリアメタル CMP にて cap-SiO 膜を除去した SiOC 膜単独の構造で、TDDB 信頼性を確保する検討を行った。プロセス E においては、SiOC 膜の研磨速度は PE-TEOS の 0.75 であり、バリアメタル CMP 時に SiOC 膜まで削り込むことによる配線抵抗値の上昇とばらつきを調べた。3.2 項では、表 2 の仕様⑤で cap-SiO 膜厚を $50\pm 10\text{nm}$ とするために、バリアメタル 30nm 研磨後に更に削り込む設定研磨量を 30nm とした。同仕様で SiOC 膜表層まで削り込むには、設定研磨量は cap-SiO 膜換算で 100nm となる。図 13 に配線幅 $0.18\mu\text{m}$ における配線抵抗と抵抗値ばらつきの cap-SiO 研磨量依存性を示す。設定研磨量は 30, 50, 80, 100nm である。配線抵抗は、孤立配線と密集配線(密度 50%)の抵抗値で、抵抗値ばらつきは、配線幅 $0.25\mu\text{m}$ 、配線密度 50%のパターンで調べた。cap-SiO 膜の削り込み量の増加に伴って、配線抵抗値は増加する。密集配線部分は、孤立配線部よりもバリアメタル CMP でエロージョンの発生が大きくなるため、抵抗値も密集配線部が高くなる。配線抵抗ばらつきも cap-SiO 膜の削り込み量の増加に伴って増加する。研磨量 100nm における配線抵抗ばらつき 15%は実用レベルではあるが、再現性も踏まえて更なる改善は必要である。ウェーハ面内の削り込み精度を上げるためには、ウェーハ面内の加工均一性を上げること、そして研磨量を下げることが重要である。

図 14 に層間絶縁膜に SiOC と cap-SiO/SiOC 積層を用いた構造での TDDB 寿命の比較を示す。評価パターンは表 2 の仕様⑥で配線幅 $0.14\mu\text{m}$ 、配線間隔 $0.14\mu\text{m}$ の楕形配線を用いた。cap-SiO 設定研磨量は、SiOC 膜 25nm 削り込みも含めて cap-SiO 膜換算で 80nm である。プロセス E のバリアメタル CMP スラリには Cu 表面に水溶性の保護膜を形成する防食剤を含有している。そのため、CMP 後洗浄薬液は酸化銅のエッチング量を抑えたアルカリ性洗浄液を使用した⁸⁾。更に、CMP で露出した疎水性 SiOC 膜表面による異物の付着を低減するために

Fig.7 Amount of Cu erosion as a function of cap-SiO removal

Fig.8 Metal 2 short yield dependence on amount of metal 1 erosion

Fig.9 Variation of metal-2 wiring of Process E as a function of line width

Fig.10 SEM images of 30-nm cap-SiO removal using low-selective process

CMP 後洗浄におけるウエーハ乾燥は、ウエーハ回転による遠心力と IPA (isopropyl alcohol) 層と純水層による表面張力の勾配に伴う力を利用した方法を用いた。SiOC サンプルでの電界強度に対する絶縁破壊時間の相関は、cap-SiO/SiOC 積層サンプルでの相関と重なり同等である。SiOC 膜単独構造における TDDB 信頼性の確保を確認した。

3.2 項及び 3.3 項の検討結果から、本研究のバリアメタル CMP 技術は、表面段差量、配線抵抗ばらつき、ショート歩留、及び配線信頼度の観点から、配線間の実効比誘電率の更なる低減が要求される 45nm プロセス世代のデバイスインテグレーションスキーム⁷⁾に対応できると考える。

Fig.11 Cap-SiO thickness comparison between barrier metal polishing process B and E

Fig.12 TDDB lifetime comparison between TEOS/Cu structure and SiOC with cap-SiO/Cu structure

Fig.13 Line resistance and resistance uniformity as a function of cap-SiO removal

Fig.14 TDDB lifetime comparison between SiOC/Cu structure and SiOC with cap-SiO/Cu structure

4. 結 言

本研究では、Cu 配線と low-k 絶縁膜のインテグレーションスキームに対応したバリアメタル CMP 技術を検討し、次の結果を得た。

- (1) Cu/cap-SiO-SiOC 構造対応バリアメタル CMP として Cu Ta, SiO の研磨速度比が 0.6 : 1 : 0.8 を提案し、バルク Cu CMP で生じた 50nm のディッシングを是正、エロージョン量を 40nm 以下とした。更に、ウエーハ面内の削り込みばらつきが実用レベルであり、TDDB 寿命も従来 PE-TEOS 構造と同等であることを示した。
- (2) Cu/SiOC 構造対応バリアメタル CMP として、Cu, Ta, SiO, SiOC の研磨速度比が 0.6 : 1 : 0.8 : 0.6 となるスラリと CMP 後洗浄仕様を検討し、TDDB 寿命を cap-SiO /SiOC 積層と同等レベルに維持できることを示し、次世代デバイス適用に対応できる高精度・高信頼 Cu CMP プロセスの基礎構築を図った。

参 考 文 献

- 1) H. B. Bakoglu and J. D. Meindl: Optimal Interconnection Circuits for VLSI, IEEE Trans. Electron Devices, ED-32 (1985) 903.
- 2) D. C. Edelstein, G. A. Sai-Halasz, and Y. -J. Mii: VLSI on-chip interconnection performance simulations and measurements, IBM J. Res. Develop., 39 (1995) 383.
- 3) N. Konishi, Y. Yamada, S. Watanabe, J. Noguchi, U. Tanaka, T. Jimbo, and O. Inoue: Study of The Improvement in The TDDB Reliability for Cu/Low-K Integration", Proc. Chemical-Mechanical Polishing Planarization for ULSI Multilevel Interconnection Conference (CMP-MIC), (2004) 532.
- 4) Y. Yamada, N. Konishi, S. Watanabe, J. Noguchi, and U. Tanaka: Cu-CMP Process for High Reliable Cu Damascene Interconnects", Proc. Chemical-Mechanical Polishing Planarization for ULSI Multilevel Interconnection Conference (CMP-MIC), (2004) 28.
- 5) J. Noguchi, M. Kubo, R. Tsuneda, K. Takeda, N. Miura, and K. Makabe: Influence of Cu-Ion Migration and Fine-Line Effect on Time-Dependent Dielectric Breakdown Lifetime of Cu Interconnects, Jpn. J. Appl. Phys. 44 (2005) 94.
- 6) T. Tugbawa, T. Park, D. Boning, T. Pan, P. Li, S. Hymes, T. Brown, and L. Camilletti: A Mathematical Model of Pattern Dependencies in Cu CMP Processes, Proc. Electrochem. Soc. Meeting, (1999) 605.
- 7) International Technology Roadmap for Semiconductors 2007 ed.: IRC, Interconnect, (2007) 17.
- 8) Y. Yamada, Y. Yagi, N. Ogiso, K. Katsuyama, S. Asaka, J. Noguchi, and T. Miyazaki: Analysis of Post-Chemical-Mechanical-Polishing Cleaning Mechanisms for Improving Time-Dependent Dielectric Breakdown Reliability, J. Electrochem. Soc., 155, 4 (2008) H301.