自己組織化アルミナ・ナノホール配列の形成と 垂直配向シリコンナノワイヤの成長*

Formation of Vertical Epitaxial Si Nanowires on Si Using Self-organized Nanohole Array of Anodic Porous Alumina Template

清水智弘**

新宮原正三**

Tomohiro SHIMIZU and Shoso SHINGUBARA

Key words anodic alumina, nanohole, nanowire, VLS growth

1. 半導体ナノワイヤについて

ナノワイヤとはナノメートルスケールの断面寸法をもつ一次元構造体のことで、半導体や金属などさまざまな材料で試作されている^{1)~3)}。ナノワイヤはその形状的な特徴から大きな比表面積と一軸異方性をもつ。さらに、形状が類似した一次元ナノ構造体であるカーボンナノチューブと比較して電気特性の制御が比較的容易であることから、ナノワイヤはナノエレクトロニクスの基本構成材料として近年注目を集めている。特にシリコンナノワイヤは現在の半導体製造技術との親和性の高さから注目され、MOS トランジスタ⁴⁾、バイオ・ケミカルセンサ⁵⁾、太陽電池⁶⁾などへの応用が期待されている。このようにさまざまな用途が期待されるシリコンナノワイヤであるが、実用化のためには信頼性の高い手法で安価に大量に製造することが不可欠である。さらにこれらのデバイスにおいて、ナノワイヤの形状(直径、長さ)と結晶性は性能を決定する重要なパラメーターになると考えられる。また、太陽電池やバイオ・ケミカルセンサにおいては基板に対し垂直に配列したシリコンナノワイヤが求められている。そのため、本稿ではボトムアップ的な手法を用いたシリコン(Si)ナノワイヤの形成方法として一般的なVLS(Vapor-Liquid-Solid)成長法について説明し、VLS法を用いて基板に対し垂直に配列したシリコンナノワイヤを形成する方法について述べる。

2. VLS 成長法と結晶方位

VLS 成長法の歴史は古く、1964年にBell 研のWagner と Ellise によって見いだされた、触媒金属とCVD法を使って自己組織的にナノワイヤ(当時はウィスカと呼ばれていた)を成長する手法である。成長法の発見当時は直径が数 μm から数百nm程度の大きなナノワイヤ(ウィスカ)が作製されていたが、近年観察技術の向上により、直径が10nm程度の微細なナノワイヤの形成が可能であることが

確認されて以来、改めてナノ構造形成手法としてVLS法が注目されている。2000年代に入りハーバード大のLieberらは微細なシリコンナノワイヤを使ったさまざまな電子デバイスを試作し報告している⁵⁾⁶⁾。またVLS法によるナノワイヤの形成はシリコンのみならずGe、GeSi、GaAsなどさまざまな材料でも可能である。日本においては1990年代に日立の比留間らがGaAsナノワイヤの成長、電子デバイスの試作など先駆的な研究を行っている⁷⁾。

図1にVLS法を用いたシリコンナノワイヤの成長メカニズムの模式図を示す。単結晶シリコン基板の上に金(Au)などの触媒金属を堆積し、真空炉中でSiと触媒金属の共晶液体温度以上まで加熱する。基板のSiと触媒のAuは共晶液体温度である363℃以上で反応し共晶液体を形成する。ここで真空炉内にシランガスなどSiを含む原料ガスを供給すると、液体触媒表面で原料ガスが分解され、Si原子はそのまま触媒中に取りこまれることになる。Siを取りこんだ触媒は過飽和状態となり、過飽和を起こしたSi原子は触媒液体と基板の界面に析出される。この反応を繰り返すことで、触媒は析出したシリコンにより上へもち上げられていき、ナノワイヤが形成される。このシリコンナノワイヤの直径はAu触媒の大きさによって決まる。このようにSiが気体-液体-固体と3つの相を経て堆積することからVapor-Liquid-Solid(VLS)成長と呼ばれている。このとき形成されたシリコンナノワイヤは単結晶であり、さらに基板に単結晶Siを用いると基板上でホモエピタキシャル成長が得られる。

図1 SiナノワイヤのVLS成長模式図

*原稿受付 平成26年3月13日

**関西大学システム理工学部機械工学科(大阪府吹田市山手町3-3-35)

図2 Si(100)基板上にエピタキシャル成長したナノワイヤの表面 SEM 像。図中の矢印は基板の結晶方位を示す。

次に単結晶基板上でエピタキシャル成長したシリコンナノワイヤの成長方位について説明する。薄膜のエピタキシャル成長の場合、膜の成長方位は基板の方位によって一意に決まるため、問題になることはほとんどないが、エピタキシャルナノワイヤは必ずしも成長方向と基板の垂直方向が一致するわけではない。基板上でのナノワイヤの成長方位はナノワイヤを用いた電子デバイスの性能に影響を与えられと考える。

図2にSi(100)基板上にエピタキシャル成長したナノワイヤの表面 SEM 像を示す。図中の矢印は基板の結晶方位を示す。さまざまな方向へナノワイヤが成長しているが、基板に対し、一定の規則性をもっていることが観察できる。さらに詳しく観察すると、基板のSi<111>方向または<110>方向に成長する傾向が見える。エピタキシャル成長したシリコンナノワイヤの優先成長方位については、マックスプランク研究所のSchmidtらにより成長中の触媒液体と固体Siの界面付近の自由エネルギーの直径依存性により定性的に説明されている⁸⁾。彼らは、エピタキシャル成長したシリコンワイヤは直径が20 nmより十分に大きい場合はSi<111>に成長する傾向があり、それより小さい場合は<110>方向に成長する傾向があることを見いだした。このようにテンプレートのない基板上に成長したシリコンナノワイヤは直径に依存してさまざまな方位に成長し、途中で曲がってしまうものも存在する。垂直配向したエピタキシャルシリコンナノワイヤが必要な場合は、Si(111)基板上で直径の十分に大きなナノワイヤを形成する必要がある。

3. AAO (Anodic Aluminum Oxide) テンプレートと VLS を用いた垂直配列エピタキシャルシリコンナノワイヤの形成

前述のように平坦なSi基板上ではシリコンナノワイヤの成長方向を制御することは非常に困難である。そこでわれわれは単結晶基板上にテンプレートとなる垂直ナノホー

図3 陽極酸化アルミナの断面 SEM 像

図4 AAO ナノホールの密度および直径の電圧依存性

ル配列を形成し、ナノホール内でVLS成長を行うことで、成長方位と直径を制御することを考えた。

ナノワイヤのテンプレート成長法の鋳型として、われわれはAAO (Anodic Aluminum Oxide) の自己組織化ナノホール配列を用いた。リソグラフィーを必要としない自己組織化法として、ブロックコポリマーとAAOがナノホール2次元配列法の代表格である。高分子で構成されているブロックコポリマーと比較してAAOは耐熱性が高く(～1000℃)、そのまま高温でのCVD成長の鋳型として使用可能である。AAOはアルミニウム板を陽極酸化することにより得られる多孔質の皮膜で、そのナノホールは基板に対し垂直方向に配列する(図3)。

ホール直径は数nm～数百nmまで陽極酸化電圧条件により制御することが可能である。図4に示すように、ホール直径とナノホール密度は陽極酸化電圧に依存し、またホール深さは陽極酸化時間に依存する⁹⁾。リン酸などを用いることで、わずかにアルミナ膜をエッチングしてナノホール直径を拡げる(ワイドニング)ことができる。アルミナ・ナノホールの深さは時間に依存しており、典型的なシュウ酸陽極酸化条件では数十μmの深さのナノホールを形成することができる。

われわれはシリコン基板上にAAOを形成する技術を独

図5 陽極酸化電流の時間依存性。挿入図は各時間での AAO の断面模式図と SEM 像を示す。

図7 基板上に垂直配列したシリコンナノワイヤの SEM 像²⁾

図6 AAO テンプレートを用いた垂直配向シリコンナノワイヤ配列の形成模式図

自に発展させてきた¹⁰⁾。アルミニウム薄膜をシリコン基板上にスパッタ堆積し、一定電圧でシュウ酸もしくは硫酸溶液中で陽極酸化を行い、ナノホール底部がシリコン基板に到達した時点で陽極酸化を終了させる（図5参照）。陽極酸化中の AAO ナノホールの状態は電流波形を見ることが把握することができる。

アルミニウム板上の AAO はナノホール底部が下凸型の半球状に変形して、バリア層と呼ばれる均一な膜厚のアルミナ膜がホール底部に形成される。しかし、シリコン基板上の AAO においては、アルミナ・バリア層が上凸型に変形し、シリコンとアルミニウムとの界面にボイドが形成される。これはバリア層にひずみにより微細なクラックが発生し、下部のシリコン基板表面が酸化され、それと同時にアルミナ・バリア膜の裏側がわずかに溶解したためである。そこでリン酸エッチングによってアルミナ膜を10～20 nm 程度エッチングすれば、底部のアルミナ膜をすべて除去することができ、ナノホール底部にシリコン基板表面を露出することができる。その後シリコン表面の酸化膜を稀 HF 処理などによって除去すれば、シリコンの基板から半導体ナノワイヤをエピタキシャル成長させることが可能となる。AAO は酸などの薬品に弱いため、HF 処理の前に高温（900℃）での真空熱処理を行う必要がある。

Si 基板上に形成した AAO ナノホール配列を用い、底部のバリア層を除去し、Si 基板上から直接シリコンナノワイヤのホモエピタキシャル成長を行った。図6にこの方

図8 (a) シリコンナノワイヤと Si(100) 基板界面の断面 TEM 像。図中の点線はワイヤと基板の界面を示す。挿入図はワイヤ-基板界面付近の電子線回折スポット。(b) (a) の四角で囲まれた領域の HR-TEM 像²⁾

法の工程図を示す。シリコンナノワイヤの成長は VLS 法を用いた。われわれは無電解金めっきにより、ナノホール底部の Si 上に金を選択堆積して、これを触媒とした VLS 成長を行った。VLS 成長を行った後、リン酸を用いて AAO のみを選択的に除去した後、Si(001) 基板上に垂直に

成長したシリコンナノワイヤ（直径 50 nm）配列が得られた（図 7）。各シリコンナノワイヤの先端には明るいコントラストの金ナノ粒子が配置していることが確認できる。また、ナノワイヤと基板との界面付近の透過電子顕微鏡像を図 8 に示す。成長したナノワイヤは単結晶 Si(100) 基板上で [100] エピタキシャル成長しており、ワイヤの長手方向と基板の結晶方位とは一致していることが確認された。また界面付近にはほとんど転位などの欠陥はなく、良好なエピタキシャル成長であることが確認された。このようにテンプレートをを用いることで、通常のシリコンナノワイヤの成長にみられるような $\langle 111 \rangle$, $\langle 110 \rangle$, $\langle 112 \rangle$ 成長などが混在した状態ではなく、[100] 成長のみを選択的に成長させることが可能となった。さらに、このテンプレート法ではナノワイヤの直径はテンプレートのホール径で、成長方位は単結晶基板の方位を選ぶことで別々にコントロールすることができる¹¹⁾。例えば、(110) 基板上でテンプレート成長法を用いれば、基板に対して垂直に配列した [110] エピタキシャルナノワイヤが得られる。また、基板のカット方位を選ぶことで通常では存在しないナノワイヤの成長方位も作製することができる。本構造はシリコン基板に垂直なナノワイヤトランジスタ、あるいはナノワイヤ PN 接合素子として応用可能であり、機能素子化に向けてさらなる検討を続けている。

4. ま と め

本稿では初めに VLS 法によるシリコンナノワイヤ形成の歴史と原理について説明した。さらに、AAO テンプレートをを用いて垂直に配列したシリコンナノワイヤの形成方法について述べた。

ナノワイヤ成長に関する研究は 2005 年から 2010 年にかけて爆発的に増え、米国の MRS では毎年発表件数が膨れ上がった時期があった。2010 年以降はその傾向もやや落ち着き、現在ではセンサーや太陽電池、各種電子デバイスへなど応用へ研究のフェイズが移りつつある。しかし、ナノワイヤを用いた電子デバイスの実用化を実現するためにも、信頼性・制御性の高いナノワイヤの成長方法に関する研究は今後も推進していく必要があると考える。

参 考 文 献

- 1) R.S. Wagner and W.C. Ellis: Vapor-Liquid-Solid Mechanism of Single Crystal Growth, Appl. Phys. Lett., **4** (1964) 89.

- 2) T. Shimizu, T. Xie, J. Nishikawa, S. Shingubara, S. Senz and U. Gösele: Synthesis of Vertical High Density Epitaxial Si(100) Nanowire Arrays on Si(100) Substrate Using Anodic Aluminum Oxide Template, Advanced Materials, **19** (2007) 917.
- 3) M. Sun, G. Zangari, M. Shamsuzzoha and R. Metzger: Electrodeposition of Highly Uniform Magnetic Nanoparticle Arrays in Ordered Alumite, Appl. Phys. Lett., **78** (2001) 2964.
- 4) H.T. Ng, J. Han, T. Yamada, P. Nguyen, Y.P. Chen and M. Meyyappan: Single Crystal Nanowire Vertical Surround-Gate Field-Effect Transistor, Nano Lett., **4** (2004) 1247.
- 5) Y. Cui, Q. Wei, H. Park and C.M. Lieber: Nanowire Nanosensors for Highly Sensitive and Selective Detection of Biological and Chemical Species, Science, **293** (2001) 1289.
- 6) B. Tian, X. Zheng, T.J. Kempa, Y. Fang, N. Yu, G. Yu, J. Huang and C.M. Lieber: Coaxial Silicon Nanowires as Solar Cells and Nanoelectronic Power Sources, Nature, **449** (2007) 885.
- 7) K. Hiruma, T. Katsuyama, K. Ogawa, M. Koguchi, H. Kakibayashi and G.P. Morgan: Quantum Size Microcrystals Grown Using Organometallic Vapor Phase Epitaxy, Appl. Phys. Lett., **59** (1991) 431.
- 8) V. Schmidt, S. Senz and U. Gösele: Diameter-Dependent Growth Direction of Epitaxial Silicon Nanowires, Nano Lett., **5** (2005) 931.
- 9) S. Shingubara, O. Okino, Y. Suyama, H. Sakaue and T. Takahagi: Ordered Two-Dimensional Nanowire Array Formation Using Self-Organized Nanoholes of Anodically Oxidized, Jpn. J. Appl. Phys., **36** (1997) 7791.
- 10) T. Shimizu, M. Nagayanagi, T. Ishida, O. Sakata, T. Oku, H. Sakaue, T. Takahagi and S. Shingubara: Epitaxial Growth of Cu Nanodot Arrays Using an AAO Template on a Si Substrate, Electrochemical and Solid-State Letters, **9** (2006) J13-J16.
- 11) T. Shimizu, F. Inoue, C. Wang, S. Otsuka, Y. Tada, K. Koto and S. Shingubara: Control of Crystal Orientation and Diameter of Si Nanowires Using Anodic Aluminum Oxide Template, Jpn. J. Appl. Phys., **52** (2013) 06GF06-4.

清水智弘

2006 年広島大学先端物質科学研究科博士後期課程修了。博士（工学）。2006～2008 年マックスプランク研究所(独)研究員、2009 年清長株式会社研究員、2010～2012 年関西大学システム理工学部助教を経て 2013 年より関西大学システム理工学部准教授。

新宮原正三

1985 年東京工業大学理工学研究科応用物理専攻修了。理学博士。1985～1990 年東芝 ULSI 研究所研究員、1990～2005 年広島大学先端物質科学研究科助教を経て 2005 年より関西大学システム理工学部機械工学科教授。