シリコン量子ビット素子の研究動向*

Research Trends in Silicon Quantum Bit Devices

森 貴洋** 樽茶清悟***

Takahiro MORI and Seigo TARUCHA

Key words quantum computer, silicon, spin qubit, device integration, operation principle, research trends

1. はじめに

この半世紀以上の間、コンピュータ能力進展の原動力はLSIの基本素子であるトランジスタの微細化であった。トランジスタの微細化は動作速度を向上させるとともに、計算当たりの消費電力を削減し、一定電力当たりを利用できるトランジスタ数を増加させた。これにより、計算速度と計算量の両面からコンピュータ性能の向上を実現し続けてきた。その技術世代はハーフピッチと呼ばれる配線間隔を指標としてきたが、微細化限界に近い現在ではある配線間隔を実現した場合に想定される仮想的な性能指標としてハーフピッチの数字は用いられ、さまざまな技術を用いての実効的な微細化によって性能向上を図る時代となっている。現在、最先端のトランジスタは7nm技術世代であり、既にわれわれの手元にある。

そのような局面で、コンピュータ性能向上に新しい原動力を与えるものとして、新原理コンピューティングに期待が集まっている。既に実用化されているニューラルネットワークがその代表例である。量子コンピュータへの期待も同じ延長線上にあるものと理解できる。

量子コンピュータの基本素子は量子ビットである。量子ビットは量子二準位系を形成できるさまざまな系において実現されている。その中でも集積性の観点からは固体素子型量子ビットの利用が望ましいと考えられる。技術的に先行するのは超伝導型量子ビットであり、2011年のカナダD-wave社による量子アニーリング機械の市販開始によって大きく注目を集めることとなった。一方で、将来の大規模集積実現を目指すにあたって、この半世紀にわたって培ってきた半導体微細化技術を利用しようという向きがある。そこで関心を集めるのがシリコンスピン量子ビットで

ある。

シリコンスピン量子ビットにおける一つのブレイクスルーは後述する同位体濃縮技術であり、2011年に慶應大学ほかの研究チームによって同技術を用いての長コヒーレンス時間が実験実証された¹⁾。それまで半導体スピン量子ビットの研究の舞台はGaAs/AlGaAsヘテロ構造で実現する高電子移動度2次元電子ガス系であったが、以後Si/SiGeヘテロ構造やSi MOS構造を舞台とする研究が活発化する。2015年には米インテル社が量子コンピュータ開発への参入を発表、超伝導型量子ビットとシリコンスピン量子ビットとを2本柱として開発を進めるアナウンスがあった。これ以降、従来のLSI業界でも量子コンピュータに高い関心が集まるようになり、IEEE International Electron Devices Meeting (IEDM) などLSI向け集積素子研究の中心を担ってきた国際会議においてもセッションが組まれるようになりつつある。プレーヤーとしても前述のインテルをはじめ、仏letiやベルギーimecといったこれまで半導体集積素子の一大拠点となっていた研究機関が参入を表明している。

以上のように高い注目を集めるシリコンスピン量子ビットだが、超伝導型量子ビットに比べると開発は遅れており、いまだ集積度は2量子ビットにとどまっている。以下、本稿ではシリコンスピン量子ビットを取り扱う。まず動作原理を簡単に解説した後、シリコンへの期待と集積化への展望を述べる。その中で随時研究動向に触れていく。

2. シリコンスピン量子ビット動作原理

2.1 量子ドット中の単一電子

電子スピンは自然な二準位系（上向きスピンと下向きスピン）であり、その重ね合わせによって量子ビットが作られる。スピン量子コンピュータでは、この上向きと下向きのスピンを計算基底（ $|0\rangle$ と $|1\rangle$ ）として論理演算を行う。演算の回路は、通常、単一量子ビットと2量子ビットの操作を組み合わせて作られる。単一量子ビットの操作には、いくつかの方法が提案されているが、多くの場合、単一電子のスピン共鳴で生じるスピン回転を用いる。一方、

*原稿受付 令和元年10月2日

**国立研究開発法人産業技術総合研究所 ナノエレクトロニクス研究部門（茨城県つくば市梅園1-1-1中央第2）

***国立研究開発法人理化学研究所創発物性科学研究センター（埼玉県和光市広沢2-1）

図1 ゲート電極の静電ポテンシャルで作られる2重量子ドット中に閉じ込められた電子スピン。2個のスピン間には交換相互作用が働き、その大きさはドット間のポテンシャル障壁の大小で変えられる

2量子ビットの操作には、2個の電子スピンの間に働く交換相互作用を利用する。

このような特徴をもつ量子ビットは、量子ドットと呼ばれる、半導体の小さな素子に入った、単一の伝導電子を用いて実装される。この電子は、量子井戸の面内に、表面ゲート電極の作る静電ポテンシャルで1個だけ閉じ込められており、クーロン反発の効果によって安定的に保たれている（クーロン閉塞）。また、同じく表面ゲートの作るポテンシャル障壁を挟んで2個の量子ドットを隣接させると、中にある電子の間にはトンネル結合を介して交換相互作用が働く（図1）。

2.2 単一スピンのコヒーレント操作

静磁場下において、電子スピンは下向きと上向きにエネルギー分裂する（ゼーマン分離）。スピン共鳴は、このゼーマン分離のエネルギーに相当する周波数の交流磁場を静磁場に対して垂直に印加することにより生じ、スピンは上向きと下向きの間で反転を繰り返す（ラビ振動）。これは、 $|0\rangle$ と $|1\rangle$ で構成されるブロッホ球の x 軸の周りのスピン回転に相当する。ここで、交流磁場をパルス的に印加すると、その印加時間に比例して、 z 軸に対して任意の角度傾いたスピン状態（ $|0\rangle$ と $|1\rangle$ の任意の重ね合わせ状態）が作られる。これは、量子ビットの回転操作に相当し、その操作速度は交流磁場の振幅に比例する。

個々のスピン量子ビットを独立して操作するには、交流磁場を各量子ドット中の電子に対して局所的に印加する必要がある。その方法として、微小磁石を用いる例がある²⁾（図2）。量子ドット直上に配置した微小磁石に外部から静磁場をかけると量子ドット近傍に傾斜静磁場が発生する。さらに、近傍の金属電極に交流電圧を印加して（マイクロ波の照射に相当）、電子を傾斜磁場中で振動させると、この電子は実効的に交流磁場を感じる。傾斜磁場の勾配を1ナノメートル当たり1ミリテスラ程度に設計すると、電子を0.4ナノメートル揺るだけで先の目安を達成できる。樽茶らのグループではこの方式により50ナノ秒でのスピン反転操作を行い、また、99%の閾値を超える高精度操作を実現した³⁾⁴⁾。

2.3 単一、2量子ビットゲートによる論理演算

量子ビットの論理ゲートは、ハミルトニアンに従って時間発展するスピン状態をパルス的に操作することで実行される。例えば、単一量子ビットでは、共鳴交流電圧、非共

図2 Si/SiGeヘテロ構造を用いて作成した2重量子ドット試料の電子顕微鏡写真（左）と断面の模式図（右）。試料表面に近接してスピン共鳴用の微小磁石が付いている。小さい点線の白丸は2重量子ドット、左の大きい点線の白丸は量子ドットの電子数を計測するための電荷計

鳴交流電圧のパルス操作により、それぞれ x 軸、 z 軸周りの回転操作ができる。したがって、両者を組み合わせれば、ブロッホ球上で任意の量子ビット操作を行える。一方、2量子ビットの論理ゲート、中でも重要な制御NOTや制御位相ゲートは、スピンの回転操作と交換相互作用の制御を組み合わせることで実現できる。なお後者の制御は、電圧パルスでドット間にあるポテンシャル障壁を増減することで行う（2.1参照）。これらゲート操作のための電圧パルスの列を適当にプログラム化して各ゲート電極に印加することにより、任意の論理演算を行うことができる。

ただし、ゲート操作はすべてコヒーレンス時間の範囲内で行う必要がある。したがって、極力、コヒーレンス時間を長く、ゲート操作時間を短くすることが重要で、それが量子計算の高精度化につながる。前述のラビ振動は、半周期がスピン反転時間に相当し、また、減衰時間はコヒーレンス時間を反映することから、量子ビットの操作精度を評価するためによく用いられる。

2.4 シリコンスピン量子ビットの種類

シリコンスピン量子ビット素子の形状は、チャンネルにMOSゲートを形成するという点では従来のトランジスタの延長線上にある。チャンネル材料選択については、Si型もしくはSi/SiGeヘテロ接合型の2種類がある。Si型では絶縁膜界面に存在する2次元電子ガス（2DEG）を利用する。Si/SiGe型ではSi/SiGe界面に形成される2DEGを利用する。Si/SiGe構造は高電子移動度トランジスタ（HEMT）にも利用されているように移動度が高いため、電極の設計どおりに量子ドット素子を作りやすいという特徴がある。

素子形状（図3）としては、現在でもそうであるが、長らく研究の舞台となっているのはゲート定義型と呼ばれる量子ビットである。これはMOSゲートの静電支配によって半導体中の電子濃度を制御、不要な部分を空乏化させ量子ドットを形成、ドット中の電子のスピンを制御する方法である。この素子は作製に当たっての加工が最小限であること、また、ドットおよびその周辺部のポテンシャル制御

図3 代表的な量子ビット形状。(a) ゲート定義型. ゲート電極により直下および周辺を空乏化, 空乏層端部が量子ドット領域を定義する (b) MOSFET 型. MOSFET チャンネル部に量子ドットが形成される (c) TFET 型. TFET ソース部のPN 接合中に量子ドットとなる中性不純物を導入する (d) ドナー型. 図ではゲート定義型にドナーを埋め込んだ図となっているが, MOSFET にドナーを埋め込んだものなど, 亜種が多い

が容易であることから長らく研究に用いられているものと考えられる. 一方で, 集積の観点からはゲート電極が多数に及ぶという弱点がある. 1 次元ビット配列は可能であるが, 実用上要請される 2 次元ビット配列に困難が予想される.

実用化の観点から近年積極的に取り組まれているのが MOSFET 型である. これは, 微細 MOSFET はすでにチャンネル部が小さいのでそのまま量子ドットになり得ると単純に理解される. 集積の観点では極めて有利であることは想像に難くないが, 量子ビット間の結合についてはやはり 2 次元配列に問題がある. 現在, インテルの研究グループでは Si/SiGe チャンネルを選択, 同社の MOSFET 製造技術と組み合わせ量子ビットの 1 次元配列形成に取り組んでいる⁵⁾.

トランジスタ形状をもつ量子ビットとしてはもう一つ, トンネルトランジスタ (TFET) 型がある. これは筆者の一人である森らの研究グループから提案されたもので日本発の技術である⁶⁾. 特許は産総研が保有している. 構造・状況は前記 MOSFET と類似であり, 高温動作可能という特徴をもつ.

四つ目の形状はドナー型と呼ばれるものである. これは Si 中に埋め込まれた P ドナーを量子ビットとして用いるものである⁷⁾. 2 次元配列可能な量子ビットとして豪州の研究グループから提案がなされ, 現在でも盛んに研究されている. 豪州にはシリコン量子ビット研究の一大拠点が形成されており, この量子ビットも中心研究テーマの一つとなっている. ドナー位置の制御に困難があるのは想像に難くないが, 豪州のグループでは単一ドナーを複数同時に注入するような装置を開発, 解決する技術開発が進んでい

図4 高忠実度動作を実現した際に観測された長いラビ振動. 数十 mK の環境下で測定を実現している

る.

3. ビット性能から見たシリコンへの期待

これまでコンピュータ技術を支えてきたシリコンが量子ビットにも適した材料であることは, 不思議な巡り合わせである. 量子ビットの第一の性能指標は量子状態の理想性を示す忠実度である. その実現には量子状態の保持時間であるコヒーレンス時間が長いことが有利となる. シリコンスピン量子ビットでは ms オーダーの長いコヒーレンス時間の実現が期待でき¹⁾, これは超伝導磁束量子ビットやトランズモン型など超伝導電荷量子ビットに比べて桁で長い. この長いコヒーレンス時間を実現するには, 同位体制御技術が鍵を握る. 半導体スピン量子ビットのデコヒーレンス要因は, 第一に量子情報担体であるスピンと母材原子のもつ核スピンの相互作用によるスピン緩和である. シリコンは質量数 28~30 の 3 種類の同位体をもち, そのうち ²⁹Si が核スピンをもつ. これを同位体濃縮によって割合の大きい ²⁸Si のみからなる Si を用いることで, 前記相互作用を排除し長いコヒーレンス時間が実現される. 同位体濃縮された 28 シランを用いて天然 Si 基板上に, ²⁸Si をエピタキシャル成長させたエピウエハとして実現するのが一般的である. この技術を用いた高忠実度シリコンスピン量子ビットは, 樽茶らのグループが実現している (図 4)³⁾⁴⁾. 核スピン排除後に残るデコヒーレンス要因は, 電気的ノイズであることが知られている. ノイズの種類としては 1/f ノイズであることが指摘されている⁴⁾. 1/f ノイズの発生源は一般に欠陥等何らかのトラップ準位とされているが, 現状ではその発生源は特定されていない.

シリコンスピン量子ビットでもう一つ重要な視点は, 動作温度である. 現在, 量子ビット動作は数十 mK レベルの希釈冷凍機温度で実現することが多い. 希釈冷凍機の冷

図5 高温動作を実現するTFET量子ビット。(a)素子TEM像 (b)電流電圧特性. 室温までのクーロン閉塞を観測している (c)量子ビット動作を示すいわゆるシェブロンパターン. 10 Kまでの観測に成功している

却能力が量子ビットを制御する制御回路の規模を決めることになるが、現在のところ mW 台にとどまっており大規模化を望みにくい。そのため、制御回路を 4 K ステージに設置、配線によって接続する試みがなされている。この場合は配線数が制御線数を制約することになり、やはり大規模化の障害となる。よって、理想的には量子ビットと制御回路は同一の温度ステージに設置し、可能な限り高い温度で動作させ、高い冷却能力をもつ冷凍機を利用することが望ましい。このような高温動作量子ビットは Hot Qubit とも呼ばれ、必要性が指摘されている⁸⁾。シリコンスピン量子ビットは超伝導現象を用いないという特性上、原理的には高温動作が可能である。例えば森・大野・森山のグループでは、10 K までのスピン量子ビット動作を実現している (図5)⁶⁾。

これらの技術は別種類の素子で実現されている。そのため、単一の素子で両者を実現することが望まれる。現在のところ、高忠実度・高温動作共に実現した理由が明瞭になっていないところがある。その解釈を進めることが、高忠実度・高温動作を両立したシリコンのポテンシャルをすべて発揮する理想素子の実現に近づくことになると考えている。

4. 集積化への展望

量子コンピュータは量子ビットのみの集積によって実現するものではなく、集積を要する要素は四つある。第一には量子ビットであるが、そのほかにスピンを操作することで量子ゲート操作を実現するゲート操作機構、ビットの量子状態を読むための読み出し機構、ビット間を結合するビット間結合器が必要となる。その中でシリコン量子ビット最大の壁はビット間結合器にある。

ビット間結合技術は、現在、スピンの直接交換相互作用によって実現するのが主流である。しかし、この方法は電

荷を保持する量子ドットを近接させる必要があるため、集積レイアウトに強い制約を与える。そのため、長距離結合技術の開発が望まれている。一つは超伝導素子で用いられる回路量子電磁力学 (circuit Quantum Electrodynamics: circuit-QED) 技術をシリコンスピン量子ビット間の結合に転用する案が米プリンストン大学から提案されている⁹⁾。この方法は実績のある技術ではあるものの、結合器が mm サイズとなるため、シリコン量子ビットへの期待である集積性とは相いれないことが問題である。集積性を確保できる“程よい距離”での結合を実現したいところだが、これに変わる方法は現在のところ実現されていない。理論的にはフローティングゲートを用いる方法、スピン鎖を用いる方法、強磁性体を用いる方法、超伝導体を用いる方法が提案されている。これらの実験実証例はいまだなく、今後の研究進展が待たれるところである。

ゲート操作機構については、現状では外部からのマイクロ波照射によって実施する研究例が多い。これは当然集積を前提としたものではない。集積を意識した研究例としては、全電気 (all-electrical) 操作技術と呼ばれる、量子ドットに接続する電極にマイクロ波帯の交流電流を印加することで操作を実現したものがある¹⁰⁾。この技術は特に仏 leti 周辺の研究機関からの報告例が多い。この方法は電氣的配線を用いるため集積化可能であるが、高周波配線技術をどのように利用して集積を実現するかに課題がある。

読み出し機構については量子ビットに接続した高感度電荷計を用いる方法が主流である。しかし、この方法は破壊読み出しであること、また、量子ビットと電荷計とを近接配置する必要があるためレイアウトに制限を与えることが問題となる。電荷計を用いない非破壊測定技術としては、ゲート反射測定 (gate reflectometry) 技術がある¹¹⁾。これはゲート電極に共振回路をつなぎ、量子状態変化に伴う微小な容量変化を読み出す方法が提案されている。

このように、各要素の開発はそれぞれに進んでいる。しかしながら、4 要素の集積化については、まだ検討の端緒についたばかりである。集積方法案は 2~3 の例が見られるが、技術的に精査されたものではなくアイデアレベルにとどまっているのが現状である。

5. おわりに

以上、本稿ではシリコン量子ビット素子の研究動向を概観してきた。量子ビット素子それ自身の研究開発もまだ途上であるが、集積化技術にも多数の課題を抱えている。

そのような中でもプロセス技術の視点からは、量子ビット素子製造において新たに開発が必要な技術の芽生えが見て取れる。P ドナー型量子ビットであれば、単一イオン注入技術がそうである。量子ビット一般で見ても、忠実度決定要因となっている電気ノイズの発生源によっては、今後その除去のためにプロセス技術が必要になる可能性がある。また、高周波配線技術が現状のアナログ集積回路製造技術の転用のみで済むのかどうかも見所である。

シリコン量子ビットへの期待は、長く培われた集積技術の転用という側面がある。シリコン量子ビットはまだ素子レベルの開発段階にあるが、将来的には既存集積技術との融合が求められる。よって、素子開発においても集積技術をよく知った上で、現行の技術では実現できないような量子技術開発を可能な限り避けることが望ましい。そのためには、これまで量子技術の進展を支えてきた量子物理の研究者と、LSI 技術の研究者とが一丸となって当たるべきであり、世界的にもそのような動きが活発化している。国内では筆者らによる研究プロジェクトもその一つの例であるが、諸外国に比べて LSI 技術研究者の参加が少ない。今後の研究人口増加が、国内量子研究の発展に望まれるところである。

謝 辞

本稿には、文部科学省光・量子飛躍フラッグシッププログラム (Q-LEAP) JPMXS0118069228「シリコン量子ビットによる量子計算機向け大規模集積回路の実現」の中で検討された内容の一部を含む。

参 考 文 献

- 1) A.M. Tyryshkin et al.: Electron spin coherence exceeding seconds in high-purity silicon, *Nat. Mater.*, **11** (2012) 143.
- 2) M. Pioro-Ladriere et al.: Electrically driven single-electron spin resonance in a slanting Zeeman field, *Nat. Phys.*, **4** (2008) 776.
- 3) K. Takeda et al.: A fault-tolerant addressable spin qubit in a natural silicon quantum dot, *Sci. Adv.*, **2** (2016) 1600694.
- 4) J. Yoneda et al.: A quantum-dot spin qubit with coherence limited

- by charge noise and fidelity higher than 99.9%, *Nat. Nanotechnol.*, **13** (2018) 102.
- 5) J. Clarke et al.: Spin qubits at Intel, APS March Meeting 2019, **64**, 2, Abstract: B35.00001.
- 6) K. Ono et al.: High-temperature operation of a silicon qubit, *Sci. Rep.*, **9** (2019) 469.
- 7) B.E. Kane: A silicon-based nuclear spin quantum computer, *Nature*, **393** (1998) 133.
- 8) L.M.K. Vandersypen et al.: Interfacing spin qubits in quantum dots and donors—hot, dense, and coherent, *npj Quantum Information*, **3** (2017) 34.
- 9) X. Mi et al.: Strong coupling of a single electron in silicon to a microwave photon, *Science*, **355** (2017) 156.
- 10) A.J. Sigillito et al.: All-electric control of donor nuclear spin qubits in silicon, *Nat. Nanotechnol.*, **12** (2017) 958.
- 11) I. Ahmed et al.: Radio-Frequency Capacitive Gate-Based Sensing, *Phys. Rev. Appl.*, **10** (2018) 014018.

森 貴洋

2006 年東北大学大学院工学研究科応用物理学専攻博士後期課程修了。理化学研究所 PD などを経て、2011 年産業技術総合研究所に入所。現在、ナノエレクトロニクス研究部門ナノ CMOS 集積グループ主任研究員。専門は集積デバイス工学。博士 (工学)。

樽茶清悟

1978 年東京大学大学院工学系研究科物理工学専攻修士、86 年同大工学博士、78 年 NTT 物性科学基礎研究所、88 年東京大学大学院理学系研究科物理専攻教授、05 年同工学系研究科物理工学専攻教授、13 年理化学研究所創発物性科学研究センターグループディレクター兼務、18 年同副センター長兼務。現在に至る。