微細加工技術とセンサ集積化*

谷川 紘**

Semiconductor Microfabrication Technologies / Hiroshi TANIGAWA

Key words: microfabrication, silicon integrated circuits, sensor, semiconductor, micro-mechanical devices

1. ま え が き

半導体集積回路技術はマイクロコンピュータ関連技術を急速に発展させ、マイクロコンピュータが搭載された産業用、家庭用機器では、より高度な制御機能が実現されている。この傾向は今後も拍車がかかり、制御機能の高度化にはセンサ技術の発展が不可避である。すなわち、外界とインタフェースを採るためには、各種のセンサが必要であり、その重要性が改めて認識されている。なかでも、半導体センサは、「半導体材料の物性、電気的特性、機械的形狀などが検出対象によって変化することを利用するセンサ」であり、周辺回路との一体化が容易なため、その重要性は高い。このセンサには、高度に発展しつつある多くの半導体技術が用いられており、小型軽量、安価、均一な特性という特徴がある。例えば、小型化の利点として、温度センサでの熱容量低減、圧力センサでのデッドマスの低減、化学/バイオセンサでの検体量の低減などがある。これらの特徴のゆえに、高精度な計測を高速に達成できるようになる。

また、半導体センサでは微細な加工技術を適用することにより、センサの微小化、高機能化が達成できる。本稿では、VLSI 技術として開発されてきた新しいシリコン微細加工技術を紹介し、センサへの応用を展望する¹⁾。

2. シリコン微細加工技術

ここでは「材料加工」の観点からシリコン微細加工

技術を考える。半導体プロセスでは対象とする物体の機械的諸元（たとえば寸法）を変更したり、物理的性質（たとえば抵抗値）を変更することが多い。各プロセスは高集積化デバイス実現に向けて、より高精度、微小化の方向にそった改良がなされている。

なお、半導体プロセスで利用されている技術は、基本的には平面内での面積には制限がなく、かつ、精度も $1\mu\text{m}$ 以下と高い。しかし、深さ方向については、 $10\mu\text{m}$ 程度が限度であり、通常の機械加工のような $10\mu\text{m}$ 以上の加工は困難である。このため、マイクロメカニカルデバイスのように、半導体基板を三次元的に加工するデバイスでは適用限界が存在する。

2.1 配線直描技術

LSI の開発段階でのフォトマスクの誤作は致命的であり、マスクのパターン修正に要する時間が、開発期間を左右することが多い。ここでは、パターン修正の簡略化のために開発された、集束レーザ光を用いた高融点金属（W や Mo など）の微細パターン直接描画技術を紹介する。WF₆ などのふっ化物を原料とした金属堆積の報告があるが、金属ふっ化物の分解温度が約 400°C と高いため、半導体基板や回路素子の損傷が懸念されている。一方、Mo(CO)₆ などの金属カルボニルの分解温度は約 150°C と低いので、基板の損傷がない。このため、レーザ光を照射しながら金属カルボニルを分解して Mo パターンを直描する方法が配線修正に最適である。

図1に配線修正方法を示す²⁾。LSI での Al 配線層はパッシベーション膜（絶縁膜による被覆層）で覆われているため、初めに配線領域の一部を露出させる。次に、Mo(CO)₆ 雰囲気中で、ここにレーザを集光させ

* 原稿受付 昭和 63 年 7 月 21 日

** 日本電気(株) (相模原市下九沢 1120)

図1 レーザを用いた配線修正方法

る。しかし、原料の $\text{Mo}(\text{CO})_6$ も基板表面の SiO_2 も Ar レーザ光を吸収しないので、単にレーザを照射しても変化は起こらない。そこで、まず、Ar レーザの第二高調波光 (257 nm) で原料を光化学的に分解し、微小な Mo の堆積を行う。次に、同一部分に Ar レーザを照射すると Mo で光吸収が起これ、熱 CVD が誘起される。この段階で、レーザ光を機械走査すると線状に Mo が堆積される。LSI の配線修復に利用する時には、コンタクト抵抗の低減、配線の低抵抗化などが開発課題となっている³⁾。

この技術は開発中の LSI の設計変更に伴う配線の修正を迅速に行う上で、極めて有望視されている。また、本技術によれば、所望の部分に金属を付着させることが可能なため、共振器構造のマイクロメカニカルデバイスにおける機械特性のトリミングにも応用できる。

2.2 積層プロセス技術

素子を多層構造化すれば集積密度を飛躍的に向上できる。3次元 IC はこの例であり、各層を機能ごとに分割した構造のスマートセンサが提案されている。多層化技術として多くの手法が研究されているが、代表的な例として SOI (Silicon-on-Insulator) 技術がある。これは、絶縁膜上に形成されたシリコン単結晶薄膜領域にトランジスタ回路を作りこみ、次にこの工程を順次繰り返し多層化するものである。しかし、各層での電気特性、回路特性維持のためには、まだ多くの未解決問題がある。

シリコンと異種材料との積層技術には In パンプ接続技術がある。赤外イメージセンサではダイオードアレイを InSb や HgCdTe (CMT) で形成し、アレイからの信号を読み出すための走査回路をシリコンで形成し、両者を In パンプで接続する例が報告されている⁴⁾。

1. 開口部形成

2. 下部垂直配線形成

3. 上部垂直配線

4. 平坦化

5. 整合および熱圧着

図2 ELVIC 製造プロセス

CMT は組成の成分比を維持するために組立プロセスが最高 100°C に制限されているため、パンプ材料として In が選定される。より高温に耐える光電変換材料であれば、ハイブリッド IC 製造に用いられているはんだパンプも適用可能であろう。いずれにしても、 $100\ \mu\text{m}$ 程度のピッチで配列されたダイオードごとに電気接続することになるので、パンプの形状、積層時のブ

図3 ウエハ張合せプロセス

プロセス条件などを制御して高歩どまりを確立することがポイントになる。

In バンプと類似しているが、従来の LSI 技術で製造された 2 個のチップを、向かい合わせて張り合わせる ELVIC (Element Level Vertically Integrated Circuit) 技術も提案されている⁵⁾。図 2 に示すように、通常のプロセスで作られたチップの表面にビアホールを形成し、ここに、Au/Ti などから成る下部層間配線を埋め込み、続いて上部層間配線を形成する。次に、2 つのチップを整合性良く密着させるための接着剤として、双方の表面に絶縁性ポリイミドをスピン塗布する。その後、上部層間配線の表面が露出するまで、酸素プラズマエッチングにより、ポリイミド層を除去する。このようにして作られた 2 つのチップは、LSI 表面を対向させ、目合わせさせた後、加熱/加圧により電気接続/接着される。10×10 μm² での Au/Ti 層間配線が可能であり、現状の VLSI と同程度の実装密度が得られている。ELVIC による 31 段、2 層 CMOS リング発信器が報告されており、積層構造に伴う特性劣化はないとされている。一方、本技術はシリコン LSI 同士の積層に限らず、異なる材質の基板、異なる機能の LSI、異なるプロセスによる LSI、異なるサイズの LSI に適用できるという特徴がある。このため、非シリコン材料を用いたセンサと、周辺回路用シリコン LSI とを多層集積化して、センサの高機能化を達成することができる。

シリコン基板同士を酸化膜を介して直接貼り合わせる技術⁶⁾もある。図 3 に示すように、表面に酸化膜が形成された 2 つのシリコン基板を機械的に接触させ、高温酸化雰囲気中で処理すると接着できる。シリコン基板表面の平坦性が重要であるが、前述の SOI と類似構造が短時間で、しかも、大面積にわたって実現でき

図4 選択エピ分離の形成プロセス

る利点がある。実際に高耐圧回路や CMOS 回路を実現した報告がある。この技術の原理的な発表はかなり古い⁷⁾が、最近になって急激に発展し、注目されている技術である。

2.3 選択エピ分離技術

CMOS デバイスは低消費電力という特徴を有しているため、LSI 構成の主流技術となっている。単位素子を微小化して、より高密度、低消費電力化を図るために、基板上にシリコン単結晶を選択的に成長させる選択エピ分離技術⁸⁾が注目されている。図 4 に示すように、面方位 (100) の基板上に熱酸化 SiO₂ 膜を堆積し、反応性イオンエッチング法により、垂直形状をもった SiO₂ 分離領域を形成する。次に、側壁材としてポリシリコンまたはアモルファスシリコンを堆積し、異方性ドライエッチングを施すと、SiO₂ 側壁部のみにシリコン膜が堆積される。ドライエッチングの損傷を熱処理で除去した後、減圧エピタキシャル成長を施すと、SiO₂ 開口部の露出シリコン基板から選択的に単

図5 Si エッチングのプロフィール

図6 レーザ誘起エッチングによる光導波路の形成

結晶が成長する。エピ成長後、この単結晶領域にゲート酸化膜やソース、ドレイン接合、ゲート電極、金属配線などが作り込まれる。この分離技術では、従来の選択酸化技術を用いた構造 (LOCOS) で微細化を阻止していたパズルピースが発生しないため、サブミクロントランジスタの製造に必須な技術となる。

選択エピ分離技術では、素子分離のための領域を、垂直方向の形状を劣化させることなく形成することがキーとなる。ハロカーボンガスを用いた反応性イオンエッチングは、図5に示すような良好なエッチング形状を実現できるが、反応に伴うイオンが基板の表面に残存し、その後の熱工程で新たな結晶欠陥を誘起する欠点がある。この改良のための低汚染エッチング方法⁹⁾も研究されている。

2.4 レーザ誘起エッチング

セラミックの微細加工用に開発された技術である。空気中でのレーザ加工はレーザ照射部に再凝固物が付着して加工形状を劣化させる欠点があるが、エッチングを併用して再凝固物を除去すれば優れた加工形状が得られる。この技術を光集積回路での導波路形成に適用した報告¹⁰⁾がある。図6に示すように、SiON/SiO₂/Si 構造の SiON 層に平行な対となる溝を形成すると、2本の溝に挟まれた部分が導波路となる。溝形成は、エッチング液 (KOH 水溶液) に浸された試料にアルゴンレーザを照射することにより達成される。エッチング機構は、レーザ照射の熱的効果によるエッチング速度の促進と考えられている。この方法では、パターンニングのためのレジスト工程が不要であり、レーザを機械走査することにより所望の溝が形成される。レー

図7 X線露光マスクの断面図

ザのピント位置、光出力、走査速度、液濃度により溝形状 (深さ、幅) が決定され、長さ 20 mm、ピッチ 20 μm、深さ 1 μm の加工例が報告されている。

また、この技術を用いて、セラミック板上に 5 μm の幅広溝を形成し、磁気ディスク用負圧ヘッドを試作した報告¹¹⁾もある。このように、本技術は、将来、セラミックセンサやファイバセンサなどの微細加工に適用されるであろう。

2.5 X線露光技術

数年後に製品が登場すると予想される 16 Mb の DRAM では、0.5 μm のパターン形成が必要になると考えられており、0.5 μm ないし 1/4 μm のリソグラフィ技術の確立が急務になっている。解像性に優れた X 線 (波長 10 Å 以下) リソグラフィは、この要請にこたえ得る次期技術として期待されている。

ここでは、一例としてシリコン基板を用いた X 線マスクを挙げる。このマスクは図7に示すような構造¹²⁾であり、異方性エッチングで一部が除去されたシリコン基板で支持されたメンブレン (SiN_x) 上には X 線の吸収層として作用する Au の蒸着膜パターンが形成されている。X 線が照射された時に、Au から二次電子が放出されると解像度特性が劣化するので、二次電子吸収層としての SiN_x が全面に被覆されている。また、X 線露光では、メンブレンの平面性がパターン精度に影響するので、メンブレン内の残留応力を低減して平面性を維持することが重要になる。この対策例として、シリコン肉厚部の表裏構造を同一にして残留応力の軽減を図ることが実施されている。この構造はダイヤフラム型圧力センサと類似しているので、マイクロメカニカルデバイスとしても利用できる技術である。

2.6 選択研磨

Si ウエハの表面精密研磨にはメカニカル・ケミカル研磨が採用されており、この方法を発展させた選択研磨技術¹³⁾もある。ウエハの Si と SiO₂ とが露出した表面にアミン水溶液を作用させると、Si 部分のみ化学反応が進行する。図8に示すように、この反応生成物は研磨パッドで機械的に除去される。加工速度はパッドの圧力に比例し、20 μm/h 程度が得られている。一方、研磨パッドには砥粒が含まれていないため、化学

図8 選択研磨技術

図9 デバイストランスファ工程

反応が起こらない SiO_2 領域は摩耗しない。このため、 SiO_2 と Si との選択加工比は 10^4 以上にもなる。なお、4 インチウエハ全面を加工した後の表面粗さは 40 Å 程度である。

この技術は、デバイストランスファ工程¹⁴⁾に応用されている。デバイストランスファ工程(図9)とは、LSI 回路が作り込まれた基板を裏面から研磨して薄い活性領域のみを残し、他の基板に接着することである。実際には、他の基板にシリコン基板を接着してから、研磨を行う。このとき、回路中のトランジスタを分離する領域を深い SiO_2 層で形成(絶縁物分離)しておけば、 SiO_2 の底部で研磨が自動的に停止する。このようにして、 $0.4 \mu\text{m}$ 程度の薄い活性領域を石英板上に転写し、SOI 構造を実現した報告がある。

3. あとがき

超高密度 LSI 用として各種の微細加工技術が積極

的に開発されている。従来は、単に LSI 実現のための技術としてのみ見られていたが、最近になって機械加工にも利用しようとする動きが活発化している。中でも機械量センサやマイクロメカニカルデバイスが注目されている。機械加工の世界から見ると 1~2 けた程度の微細な加工が可能であるので、半導体用の微細加工技術の適用により革新的な機構部品、応用システムの実現を期待したい。

参 考 文 献

- 1) K. Ayaki: Silicon Integrated Sensors, Transducers '87 Dig. Tech. Papers, (1987) 438.
- 2) F. Uesugi et al.: Direct Writing of Highly Conductive Mo Lines by Laser Induced CVD, Extended Abstr. 17th Conf. Solid State Devices & Materials, (1985) 193.
- 3) T. Shinzawa et al.: Low Resistivity Contact Formation for High Current Density Microdevice Interconnection using Laser Chemical Vapor Deposition of Tungsten, Tech. Dig. CLEO '88, 7, (1988) 266.
- 4) S. Shirouzu et al.: 64×64 InSb Focal Plane Array with Improved Two Layer Structure, SPIE, 661, (1986) 419.
- 5) M. Yasumoto et al.: Promising New Fabrication Process Developed for Stacked LSIs, IEDM Digest of Tech. Papers, (1984) 816.
- 6) 大橋弘通, 荻野正信: 親水性を持たせて基板を接着, 光センサーやパワー素子を実用化, 日経マイクロデバイス (March 1988) 85.
- 7) 特許出願公告 昭 39-17869.
- 8) 遠藤伸裕, 笠井直記, 石谷明彦, 黒木幸令: 選択エビ分離を用いた CMOS 技術, 電気学会電子デバイス研究会資料 EDD-84-41 (1984).
- 9) 遠藤伸裕, 田島昌雄, 笠井直記, 高崎なほみ, 黒木幸令: SiCl_4 を用いた低汚染エッチングとデポジション, 電子通信学会研究会資料 SSD-86-52 (1986).
- 10) 三橋真成: レーザ誘起エッチング——光導波路加工, 昭和 61 年度精密工学会秋季大会学術講演会講演論文集 (1986) 311.
- 11) M. Mitsuhashi et al.: Micro-Fabrication of Ceramic Using Laser Enhanced Etching, Proc. 6th Int. Conf. Prod. Eng., (1987) 631.
- 12) K. Suzuki et al.: High Flatness Mask for Step and Repeat X-ray Lithography, J. Vac. Sci. Technol. B, 4, 1, (1986) 221.
- 13) 浜口恒夫, 遠藤伸裕, 木村正和, 中前正彦: 選択ポリッシングを用いたデバイストランスファ SOI の形成, 電子通信学会研究会資料, SSD 86-63 (1986).
- 14) T. Hamaguchi et al.: Novel LSI/SOI Wafer Fabrication Using Device Layer Transfer Technique, IEDM Dig. Tech. Papers, (1985) 688.