超 LSI における実装技術の動向*

日下輝雄**

Trends in Advanced VLSI Packaging / Teruo KUSAKA

Key words: microelectronics, singlechip packaging, multichip packaging, advanced VLSI packaging, silicon on silicon packaging

1. やわらかい機械と超 LSI 実装技術

「固い」ものの代名詞である機械が、本特集のように「柔らかく」なるためには、人間で言えば頭脳に相当する主制御部分に、マイクロエレクトロニクスが導入され、融通性が獲得されることが必要であろう。

その主制御部分は、能力が同等ならばサイズの小さい方が、サイズが同じならば能力の高い方が、当然ながら望ましい。そのことを筆者が属する半導体分野の言葉に翻訳して言えば、「超 LSI 化をはかり、先端実装技術でセットアップする」ということである。

柔らかい機械を実現するために、超 LSI 実装技術を理解することは、このことから、有用と思われる。

本論文では、超 LSI 実装技術に関する、最近の開発状況と今後の展望を紹介する。

2. SCP の最近の動向

SCP (シングルチップパッケージング) は、Si チップを 1 個ごとに LSI パッケージ (以下、パッケージと呼称) に封止し、それを代表的にはプリント配線板 (PWB) 上で接続する実装方法である。

SCP の動向は、パッケージの動向にオーバーラップしている。全体的なパッケージの動向は図 1 に示す通りである。

パッケージは大きくは、用途分野別に、メモリー用、マイクロプロセッサ/ASIC 用、ハンディ用の三つに区分される。以下、それらの最近の状況を述べる。

1) メモリー用パッケージ

メモリー用パッケージでは高密度実装化が特に要求され、チップ占有率が急速に大きくなっている。ここで、チップ占有率はパッケージ面積に占める Si チップ面積の占有比率のことである。例えば、DRAM の例では、図 2 に示す通りである。次世代の 16 M DRAM では 70% を越えるようになっている。この状況に対応するために、LOC (Lead on Chip) と呼ばれる新しいパッケージ構造が NEC、日立、IBM 等先端メーカで導入されてきている。

メモリーの使用分野は広く、用途ごとに多様なパッケージがますます使用されるようになっている。大きなトレンドとしては、SOJ, TSOP 等高密度実装型

図1 LSI パッケージの動向 (出典 N G Koopman et al, Proc ISHM '88, 1988, p 295)

* 原稿受付 平成3年9月7日

** 正会員 日本電気(株)超 LSI 開発本部 (相模原市下九沢 1120)

図2 Siチップ占有率の推移

パッケージへのシフトがみられる。

2) MPU/ASIC用パッケージ

MPU (マイクロプロセッサ) 用パッケージにはシステム性能を高める面からの要求が強い。それに対応するため、常に先端的なパッケージ技術が導入されている。

例えば、最近報告¹⁾されたセラミック PGA パッケージの事例では、ファインピッチ化を図るためにチップ接続に TAB 技術を使用し、インナリード部の高密度配線化を図るために、ポリイミド/メタル配線を使用している。また、低熱抵抗化を図るために、高熱伝導材料の AlN を使用している。さらに、外形サイズを小さくするために、表面実装型 PGA (パッドリードピングリッドアレイ) を採用している。

使用数量で主流であるプラスチック QFP においても、例えば、L/F (リードフレーム) を多層化した多層 L/F 型、TAB リードを複合化した複合型 L/F 等新規なパッケージが開発されている。

ASIC 用パッケージでは、特に、開発の短 TAT 化が要求される。これに対応するために、CAD ツールを活用した設計の迅速化、試作/評価方法の工夫ほか開発上のソフトウェア面からの改善もいろいろに進められている。MPU 用パッケージを ASIC 用に転用することが多い。

3) ハンディ用パッケージ

ハンディ用途では、特に軽薄短小化が要求される。それに対応するため、TSOP (Thin Small Outline Package), VSOP (Very Small Outline Package) のほかに、TCP (Tape Carrier Package), GQFP (Guardring Quad Flat Package) 等各種の新種パッ

ッケージが開発されている。

TCP は TAB テープに IC チップを ILB (インナリードボンディング) し、トランスファモールド法、もしくは、ポッティング法により、樹脂封止したパッケージである。現在の先端レベルは、OLB (アウトリードボンディング) で 0.3 mm ピッチが生産初期にあり、0.15 mm ピッチが試作検討中である。日本側の EIAJ と米国側の JEDEC 間で外形規格の統一化が実現したこともあり、今後、高密度実装分野に普及することが期待されている。

GQFP は、QFP のアウトリードを封止樹脂のリングで補強したパッケージである。ユーザ側で、回路基板に実装する直前まで、樹脂リングを付けたままハンドリングするため、リードの変形が起りにくい。このことから、ファインピッチ化に対応できるパッケージとして期待されている。

このほかにも様々なパッケージが開発されており、目下、活性な領域の一つになっている。

3. MCP の開発状況

MCP (マルチチップパッケージング) は、Si チップを複数個、同一パッケージ内に封止する実装方法である。まだ広くは普及していないが、将来型実装技術として、開発レベルで、現在注目されている。

1) チップ間ベア接続

SCP と比較した MCP の特徴は、Si チップ間をパッケージレス (ベア) の状態で接続することである。直観的に分かるように、ベア接続では、チップ間接続長が短縮され、信号遅延時間が削減される。ハイスピードが要求される用途には、本質的に適していると言える。高速化が優先して追求される大型コンピュータでは、すでに IBM がチップ間ベア接続を導入している。NEC、富士通、日立等も特別製チップキャリアを使用し、チップ間ベア接続に擬せられる高速型実装を採用している。

チップ間ベア接続のシステム性能に与える効果については、例えば、AT & T ベル研からの報告²⁾で、表 1 に示す例がある。その報告によれば、従来実装では、CMOS チップを 1.25 μm ルールから 0.5 μm

表 1 MCP によるシステム性能の改善

比較項目	1.25 μm CMOS PGA/PWB	1.25 μm CMOS PGA/PWB	0.5 μm CMOS Si オン Si	単位
システム性能	30	30	100	MHz
消費電力	2 700	1 500	1 000	W
実装面積	17 300	17 300	2 500	cm^2

表 2 材料面からみた MCP の開発状況

		(%)	
項	目	開発レベル	生産レベル
基 板	セラミック	46	80
	Si ウェハ	44	0
	その他	17	20
導 体	Cu	73	60
	Al	20	20
	Au	7	20
層間膜	ポリイミド	69	100
	その他	31	0

ルールに改善しても、チップ間遅延時間がネックとなり、システム性能としては改善されないが、チップ間ベア接続 (MCP) を使用すれば、30 MHz だったシステムスピードを、100 MHz に改善できるとのことである。

2) 最近の開発事例

Vardaman らが、最近の MCP の開発状況をプロセス/材料面から調査した報告³⁾ の一例を表 2 に示す。表 2 から分かるように、最近の話題の一つに、回路基板として、Si 基板を使用する Si オン Si 実装がある。Si 基板を使用すれば、チップテクノロジーを転用できること、熱膨張係数をチップとパーフェクトにマッチングできること等のメリットを享受することができる。

いろいろな可能性を期待させる Si オン Si 実装に先鞭をつけたのは、1984 年の日立からの発表であるが、技術開発として活発化してきたのはここ 2~3 年であり、比較的新しい。

最近の主な開発事例としては、AT & T ベル研の AVP (Advanced VLSI Packaging)、東芝の COW (Chip on Wafer)、TI の Card System、および、IBM の PSC (Passive-Silicon-Carrier) 等がある。

これまで、MCP は、大型コンピュータに使用されていた技術であるが、最近の動向は、ハイエンドのワークステーション、パソコン用途を想定して、ローコスト & 量産型 MCP が検討されるようになっていく。

4. 今後の展望

超 LSI における今後の実装技術はどのように進展するであろうか。ここでは、MCP の視点から、今後の展望を行ってみよう。

1) Si チップの動向

微細加工が段々と“限界”に接近して行くことから、高集積化の労力が増加するだろうと予測される。

表 3 各種実装方法の比較

比較項目	Si オン Si	TCP/セラ	PGA/PWB	単位
実装面積	1 722	2 025	19 600	mm ²
重 量	13	369	375	g
信号遅延時間	0.3	0.6	2.1	ns
誘導性ノイズ	10	90	370	mV
クロストーク	5.5	6.4	10.9	%

また、技術世代ごとに膨張する設備投資の重圧はますます大きなものになるであろうと予測される。

このことから、これまで、實際上、Si チップの改善に多くを求めておけば良かったシステムハードの高性能化は、実装を中心とした他の手段の併用をさらに迫られることになるであろう。

2) SCP 対 MCP

高集積化をあえてさらに進めてワンチップにこだわって対応するか、高集積化について現状の到達レベルで妥協しておき、モジュール化技術をレベルアップしてマルチチップで対応するかは、今後、SCP か MCP かということで切実感を伴った議論になってゆくものと思われる。

3) MCP へのシステム実装

システムオンシリコン (Si チップ上にシステムを実現すること) を一つの基軸にして、半導体分野の技術開発は進められてゆくとして予測される。そして、その先端と周辺には、少数個の Si チップでシステムを構成することが行われるであろう。すでに、超 LSI 実装分野においては、システムを実装するという立場からの検討が始まっている。

表 3 は 1 000 ピン、15 mm² のチップを 4 個、各種の実装方法でパッケージングしたケースについてシミュレーションにより比較検討した結果の例である。表 3 から、チップ間ベア接続である Si オン Si 実装等の形態が優れていることが分かる。

システムハードのハイスピード化動向と考え合わせ、筆者らは、図 3 に示すように、チップ間ベア接続が将来 SMD とともにシェアを増加させるであろうと予測している。

5. 最 後 に

MCP は、SCP における多ピン化、高速化面での行き詰まりを打破する可能性を有している。その打破は、超 LSI あるいは超々 LSI の実装で最も強く要求され、現在、様々な開発グループがアプローチしている状況である⁴⁾。MCP は多分まもなく実用化されるであろう。その後は、段々と改善され、リソースを蓄積しながら、将来ニーズにさらに適する実装技術とし

図3 実装方法のシェア予測

て、主流のパッケージングの一つに成長していくもの

と思われる。

本特集の「やわらかい機械」が関係者の研究成果により、実用化され、広く普及することを期待する。その中で、ここに紹介した超 LSI 実装技術が貢献できることを希望する。

引用文献

- 1) S. Harada et al.: Fine-Pitch High-Density PGA Package, Tech. Dig. Papers ISSCC '90, (1990) 154-155 and 288.
- 2) C. J. Bartlett et al.: Multichip Packaging Design for VLSI-Based Systems, IEEE Trans. CHMT, 10, 4, (1987) 647.
- 3) E. J. Vardaman et al.: Trends in Multichip Module Packaging: Substrate and Process Choices, Proc. Japan IEMT Symp. '91, (1991) 377.
- 4) R. F. W. Pease: System Level Packaging: An Alternative to Monolithic ULSI?, Tech. Dig. IEDM '90, (1990) 971.

通産省、大型プロに微小加工極限技術を推進

通産省はこのほど、平成4年度から大型工業技術研究開発制度（大型プロジェクト）で革新的な物質・材料の創製などを旨とした原子・分子極限操作技術の開発に乗り出すことを明らかにした。原子・分子レベルの計測や構造を制御する技術の開発は、オングストロームオーダーの微小高密度加工技術への道がひらけるだけでなく、複数の機能をあわせ持つ新機能素子などを実現する可能性を秘めている。同省は10年計画で2300億円を投じ、原子・分子レベルでの物質の構造や組成、化学状態および形状を計測する技術を確立する一方、物質の構造を操作し、複合機能性材料・素子の創製を可能とする新しい加工技術を開発する。

物質表面の原子を1個ずつ直接計測することは、STM（走査型トンネル顕微鏡）などの開発で可能になりつつある。最近では米IBMアルマデン研究所がたった1個の原子を自在に動かし、電気のスウィッチの働きをさせるのに成功するなど加工分野の展開が活発化してきた。

だが物質の形成過程における構造や組成、化学状態を

その場で観測し操作する技術はまだ制約が多く緒についたばかりである。通産省が大プロでねらうのは、これまで対象としてきた不活性な原子ではなく活性な原子レベルの精密な計測と加工を可能とする技術の確立である。

まず超高感度ラマン散乱法やSTMなどを用いて原子・分子レベルで物質の構造や組成、化学状態、形状を超高分解能で総合的にその場計測する技術を開発する。さらにこの超精密技術と電子やイオン、原子をはじめとする極細ビーム技術とを組み合わせることで単原子脱着など物質の構造を任意に操作し、量子技能材料やシステム化材料などの創製を可能とする加工技術を確立する。

また今回のテーマは、基礎研究色の濃い内容となるため、これまでの大プロと異なる研究体制を数く。産官共同の研究体制はそのままだが、それぞれ要素ごとの持ち帰り研究ではなく、4年度をメドに再編する工業技術院の筑波研究センターに研究者を集約して実施する。

同省では同操作が生体におけるDNAなどの巨大分子の構造解析・高速解読による遺伝子操作技術など広範な分野への波及が期待できるとみている。（服部 敏夫）