LSI のオンチップ配線修正システムにおける レーザ CVD を用いた配線接続装置の開発*

本郷幹雄** 佐野秀造** 上村 隆** 水越克郎***

Development of Interconnection System Using Laser-induced CVD
for On-chip Modification System for LSI

Mikio HONGO, Shuzo SANO, Takashi KAMIMURA and Katsuro MIZUKOSHI

This paper describes the details of an on-chip interconnection system using pyrolytic decomposition of molybdenum hexacarbonyl irradiated with an argon ion laser beam. This system consists of five chambers (CVD, sputter deposition, sputter etching, transportation and load-lock chambers). The system has the ability not only to form molybdenum conductors by laser-induced CVD but also to form chromium film as a barrier by sputter deposition, remove chromium film by sputter etching and reduce resistivity of molybdenum conductors by laser annealing. After the contact holes are formed on LSI chips by the focused ion beam (FIB) system, LSI chips are transported to this system in a vacuum using the container attached to a vacuum pump system and gate valve. The process to make interconnects can be carried out all the way through without exposure to the air. With this system and process, low resistive contacts and low resistive conductors for failure analysis or modification can be obtained and the development time of LSIs and electronic systems using LSIs can be shortened.

Key words : laser-induced CVD, interconnection, argon ion laser, molybdenum, molybdenum hexacarbonyl, sputter deposition, sputter etching, LSI, focused ion beam, failure analysis, modification

1. 緒 言

微細化・高密度化の進む半導体デバイスの開発では所期の性能を得るため、試作段階のデバイスの回路配線を変更・修正する必要性が生じる。従来はデバイスを作り直すことで対処していたが、これには数週間を要し、開発が長期化する問題があった。そこで、開発期間短縮を図るため、LSI チップ上で直接、配線の修正を行う、配線修正システムの開発に着手した。このシステムは、配線の切断・接続穴の形成を行う FIB (Focused Ion Beam) 加工装置、デバイス内配線の任意箇所を接続する配線接続装置、および修正データを作成する修正データ作成システムから構成される。

配線接続には、フォトレジストプロセスなしに直接、 μm オーダの微小領域に選択的な成膜が可能な技術として、レーザ CVD¹⁾ (Chemical Vapor Deposi-

tion) と FIB CVD²⁾ が適用可能であるが、成膜速度と膜質の点から前者を選択し、検討を進めてきた。

半導体デバイスの補修や不良解析に適用するためには

- (1) デバイス内の Al 配線との低抵抗接続
- (2) 低抵抗配線の高速形成

の二つの課題を解決する必要がある。第一の課題に対しては、Cr バリヤ層の採用等により接続当たり $1\ \Omega$ 以下が得られることを、第二の課題に対してはレーザアニールの採用等により $1\ \text{mm}$ 当たり $50\ \Omega$ 以下の Mo 配線を $1\ \text{mm}/\text{min}$ 以上の速度で形成できることを既に報告した³⁾⁴⁾。本報では、半導体デバイス上での配線接続を実施するために開発した配線接続装置について、詳細に述べる。

2. 配線接続プロセス

配線材料として大気中でも安定で、比抵抗の小さな Mo を、CVD 材料ガスとして大気に触れても発火性がなく安定で、分解温度が 150°C と低い $\text{Mo}(\text{CO})_6$ (モリブデン・ヘキサカルボニル) を選択した。

* 原稿受付 平成 3 年 12 月 17 日

** 正 会 員 (株)日立製作所生産技術研究所 (横浜市戸塚区吉田町 292)

*** (株)日立製作所生産技術研究所

Table 1 Properties of molybdenum hexacarbonyl⁹⁾

Appearance	White crystals
Boiling point	156.5°C
Freezing point	150°C
Specific gravity	1.96 (solid)
Vapor density	9.1 (air=1)
Solubility in H ₂ O	Insoluble
Flash point	Not applicable
Autoignition temperature	608°C (as CO)
Threshold limit value	10 mg/m ³ (as Mo) 55 mg/m ³ (as CO)
Vapor pressure at 55°C	306 Pa

Mo(CO)₆の主な性質を表1⁹⁾に示す。光反応プロセス (Photolysis) に比べて成膜速度が大きく、膜質も良好な熱反応プロセス (Pyrosis) を採用した。材料ガス圧の制御を容易にするためキャリアガスは用いずに、Mo(CO)₆蒸気のみをチャンバ内に一定圧で閉じ込め、Ar レーザ照射により、Mo 膜を選択形成する。

低抵抗接続および低抵抗配線の高速形成を実現するために開発した接続配線形成プロセスを図1に示す。各プロセスの概略は次の通りである。

- (1) クリーニング： 試料表面を軽くスパッタエッチして、表面に付着している水分などを除去し、Cr 下地膜およびCVD配線の密着性を向上する。
- (2) 接続穴形成： FIB (集束イオンビーム) によるスパッタ加工で、デバイス表面の保護膜、および層間絶縁膜に接続穴を形成する⁶⁾。
- (3) Cr 下地膜形成： Al-Mo 高抵抗合金の生成を防ぐためのパリア層として、および試料表面とCVD配線との密着性向上を図るための緩衝膜として、スパッタ成膜によりCr膜を形成する³⁾。
- (4) 穴埋め： Mo(CO)₆ガス雰囲気中でArレーザを照射して接続穴にMoを埋め込み、デバイス内Al配線との接続を形成する。
- (5) 配線形成： Mo(CO)₆ガス雰囲気中でArレーザを照射しつつステージを移動してMo配線を形成し、接続穴同士を接続する。
- (6) 配線抵抗低減： 形成したMo配線上に、真空中で再度Arレーザを照射するレーザアニール

により、MoOC (モリブデン・オキシカーバイド) の形で含まれている不純物 (酸素、炭素) を除去し、比抵抗を低減する⁷⁾。

- (7) 不要下地膜の除去： スパッタエッチにより、配線部分以外の不要なCr下地膜を除去する。

この後、FIB装置に試料を移し、デバイス内Al配線を切断する。当初、切断は接続穴形成時に行っていたが、Cr下地膜形成時に切断穴内壁に付着したCr膜をスパッタエッチでは除去できないことが分かり、最後に行うプロセスに変更した。

3. 配線接続装置の全体構成

上に述べた配線接続プロセスを実行するために開発した配線接続装置の外観を図2に、その構成を図3に示す。本装置は、試料搬送室を中心にロードロック室、スパッタ成膜室、スパッタエッチ室、レーザCVD室をゲートバルブを介して接続した5室構成で、防振架台上の定盤に設置した。修正対象として、最大6インチのウェハまで適用できるように、試料ホルダおよび各室の大きさを決定した。各室はターボ分子ポンプとロータリポンプの組合せで、高真空 (～10⁻⁵ Pa) 排気が可能である。

レーザCVD室の上に、レーザ光の集光光学系と観察光学系を兼ねた光学系を設置した。レーザ光は対物レンズで集光させながら、レーザCVD室に設けた石英窓を介して、室内に設置したXYZθステージ上に固定した試料に照射する構成にした。

制御部は全体を制御するためのCPUとキーボード、各種電源、制御回路、表示部、モニタTVなどから構成される。制御ソフトウェアについては、後で述べる。

これらの構成により、本装置は図1に示した配線接続プロセスのうち、(1)および(3)から(7)のステップ、すなわちレーザCVDだけでなくスパッタ成膜、スパッタエッチ、レーザアニールの処理をカバーできる点に特徴がある。

また、本装置はFIB装置、修正データ作成システムとともに配線修正システムを構成するが、それぞれ独立に設置する。このため、本装置とFIB装置の間

Fig. 1 Process for on-chip interconnection

Fig. 2 External view of developed system

Fig. 3 Structure of developed system

の試料搬送には真空コンテナを使用する。これにより、すべてのプロセスを大気にさらすことなく実施でき、低抵抗接続が確保できる。

4. 装置主要部の詳細

4.1 光学系

本装置光学系の構成を図4に示す。レーザ源として、光学顕微鏡用対物レンズで微細なスポットが得られること、出力が安定なことから連続発振 Ar レーザを選択し、出力を極力大きくするためにマルチカラー（主な波長は 488 および 515 nm）を用いた。発振したレーザ光を、出力調整機構と出力モニター部で所定の出力に設定する。出力調整は、グレンレーザプリズムの回転により直線偏光レーザの透過率が変化することを利用した。その後、シャッター、ダイクロイックミラー、対物レンズ、石英窓を経て、ステージ上の試料に照射する。対物レンズとして、観察と兼用で光学顕微鏡用長作動距離 40 倍レンズ（NA 0.45）を使用した。この時の集光スポット径は約 $2.5 \mu\text{m}$ である。

観察は照明装置による落射照明下で、目視と TV

Fig. 4 Schematic diagram of optical system

Fig. 5 Distribution of etching rate

カメラで行う。40 倍レンズのほかに、広範囲の観察用に 10 倍レンズ（NA 0.2）を使用した。レーザカットフィルタによりレーザ光を遮断し、作業者の眼および TV カメラを保護することにより、配線形成中の観察を可能にした。

また、常にレーザ光の焦点が試料表面と一致するように、自動焦点機構を付加した。赤外光によるしまパターンを試料上に投影し、焦点検出光学系で検出したしまパターンのコントラストが一定になるよう Z ステージを駆動する。これにより、LSI チップが光軸に垂直な面に対して傾いて固定された場合でも、常に一定幅・一定厚さの配線が得られる。

このほか、穴埋め時の低抵抗接続と埋込み形状の再現性向上を図るため、TV カメラで取り込んだ画像信号を画像処理装置で処理し、パターンマッチングによる接続穴の自動位置決め、および反射光量モニターによる穴埋め終点検出が行える機能³⁾も付加した。

4.2 スパッタエッチ室

RF (13.56 MHz) 放電による Ar プラズマのスパッタリングでエッチングを行い、LSI 表面のクリーニング、および不要 Cr 下地膜の除去を行う部屋である。アノード・カソード間距離、Ar ガス流量、Ar ガス圧の最適化により、図5に示すように、 SiO_2 に対して 5 インチウエハ全面でエッチレート 27.5 nm/

Fig. 6 Distribution of deposition rate

min, 均一性 $\pm 5\%$ を得た。

4.3 スパッタ成膜室

接続穴底での Al-Mo 接続抵抗低減, およびレーザ CVD 配線の密着性の向上を目的に, LSI 表面に Cr 膜を形成するための部屋である。DC 放電による Ar プラズマで Cr ターゲットをスパッタリングし, 試料全面に成膜する。ターゲット・試料間距離, Ar ガス流量, Ar ガス圧の最適化により, 図 6 に示すように, 5 インチウエハ全面で Cr 成膜レート 25.0 nm/min, 均一性 $\pm 10\%$ を得た。

4.4 搬送室

LSI を固定した試料ホルダをロードロック室, スパッタエッチ室, スパッタ成膜室, レーザ CVD 室の間で搬送するアームを収納した部屋である。部屋間を仕切るゲートバルブを開いて, スライド式で伸縮するアームを伸ばして試料ホルダを受け取り, 縮んだ状態で回転して目的の部屋でアームを再び伸ばして, 試料ホルダを渡す。アームの回転, 伸縮はパルスモータで駆動し, それぞれの位置決めは光センサで行う。

4.5 レーザ CVD 室

内部に XYZ θ ステージを備え, Mo(CO)₆ を格納した SUS 製容器から蒸気を一定圧力まで供給して閉じ込め, レーザ光を照射してレーザ CVD を行う部屋である。XY ステージはパルスモータで, また Z θ ステージは DC サーボモータで駆動する。

Mo(CO)₆ のみをキャリアガスなしで導入し, 圧力はダイヤフラム型圧力計で測定する。一般には, レーザ CVD 室全体を加熱して材料ガス圧を上げること, 成膜速度を大きくできる。しかし, チャンバヤステージを加熱することにより, ステージ精度が著しく低下する。そこで本装置ではこのような問題点を避けるために加熱せず, 室温 (20~25°C) 下で配線形成を行う。レーザ CVD 時の Mo(CO)₆ ガス圧力は 20°C における飽和蒸気圧 (13.3 Pa) を標準とした。ただし材料ガス供給時間を短縮するため, Mo(CO)₆ 結晶を格納した容器と供給配管のみは加熱 (~40°C) した。

Fig. 7 Transportation of specimen from FIB machining system to laser CVD system

4.6 真空コンテナ

FIB 装置で接続穴を形成した試料を大気にさらすと, 露出した Al 配線表面が酸化される。アスペクト比の大きな接続穴では, スパッタエッチでも酸化膜を除去できないため, 低抵抗接続が達成できない。そこで, 図 7 に示すように, 試料ホルダの共通化を図り, ホルダごと真空コンテナで装置間を搬送する。

このコンテナは真空排気装置とゲートバルブを有し, ゲートバルブを各装置のロードロック室に接続して試料ホルダを受け渡すことにより, 1×10^{-4} Pa 以下の真空度を保ったまま試料が搬送できる。これにより, 図 1 に示した全プロセスを, 途中で大気にさらすことなく, 一貫処理することが可能となった。

4.7 安全対策

表 1⁵⁾ から分かるように Mo(CO)₆ は有毒 (許容濃度は Mo として 10 mg/m³) な物質であり, 厳重な安全対策が必要である。本装置の真空ポンプ排出口を有害装置に接続し, 無害化してから CVD ガス用排気ダクトへ排出する。材料ガス容器の格納庫等も常に減圧になるように, CVD ガス用排気ダクトに接続した。

また, Mo(CO)₆ の漏洩検知器を設置した。これは吸引したサンプルガスを加熱分解し, 発生した CO ガスを検出する方式のもので, 有害装置内, シリンダ格納庫内, レーザ CVD チャンバの周囲等を常にモニターする。万一, Mo(CO)₆ を検出した場合は自動的に装置内のバルブをすべて閉じ, 装置を緊急停止させるとともに, 警報で周囲に知らせる。

レーザ光路はレーザ光が漏れないように, 電極部などは誤って触れることがないように遮蔽した。レーザ発振中, 高電圧印加中には赤ランプを点灯させて作業者に知らせるとともに, 装置全体をリミットスイッチ付きのカバーで覆い, カバーが開いているときはレーザ発振あるいは高電圧の印加ができない構成にした。

```

1 idd j10215      : transmit modification data
2 trns load etch  : transport a sample(load-lock to etch)
3 preet          : etch(pre-etching = cleaning)
4 trns etch depo  : transport a sample(etch to deposition)
5 crsp           : form Cr film with sputtering
6 trns depo lcvd : transport a sample(deposition to laser CVD)
7 axcrr          : correct laser axis
8 gasin bmb1     : supply material gas from cylinder 1
9 cuerr          : correct laser axis in TV camera field
10 mv1 zhold      : move to the 1st alignment mark
11 align1 auto    : align the 1st alignment mark
12 mv2 zhold      : move to the 2nd alignment mark
13 align2 auto    : align the 2nd alignment mark
14 pause         : pause
15 for           : continue
16 mvht           : move to a hole
17 alhl auto      : align laser axis to a hole
18 fill auto      : fill a hole
19 next          : continue
20 for           : continue
21 mvlt           : move to the start point of a conductor
22 line          : form a conductor
23 next          : exhaust material gas
24 purge         : continue
25 for           : continue
26 mvlt           : move to the start point of a conductor
27 anneal        : anneal a conductor
28 next          :
29 trns lcvd etch : transport a sample(laser CVD to etch)
30 pstet         : remove Cr film(post-etching)
31 spuld         : unload a sample
32 end           : end
    
```

Fig. 8 Example of standard CP (catalogued procedure)

その他、CVD ガス用排気ダクトの風量、冷却水量、バルブ駆動用ガス圧、装置内の温度等を常時モニタし、異常を検出した場合には緊急停止させる構成にした。

5 制御ソフトウェア

本装置の制御ソフトウェアの特徴は次の点にある。

- (1) CP (Catalogued Procedure) 方式による処理の実行
- (2) 修正データ (修正座標、プロセスデータ) のデータベース構築

CP 方式とは、単位動作を実行するコマンド (カタログ) を登録しておき、処理する内容に合わせてコマンドを並べたプログラム (CP) を作成して実行する制御方式で、プロセス変更の自由度が大きい。図 8 に代表的な CP の例を示す。試料導入から試料取出しまでの全プロセス連続処理のみならず、一群のコマンド (例えば試料搬送・スパッタエッチ・試料搬出・各室の真空排気など一連の動作) の実行、あるいは 1 コマンド (例えばステージの移動のみ、スパッタエッチの動作のみ) の実行が行える。万一トラブルが発生しても、一時的に CP から離れて単独のコマンドを実行し、対策が完了してから再び CP に戻ることもできる。

修正データ作成システムで作られたデータ (接続穴の座標、深さ、配線経路の座標、配線の種類など) は LAN (Local Area Network) 経由で受信する一方、キーボード上で編集することもできる。また、スパッタエッチ、スパッタ成膜、レーザ CVD などのプロセ

*** CHIP INFORMATION DATA IN ***									
1	JOB NAME		through						
2	PRODUCTION NAME								
3	TARGET CHIP								
4	CHIP SIZE		*** SPUTTER ETCH CONTROL DATA IN ***						
	Y				PRE		POST		
5	CHIP(WAFER)	1	JOB NAME		*** CHROO SPUTTER CONTROL DATA IN ***				
	ORIGIN_POINT	Y	2	PRODUCTION NAME		through			
6	1ST_ALIGN_POINT	Y	3	SPUTTER TIME (sec)		NDLJ0020			
			4	RF POWER (W)		90			
7	2ND_ALIGN_POINT	Y	5	GAS PRESSURE(Torr)		150			
			6	GAS FLOW 1 (scc)		1.0E-2			
8	COMMENT	Y	7	GAS FLOW 2 (scc)		20.0			
			8	COMMENT		1

Fig. 10 LSI chip modification yield

Fig. 11 SEM photograph of modified LSI surface

用途のほか、試作 LSI の不良解析（特定箇所の信号を観察するための測定用配線形成、推定不良箇所を迂回する配線を形成することによる動作確認など）、特性解析（配線長を変化させることによる配線抵抗あるいは浮遊容量の影響評価など）にも適用され、LSI の開発期間短縮に寄与している。

7. 結 言

Mo(CO)₆ を CVD 材料ガスとし、Ar レーザ照射による熱分解を利用したレーザ CVD により、半導体デバイス上に Mo 配線を形成し、半導体デバイス内配線の任意箇所を接続するための装置を開発した。

この装置の特徴は次の通りである。

- (1) スパッタエッチ、スパッタ成膜、レーザ CVD

およびレーザアニールを行う機能を有し、低抵抗接続および低抵抗配線の形成が実現できる。

- (2) FIB 装置と試料ホルダを共通化し、真空コンテナを使用することにより、すべての処理が試料を大気にさらすことなく行える。

- (3) CP (Catalogued Procedure) 方式の制御を採用し、全プロセス連続処理、一群のプロセスの処理、及び各動作単一の処理が自由に行える。

本装置を含めた配線修正システムを大形電子計算機用論理 LSI の配線修正に適用し、大形電子計算機開発期間の大幅な短縮に寄与した。また、各種 LSI の不良解析・特性解析にも適用し、それら LSI の開発期間短縮に寄与している。

おわりに、本研究を進めるにあたりご協力をいただきました(株)日立製作所デバイス開発センタ・安斉昭夫氏、河路幹規氏、高橋貴彦氏、宇田恵美子氏、日立超 LSI エンジニアリング(株)大塚耕司氏、ならびに本装置開発にご協力をいただきました日立電子エンジニアリング(株)CVD 部、日立通信システム(株)第 2 ソフトウェア部の皆様に感謝いたします。

参 考 文 献

- 1) 例えば、T. F. Deutsch, D. J. Ehrlich and R. M. Osgood, Jr.: Laser Photodeposition of Metal Film with Microscopic Features, Appl. Phys. Lett., **35**, 2, (1979) 175.
- 2) 例えば、益子洋治ほか: FIB を用いた VLSI の新しい評価・解析技術, Semiconductor World, (1987.9) 27.
- 3) 本郷幹雄, 上村 隆, 佐野秀造, 水越克郎: レーザ CVD で形成した配線接続部の接続抵抗低減, 精密工学会誌, **57**, 8 (1991) 1431.
- 4) 本郷幹雄, 佐野秀造, 上村 隆, 水越克郎: レーザ CVD による低抵抗配線の高速形成, 精密工学会誌, **58**, 3 (1992) 495.
- 5) Thiokol/Ventron Division, Alfa Products: Material Safety Data Sheet 48114, (1986).
- 6) F. Itoh, A. Shimase, S. Haraichi and T. Takahashi: Mechanism of Ion Impact Photoemission Change of Si and Al during Focused Ion Beam Milling of LSI, J. Vac. Sci. Technol. B, **9**, 5, Sept./Oct. (1991) 2692.
- 7) 佐野秀造, 本郷幹雄, 上村 隆, 水越克郎: レーザ CVD による Mo 配線の形成技術, 第 23 回レーザ熱加工研究会論文集, (1990) 75.