数値制御プラズマ CVM (Chemical Vaporization Machining) による SOI の薄膜化*

— 加工装置の開発と超薄膜 SOI ウエハの試作 —

森 勇 藏** 山 村 和 也** 佐 野 泰 久**

Thinning of SOI by Numerically Controlled Plasma CVM (Chemical Vaporization Machining)
—Development of the NC-PCVM Machine and Trial of Ultra-thin SOI wafer—

Yuzo MORI, Kazuya YAMAMURA and Yasuhisa SANO

SOI (Silicon on Insulator) wafer is expected as a semiconductor substrate which realizes the high-speed and low-power device for the next generation. In this report, the result of thinning the SOI layer of the SOI wafer by using the numerically controlled plasma CVM (Chemical Vaporization Machining) apparatus is described. In plasma CVM, since the removal volume is proportional to the dwelling time of the plasma, numerical control machining is realized by controlling the scanning speed of the worktable. Scanning speed distribution for obtaining the target film thickness can be decided by measuring the pre-machining SOI layer thickness distribution and removal rate per unit time, and the thickness distribution of the SOI layer was measured by spectroscopic ellipsometry. The sample is the commercial SOI wafer (6 inch UNIBOND wafer), and SOI layer thickness before thinning is about 200nm. As the result of thinning the SOI layer by the numerically controlled plasma CVM, the order of 10 nm of the SOI layer was achieved.

Key words: SOI, silicon on insulator, thinning, atmospheric pressure plasma, plasma CVM

1. 結 言

次世代半導体集積回路用の基板として、SOI (Silicon on Insulator) ウエハが注目されている。SOI ウエハの構造を図 1(a) に示す。基板となるシリコン上に埋め込み酸化膜 (Buried Oxide; BOX) 層を介して薄いシリコン層を有している。この薄いシリコン層に、図 1(b) のように MOS FET を構築する。このような構造にすることで、①埋め込み酸化膜によって寄生接合容量を減少でき、デバイスの高速化・低消費電力化を実現できる、②隣り合う素子を完全に分離でき素子間の干渉を抑制できるため、柔軟な設計が可能となり高機能なデバイスが実現できる、③デバイス層が BOX 層によって基板から完全に絶縁されているため、放射線や中性子線によって引き起こされる誤作動 (ソフトエラー) の発生確率を低減できる、等の特徴がある。このため、次世代半導体集積回路の高速化、低消費電力化に有効と考えられている¹⁾²⁾。

SOI MOSFET には、完全空乏型 (Fully-Depleted; FD)

Fig.1 Schematic view of SOI wafer and SOI MOSFET

と部分空乏型 (Partially-Depleted; PD) の 2 種類の動作モードが存在する。FD 型では、ゲート酸化膜直下のシリコン領域であるボディ部が完全に空乏化している。FD 型の SOI MOSFET は先に述べた特徴の他に、閾値近傍での電流電圧特性 (サブスレッショルド特性) の傾きが、通常の MOSFET や PD 型の SOI MOSFET に比べて急峻になる特徴がある。この傾きが急峻であれば、閾値電圧が小さくて済むため、低消費電力化が期待できる。

FD 型の SOI MOSFET を作製するためには、ボディ部のシリコンの厚さを空乏層の厚さ以下にする必要がある。空乏層の厚さは MOSFET の微細化と共に薄くなるため、微細化と共に、より薄い SOI が要求される。また、短チャネル効果を抑制するために、ボディ部の厚さをゲート長よりも十分小さくすることが必要である。短チャネル効果とは、MOSFET の微細化と共にデバイス性能が劣化する現象であり、ソースドレイン間の横方向電界が、ゲートによって印加される縦方向電界に影響を及ぼすために生じる。これらの理由により、線幅 $0.1 \mu\text{m}$ 以下のプロセスにおいては、SOI 層の厚さが 10 nm オーダの SOI MOSFET が必要とされ、超薄膜 SOI ウエハが必要とされている。さらに、MOSFET の閾値の面内ばらつきを抑えるために、SOI 層の厚さのばらつきは $\pm 5\%$ 、すなわち $\pm 0.5 \text{ nm}$ 以内に抑えることが要求されている。

このような超薄膜 SOI ウエハを、切り込み深さ等の変位や研磨圧力等を制御して加工を行う従来の機械的加工法によって加工することは、熱的外乱や微振動等の影響のため、極めて困難である。さらに、加工機構が機械的破壊である以上、加工表面には歪層が形成され、極表面層にデバイスを形成す

* 原稿受付 平成 14 年 5 月 7 日

** 正 会 員 大阪大学大学院工学研究科 (吹田市山田丘 2-1)

Fig.2 Numerically controlled thinning process of SOI wafer

Fig.3 Numerically controlled plasma CVM machining system

る集積回路用基板の加工法としては相応しくないと云える。そこで我々は、純化学的な加工法であり加工表面に歪層を形成しない、プラズマ CVM³⁾⁴⁾を用いて SOI の薄膜化を行うことを提案する。プラズマ CVM においては、変位や圧力ではなく、プラズマの滞在時間のみの制御により数値制御加工を行うため、機械の精度を超えた高精度な加工が期待できる⁵⁾。本報では、SOI ウェハの加工が可能な数値制御プラズマ CVM 加工装置を開発し、SOI 層の厚さが 10 nm オーダである超薄膜 SOI の作製を試みた結果について報告する。

なお、プラズマエッチングを利用した PACE (Plasma Assisted Chemical Etching)によって、SOI を 100 nm 程度まで薄膜化した例が報告されているが⁶⁾、10 nm オーダまで薄膜化した例は存在しない。

2. プラズマ CVM による数値制御加工の概念

プラズマ CVM で用いる大気圧プラズマは、低圧力プラズマに比べてガス分子の平均自由行程が小さいため、プラズマが広がりにくい。そのため、プラズマの発生領域を容易に局在化でき、ウェハの大きさに対して十分小さいプラズマを発生できる。また、試料表面上のプラズマに触れている領域ではプラズマの滞在時間に応じて加工が進行する。従って、ウェハ上の各場所における滞在時間を制御することで、数値制御加工が可能になる。

図 2 に SOI の数値制御薄膜化プロセスの流れ図を示す。まず、加工前 SOI ウェハの SOI 層厚さ分布を計測する。本研究では計測手法として分光エリプソメトリを用いた。計測した SOI 層厚さ分布から目標とする SOI 層厚さを引くことで設定加工量分布を算出する。次に、予備実験によって取得済みの単位加工痕形状に基づき滞在時間分布を決定し、送り速度分布を算出する。求めた送り速度分布に従ってテーブルを動かすことで、数値制御加工を行う。

Fig.4 Schematic view of NC-PCVM machine

Fig.5 Photograph of NC-PCVM machine

3. 加工装置

3.1 数値制御プラズマ CVM 加工システムの概要

図 3 に開発した数値制御プラズマ CVM 加工装置の構成を示す。本装置は、加工装置本体、テーブル制御システム、高周波電力供給システム、ガス排気ポンプ、ガス循環精製システム、プロセスガス加圧システムなどから構成されている。加工装置本体はクラス 1 のクリーンルーム内に設置されており、クリーンルーム内のガスパネルより超高純度ガスの供給が可能である。本装置は、既に開発済みの X 線ミラー加工用数値制御プラズマ CVM 装置⁸⁾と同じく、回転電極ならびに XY テーブルの軸受にプロセスガスによる気体軸受を適用しており、パーティクルの発生や潤滑油による有機物汚染のない、クリーンな加工雰囲気を実現している。

3.2 加工装置本体

図 4, 5 に加工装置本体の概略図および外観写真を示す。加工装置本体は、回転電極やワークテーブルなどの駆動要素と、それらが構築されているアルミニウム合金製の定盤、および雰囲気ガスを加工ガスに置換するためのプロセスチャンバから構成されている。全ての駆動要素を同一定盤上に配置することでチャンバの変形等によらず高精度な運動が実現できる。定盤は通常 3 点支持によってチャンバ内に設置されているが、図 4 のように定盤ごとチャンバ外部に引き出すことが可能であり、各駆動機構を容易に調整できる。

Fig.6 Schematic view of z-axis and rotary electrode

Fig.7 Schematic view of XY table

3.3 回転電極および Z 軸

図 6 にプラズマ発生用の回転電極ならびに Z 軸の概略図を示す。回転電極本体は直径 200 mm の球の中央部 50 mm を切り出した形状である。材質はアルミニウム合金であるが、表面には厚さ約 $150\text{ }\mu\text{m}$ のアルミナ溶射皮膜を形成している。これは、二次電子放出を防止してプラズマを安定に生成するためである。回転電極右側には片持ちの気体軸受を配置し、左側には駆動用のモータを配置している。モータは加工雰囲気汚染防止のためステンレス製のケースに収めており、加工雰囲気から隔離している。回転トルクの伝達は、テフロン製の隔壁を介して、同軸型のマグネットカップリングによって行っている。回転電極の最高回転数は 5000 rpm、振れ振幅は $10\text{ }\mu\text{m}$ 以下である。回転電極は十字パネと Z 軸によって支えられている。Z 軸を上下することで、十字パネを支点として回転電極全体が傾斜する。これにより電極とワーク間の加工ギャップを調整することができる。

3.4 XY テーブル

図 7 に XY テーブルの概略図を示す。定盤の上に A, B, C, D のエアスライドを配置して X 軸を形成した。A, C のスライドは全面拘束型を用い、B, D のスライドは、軸受け隙間に対する熱膨張の影響を受けないように、Y 方向には十分な隙間を設けて、上下方向のみを拘束する構造にした。A, B の上に E のエアスライドを、C, D の上に F のエアスライドを配置して Y 軸とした。X 軸と同様に、E は全面拘束型とし、F は上下方向のみを拘束する構造にした。テーブルの駆動には、エアスライドの精度に影響を与えないよう、ステンレス製のベルトで牽引する方式を用いた。駆動用のモータは加工雰囲気汚染防止のためステンレス製ケースによって加工雰囲気から隔離している。回転トルクの伝達には磁性流体シールを用いている。XY テーブルのストロークは共に $\pm 160\text{ mm}$ であり、真直度は $1\text{ }\mu\text{m}$ 以下を達成している。

Table 1 Machining conditions

Parameters	A	B	C
Gas composition He : CF ₄ : O ₂	99.8:0.1:0.1	99.98:0.01:0.01	
RF power	500 W	250 W	70 W
Machining gap	1000 μm	600 μm	300 μm
Rotation speed of electrode	5.2 m/s (500 rpm)	10.4 m/s (1000 rpm)	5.2 m/s (500 rpm)
Gas circulation	2 m ³ /min		
Machining time	1 min		
Specimen	$\phi 8^\circ\text{ Si (100) wafer}$

Fig.8 Shape of the unit removal on each condition

Fig.9 Relationship between inverse scanning speed of worktable and removal depth per scanning

4. 基本加工特性

数値制御加工を行う上で、単位時間当たりの加工痕の形状（以後、単位加工痕形状とする）および、プラズマの滞在時間に対する加工量の線形比例性が重要である。以下、これらについて述べる。

4.1 単位加工痕形状

単位加工痕形状は加工ガス組成、投入電力、電極回転速度、加工ギャップなどの加工パラメータによって変化する。数値制御加工を行う上で単位加工痕形状は軸対称に近い単純な形状が好ましい。これらのパラメータが単位加工痕形状に及ぼす影響については既に定性的に把握している⁹⁾。最適な加工条件を決定するためには、まず、加工速度に大きく影響を与え

Fig.10 The repeatability of the SOI layer thickness measurement with spectroscopic ellipsometry. (a) the first measurement. (b) the measurement after sample rearrangement. (c) the error between (a) and (b).

Fig.11 The comparison of the thickness measured by the spectroscopic ellipsometry (SE) and by the cross section TEM.

る加工ガス組成と投入電力を設定する。次に、その条件において、電極回転速度と加工ギャップをパラメータとして予備実験を行い、単純な単位加工痕形状が得られる電極回転速度と加工ギャップを決定する。このような手順で決定した本加工装置の標準加工条件を表 1 に、その時の単位加工痕形状を図 8 に示す。図 8 中の A,B,C は、それぞれ表 1 中の条件 A,B,C に対応する。いずれの条件においても、電極回転方向ならびに回転方向に垂直な方向とも軸対称に近く制御性に優れた形状が得られていることが分かる。

4.2 加工速度の滞在時間依存性

加工速度がプラズマの滞在時間、すなわちテーブルの送り速度の逆数に比例することを確かめるため、異なる送り速度で一定方向に送りをかけながら加工実験を行った。加工されて形成された溝の最大深さを各速度において計測評価した結果を図 9 に示す。評価に用いた加工条件は表 1 の A, B であり、図 9 中の A, B がそれぞれに対応する。どちらの条件においても滞在時間に対して加工量は良好な比例関係にあることが確認できる。なお、加工された溝の幅は送り速度によらず常に一定であった。これは、送り速度を変化させてもプラズマの発生領域が変化しないことを示しており、数値制御加工に適した加工特性であるといえる。

5. 分光エリプソメトリの精度

数値制御加工による SOI の薄膜化においては、加工前の SOI 層厚さを高精度に計測することが必要である。本研究では SOI 層厚さの計測手法として分光エリプソメトリを採用した。分光エリプソメトリは、10 nm オーダの SOI 層厚さの計測も可能とされている。数値制御加工を行う上で最も重要な

Table 2 UNIBOND SOI wafer specification

Size	6"
SOI layer thickness	204.8 nm
BOX layer thickness	400.6 nm
Orientation (SOI)	<100>
Type (SOI)	P
Resistivity (SOI)	14.0~22.0 Ωcm
Orientation (Seed Wafer)	<100>
Type (Seed Wafer)	P
Resistivity (Seed Wafer)	14.0~22.0 Ωcm

Table 3 Machining conditions

Parameters	1st step	2nd step
Gas composition	He : CF ₄ : O ₂ = 99.98 : 0.01 : 0.01	
RF power	250 W	70 W
Machining gap	600 μm	300 μm
Rotation speed of electrode	10.4 m/s (1000 rpm)	5.2 m/s (500 rpm)
Gas circulation	2 m ³ /min	

測定の再現性の検討、および測定値の絶対精度の検討を行った。用いた装置は SOPRA 社製 GES-5 である。

図 10 に測定の再現性を評価した結果を示す。試料には、Smart Cut 法によって作製された市販の 6 インチ UNIBOND ウェハ(SOI / BOX = 200 nm / 400 nm)を用いた。測定領域は直径 130 mm の円内で、10 mm 間隔で設定した格子点上の SOI 層厚さを測定した。プローブ光は直径約 1 mm に絞り、入射角は 75°、測定波長は 300 nm から 800 nm まで 10 nm 毎とした。なお図中の分布図では格子点間は補間を行っている。(a)は一度目の測定、(b)はその後一旦試料を外し、再度置き直して測定を行ったものである。(c)は(b)の各点の値から(a)の各点の値を引いたものである。(c)より、本測定の再現性は ±0.1 nm 以内であることが確認できた。

次に、SOI 層厚さ測定値の絶対精度の検討を行った。熱酸化によって表面酸化膜を成長させ、種々の SOI 層厚さをもつ試料を作製した。熱酸化前の SOI 層厚さは 200 nm であり、熱酸化雰囲気はドライ酸素、酸化温度は 1000℃とした。作製した試料は分光エリプソメトリによって、表面酸化膜厚さと SOI 層厚さを測定した。熱酸化時間と各層の厚さの関係を図 11 の白抜きのプロットで示す。SOI 層厚さ 200 nm, 120 nm, 30 nm の試料は断面 TEM による膜厚の測定を行った。結果を図 11 の黒塗りプロットで示す。分光エリプソメトリによる測定結果は SOI 層膜厚 30 nm~200 nm 程度において、断面 TEM の絶対値精度 (±5%) 以内で一致していることが確認できた。

以上より、測定再現性および絶対値精度とも本研究の目的に対して十分な性能を有していると判断した。

6. 数値制御薄膜化

市販 SOI ウェハの数値制御薄膜化を試みた。前加工 SOI ウェハとして、SOI 層厚さ 200 nm の 6 インチ UNIBOND ウェハを用い、SOI 層厚さを 10 nm オーダまで薄膜化することを試みた。加工前のウェハの仕様は表 2 のとおりである。加工条件は表 3 に示すとおりで、薄膜化は二回に分けて行った。送り速度データはオリフラと平行な方向に 1 mm ごとに設定し、オリフラと垂直方向の送りは 1 mm ピッチとした。前加工 SOI の厚さ分布計測結果を図 12 に、数値制御薄膜化後の

Fig.12 SOI layer thickness distribution of as-received SOI wafer (UNIBOND wafer). Distribution within a radius of 60mm is $201.6 \pm 4.2\text{nm}$.

Fig.13 SOI layer thickness distribution of the thinned SOI wafer by numerical controlled plasma CVM. Distribution within a radius of 60mm is $13.0 \pm 2.0\text{nm} (\pm 15\%)$.

SOI 厚さ分布を図 13 に示す。なお膜厚は 5 mm ピッチで測定した。中心より直径 120 mm の領域に注目すると、初期厚さ約 200 nm の SOI を約 13 nm に薄膜化できており、膜厚のばらつきも $\pm 4.2\text{nm}$ から $\pm 2.0\text{nm}$ へと改善できていることが分かる。図 14 は図 12,13 における AA 断面を示したものである。これを見ても薄膜化と同時に膜厚のばらつきが改善されており、数値制御プラズマ CVM によって SOI 層厚さを 10 nm オーダまで薄膜化できることを実証した。

また、図 15 は薄膜化した SOI ウエハの表面粗さを AFM によって観察した結果である。500 nm×500 nm の測定領域において 1.45 nm PV, 0.12 nm Ra であった。これは、市販のシリコンウエハ表面と同様な粗さであり、プラズマ CVM によって表面粗さは劣化しないことが分かった。

7. 結 言

本研究によって得られた結果を以下にまとめる。

- (1) SOI 薄膜化に用いる数値制御プラズマ CVM 加工装置を開発した。プラズマ発生用回転電極ならびに XY テーブルの軸受機構にプロセスガスを作動ガスとする気体軸受を採用し、清浄な加工雰囲気を実現した。
- (2) 加工速度がテーブルの送り速度の逆数（滞在時間）に線形比例することを確認し、送り速度制御による数値制御加工が可能であることを確認した。

Fig.14 A-A cross section of fig.12 and fig.13.

Fig.15 Surface roughness of thinned SOI wafer

- (3) 分光エリプソメトリによって、SOI 層厚さを、 $\pm 0.1\text{nm}$ 以下の再現性、30~200 nm の範囲において $\pm 5\%$ 以内の絶対精度で測定できることを確認した。
- (4) SOI 層厚さが 200 nm である市販 6 インチ SOI ウエハを用いて数値制御薄膜化を試みた結果、直径 120 mm の範囲内において、SOI 層厚さ $13.0 \pm 2.0\text{nm}$ まで数値制御薄膜化することに成功した。

謝 辞

本研究の一部は文部科学省科学研究費補助金 (COE 形成基礎研究費 08CE2004) の援助を受けて行われた。ここに深く感謝の意を表する。

参 考 文 献

- 1) 土屋敏章：SOI CMOS デバイスの基礎と応用，リアライズ社，東京 (1999)
- 2) UCS 半導体基盤技術研究会編，大見忠弘，新田雄久監修：SOI の科学，リアライズ社，東京 (2000)
- 3) Y. Mori, K. Yamamura, K. Yamauchi, K. Yoshii, T. Kataoka, K. Endo, K. Inagaki and H. Kakiuchi: Plasma CVM (Chemical Vaporization Machining): An Ultra Precision Machining Technique Using High-pressure Reactive Plasma, Nanotechnology, 4 (1993) 225.
- 4) 森 勇蔵，山内和人，山村和也，佐野泰久：プラズマ CVM の開発，精密工学会誌，66, 8 (2000) 1280.
- 5) 森 勇蔵，山村和也，佐野泰久：数値制御プラズマ CVM による X 線ミラーの加工に関する研究(第 1 報)，精密工学会誌，67, 1 (2001) 131.
- 6) P. B. Mumola, G. J. Gardopee, T. Ferg, A. M. Ledger, P. J. Clapis and P. E. Miller: Proc. 2nd Int. Symp. On Semiconductor Wafer Bonding (The Electrochem. Soc.), Hawaii, PV93-29 (1993) p.410.