次世代半導体プロセスにおける ウルトラクリーンテクノロジー*

——全くゆらぎのない半導体製造プロセス——

大見忠弘** 寺本章伸**

Ultra-Clean-Technology for Future Semiconductor Fabrication—Fluctuation Free Semiconductor Manufacturing—/Tadahiro OHMI and Akinobu TERAMOTO

Key words: ultra clean technology, fluctuation, noise, plasma process equipment, Al_2O_3 passivation

1. はじめに

半導体技術分野は 100 nm を超える超微細化による集積規模の超大規模化を強力に推進している。デバイスの微細化，超大規模システム集積の方向は同時に電源電圧，信号電圧の低電圧化を伴う。例えば，100 nm 世代では 1.1 V，50 nm 世代では 0.6 V，というようにである。信号電圧が低電圧化し集積規模が超大規模化する時代の設計・製造技術の最重要課題は，誤動作をしない十分な信頼性を有する集積化システムを実現するためにバラツキ，変動，揺らぎ，雑音の徹底的な低減にある。このためには，これまでのクリーン化の考え方のようなパーティクルや金属等の汚染の低減だけでなく，半導体プロセスに影響を及ぼすすべての揺らぎの低減が重要な課題となる¹⁾。

本稿では，100 nm 世代以降の超 LSI 製造技術に要求される要件を明らかにし，その具現化に必要な技術内容を議論する。

2. バラツキ，雑音低減の必要性

表 1 に 180 nm 世代から 25 nm 世代に至る LSI のロードマップを示す。微細化とともに電源電圧は小さくなり，100 nm 世代で 1.1 V，50 nm 世代では 0.6 V とスケ

ジュールされている。電源電圧を下げながら，高信頼の超大規模集積回路システムを誤動作なしで実現するためには，しきい値電圧等，デバイス動作のパラメータがいったい揺らいではならない。

典型的なクロックレートで動作する代表的な集積規模のシステムの信頼性を 10 年間保証するための Logic Error Rate (LER) とそれを具現化するために必要な信号対雑音比 (S/N) 及び信号対バラツキ比 (A/σ ; A : 信号電圧， σ : 雑音電圧) を表 2 に示す。1 兆ゲート，10 GHz 動作をする将来の集積回路システムでは，おおよそ， S/N で 27 dB 以上， A/σ で 23 以上の値が必要となる。

電子や光子が n 個存在すると，その量子雑音は $\sqrt{n}$ となる。 S/N 比は $\sqrt{n}$ となるから，1 つの信号内に含まれる電子数は最低でも 529 個 (23² 個) 以上でなければ，超大規模システムの信頼性は確保されない。

$$CV = Q > 529 e \quad (1)$$

ただし， C : 論理ゲートの入力容量， V : 動作電圧， Q :

表 1 MOS デバイス微細化・電源電圧のロードマップ

世代	0.18 μm	0.10 μm	0.05 μm	0.035 μm	0.025 μm
ゲート長 L	180 nm	100 nm	50 nm	35 nm	25 nm
ゲート幅 W	180 nm	100 nm	50 nm	35 nm	25 nm
実効ゲート酸化膜厚 T_{eff}	2.2 nm	1.25 nm	0.7 nm	0.55 nm	0.45 nm
チャネル不純物濃度 N_A	$2 \times 10^{18} \text{ cm}^{-3}$	$4 \times 10^{18} \text{ cm}^{-3}$	$1.4 \times 10^{19} \text{ cm}^{-3}$	$3 \times 10^{19} \text{ cm}^{-3}$	$6 \times 10^{19} \text{ cm}^{-3}$
電源電圧 V_{DD}	1.7 V	1.1 V	0.6 V	0.5 V	0.4 V
ゲート長方向の原子数	663 個	368 個	184 個	129 個	92 個
チャネル領域の不純物原子数 n_a	787 個	347 個	165 個	119 個	86 個
不純物原子数バラツキ $\sigma_{n_a} = \sqrt{n_a}$	28 個	18 個	12 個	10 個	9 個

8th International Symposium WERNERKERN AWARD など多数受賞。工学博士。

寺本章伸

1992 年東北大学大学院修士課程修了。同年，三菱電機(株)入社。2001 年東北大学大学院博士後期課程修了。LSI 用高品質極薄絶縁膜のプロセス，評価の研究に従事。2002 年より，東北大学未来科学技術共同研究センター助教授。工学博士。

* 原稿受付 平成 14 年 7 月 16 日

** 東北大学未来科学技術共同研究センター(仙台市青葉区荒巻字青葉 04)

大見忠弘

1966 年東京工業大学大学院博士課程修了。同大学助手を経て，1976 年東北大学電気通信研究所助教授。1985 年同大学電子工学科教授。1998 年同大学未来科学技術共同研究センター教授。2000 年科学技術庁長官賞，2001 年 SCP

電荷量, e : 単位電荷である。よって, 100 nm 及び 50 nm 世代の電源電圧は, それぞれ 1.1 V, 0.6 V であるから, 超大規模集積回路の論理ゲートの容量 C は, 表 3 で示す値以上である必要がある。

一方, 抵抗で発生する熱雑音が容量に蓄積したときの熱雑音電圧は $(KT/C)^{1/2}$ (K : ボルツマン定数, T : 絶対温度, C : 容量) である。電源電圧は, この熱雑音に比べて 23 倍以上大きくなければならない。すなわち,

$$V > 23 \sqrt{\frac{KT}{C}} \Rightarrow C > \frac{529 KT}{V^2} \quad (2)$$

チップ温度 85 °C (358 K) を想定すると, 100 nm 世代, 50 nm 世代の超大規模集積システムの論理ゲート入力容量は, 表 4 で示す値以上である必要がある。このように, 熱雑音より, 量子雑音の方が論理ゲートの入力容量の最低値を律速する。

MOS トランジスタには, ゲート絶縁膜とシリコン基板近傍の電荷トラップに由来する $1/f$ 雑音が存在する。 $1/f$ 雑音電圧 V_{nf} は (3) 式で与えられる。

$$V_{nf}^2 = \frac{K_F}{C_{ox} L W} * \frac{\Delta f}{f} \Rightarrow V_{nf} = \sqrt{\frac{K_F \Delta f}{C_{ox} f}} * \frac{1}{L} \quad (3)$$

ただし, C_{ox} : ゲート絶縁膜容量, f : 周波数, L : チャネル長, W : チャネル幅, K_F : フリッカ係数である。したがって, $1/f$ 雑音はチャネル長に逆比例して大きくなる。つまり, 微細化とともに増大する。現在, ゲート絶縁膜として, SiO_2 より高誘電率の材料が世界的規模で模索されているが, 次世代以降のゲート絶縁膜には, 高誘電率であると同時に SiO_2 にもまして, シリコン基板との界面特性が良好な膜が不可欠である。図 1 は, 通常の酸素, 水分を用いた高温酸化で形成したゲート絶縁膜と NH^* (NH ラジカル) を用いた直接酸化膜 (400 °C 程度で形成) をゲート絶縁膜に用いた MOS トランジスタの 10 ~ 100 kHz の $1/f$ 雑音を示している。直接酸化膜をゲート絶縁膜に用いたものは, 熱酸化膜に比べて, 2 桁程度, $1/f$ 雑音が小さい。この酸化膜は, $1/f$ 雑音を低減

図 1 3 種類のゲート絶縁膜トランジスタの $1/f$ 雑音

表 2 大規模システムを誤動作させないために必要な信号雑音比 (S/N) および信号対バラツキ比 (A/σ)

集積システム	集積ゲート数	駆動周波数	性能保障期間	必要な LER	必要な S/N (A/σ)
大規模集積回路 (現状の民生品主流 LSI)	100 万ゲート (10^8 ゲート)	100 MHz (10^8 Hz)	10 年間 (3.2×10^8 秒)	$< 3.2 \times 10^{-23}$	> 25.9 dB (19.7)
大規模集積回路 (現状の高速 MPU)	1 億ゲート (10^8 ゲート)	1 GHz (10^9 Hz)	10 年間 (3.2×10^8 秒)	$< 3.2 \times 10^{-26}$	> 26.5 dB (21.1)
大規模集積回路 (将来の高速 MPU)	1 兆ゲート (10^{12} ゲート)	10 GHz (10^{10} Hz)	10 年間 (3.2×10^8 秒)	$< 3.2 \times 10^{-31}$	> 27.3 dB (23.1)
生態系回路 (人間の脳)	10^{15} ゲート	1 kHz (10^3 Hz)	1 秒	$< 1 \times 10^{-18}$	> 24.6 dB (16.7)
			10 年間 (3.2×10^8 秒)	$< 3.2 \times 10^{-27}$	> 26.6 dB (21.3)

表 3 超大規模集積回路に必要な論理ゲートの容量

世代	電源電圧 (V)	論理ゲート容量 (fF)
100 nm	1.1	7.7×10^{-2}
50 nm	0.6	1.4×10^{-1}

表 4 85 °C 動作時の超大規模集積回路に必要な論理ゲートの容量

世代	電源電圧 (V)	論理ゲート容量 (fF)
100 nm	1.1	2.2×10^{-3}
50 nm	0.6	8.7×10^{-3}

できるのみでなく, 図 2 に示すようにリーク電流も熱酸化膜に比べて, 3 桁以上も低減できる。このことより, 次世代以降のゲート絶縁膜は, NH^* を用いた直接酸化膜を用いるべきであると考えられる。さらに, $1/f$ 雑音を低減するためには, ゲート絶縁膜とシリコン基板との界面ラフネスを低減する必要がある。Si(100) 面の $[010]$ 方向に 4° オフした面を用いるとその表面を原子オーダーで平坦化できる²⁾。その表面 STM 像を図 3 に示す。この表面に O^* 酸化 (400 °C 程度で形成) を用いてゲート酸化するとゲート酸化膜とシリコン基板界面のラフネスを原子オーダーで平坦化

図 2 各種ゲート絶縁膜の 1 V 印加時のリーク電流密度の等酸化膜厚 (EOT) 依存性

図3 4° off ウエハを用いた Si(100)面の平坦化効果(UHV-STM)

できる。図4は、シリコン表面の平坦化処理の有無とゲート酸化方法を変えて MOS トランジスタを形成した場合の $1/f$ 雑音を示す。平坦化を行った表面に O^* 酸化したものは、他のものに比べ、 $1/f$ 雑音が1桁以上低減されている。

3. 超低電子温度高密度プラズマ装置

現状の半導体プロセスにおいて、MOS トランジスタの大きなしきい値バラツキは、配線工程で使用する各種プラズマ装置に起因する。基板表面に導入されるダメージが大きすぎることと膨大な表面金属汚染を誘起するため、現状のプラズマ装置は、トランジスタ製造工程には使えない。トランジスタ製造工程に用いるためには、①基板表面損傷、②表面金属汚染、③チャージアップダメージ、④プロセスの基板表面分布が基板表面パターンに依存、⑤しきい値電圧等のトランジスタ特性のバラツキ増大、といった欠点をいっさい伴わないプラズマ装置の開発が不可欠である。そのために、プラズマ装置が備えるべき要件は、(a)電子温度が少なくとも1 eV 以下の超低電子温度プラズマであること、(b)プラズマ励起領域とシリコン基板が設置されるプロセス領域が完全に分離されていること、である。この要件を満足する新しいプラズマ装置を、(イ)プラズマ励起を2.45 GHz、8.3 GHz といったマイクロ波電力で行うこととし(例えばマイクロ波励起であっても電子温度が非常に高くなることから電子サイクロトロン共鳴のような共振現象は使ってはならない)、(ロ)Ar にくらべて電子の衝突断面積が2 倍程度大きい Kr ガスを用いること(価格が Ar にくらべて1000 倍以上高い Kr を産業に適用するため、99.5 %を超える回収率の回収循環システムを同時に開発)、とで具現化した。Ar 圧力0.5 Torr 雰囲気、2.45 GHz、8.3 GHz プラズマ励起時の深さ方向の電子温度分布を図5に示す。プラズマ励起はシャワープレート直下10 mm 以内で行われ、94~95 %のマイクロ波電力はプラズマ励起に使用され、残りの5~6 %のマイクロ波電力は完全反射され内部には進入しない。プラズマ密度が十分

図4 フリッカノイズ係数のゲート駆動電圧依存性

に高いため(4)式であらわされるプラズマ周波数が、2.45 GHz や8.3 GHz より十分高いからである。

$$\omega_p = \left(\frac{ne^2}{m_e \epsilon_0} \right)^{\frac{1}{2}} \quad (4)$$

ただし、 n ：電子密度、 m_e ：電子の質量、 ϵ_0 ：真空の誘電率である。シャワープレートから20 mm 以上離れると電子温度は、1.0 eV 近辺で一定値となる。この事実は、シャワープレートから20 mm 以上離れた領域は、完全な拡散プラズマ領域であることを示している。励起周波数を2.45 GHz から8.3 GHz まで高めても、拡散領域プラズマの電子温度は0.1 eV 程度しか低下しない。Ar にくらべて、2 倍および4 倍程度の電子の衝突断面積を有する Kr 及び Xe にガスを替えると、2.45 GHz 励起でそれぞれ0.7 eV、0.5 eV 程度の電子温度にまで低下した超低電子温度プラズマが実現される。シリコン基板は通常シャワープレートから40~60 nm の位置に設置されているから、プラズマ励起領域からは完全に分離された拡散プラズマ領域がプロセス領域となる。結果としてシリコン基板表面に照射されるイオンにより発生する2 次電子は、プラズマ励起にまったく寄与せず、どんなパターン、材料を有する基板表面に対しても均一なプロセスが保証される。拡散プラズマ領域に設置された基板表面に流れ込む電子電流及びイオン電流は瞬時、瞬時に打ち消し合っているから、どの瞬

図5 マイクロ波励起高密度プラズマの特徴(電子温度)

間にプラズマを消しても基板表面に電荷は残留せずチャージアップダメージは発生しない。電子温度が1 eV以下と十分に低くなるので、基板表面やチャンバ内表面を照射するイオンエネルギーは十分小さくなって、基板表面ダメージや基板表面金属汚染はまったく発生しない。フローティング状態にある基板表面を照射するイオンエネルギー ε_{bob} は、

$$\varepsilon_{\text{bob}} = \frac{KT_e}{2} \ln \frac{m_i}{2.3 m_e} \quad (5)$$

で与えられ、電子温度 T_e に直線的に比例する。ただし、 m_i はイオン質量である。1000 °C 程度の高温熱処理工程でトランジスタを製造した後、3 μm 程度の厚さの SiO_2 保護膜を設けたシリコン基板表面を、現状のプラズマ装置及び新しく開発されたマイクロ波励起プラズマ装置に10分間さらした後のしきい値電圧バラツキを図6に示す。高温熱工程でトランジスタを製造した時のシリコン基板表面のトランジスタのしきい値バラツキは、0.02 V 以下であったものが、現状の平行平板 13.56 MHz 励起 Ar プラズマ(電子温度: 3~4 eV)に10分間さらすと、しきい値電圧バラツキは実に0.7 V にまで増大する。2.45 GHz マイクロ波励起プラズマでも、ガス分子が Ar にくらべて電子の衝突断面積が5分の1程度と小さい He の場合には、電子温度が1.5 eV 程度となり、しきい値バラツキは0.3 V にまで増大する。電子温度が1 eV 程度のマイクロ波励起 Ar プラズマの場合のしきい値バラツキは、0.02 V 程度である。電子温度がそれぞれ0.7 eV, 0.5 eV 程度となるマイクロ波励起 Kr プラズマや Xe プラズマではどれだけシリコン基板をプラズマにさらしても、しきい値バラツキは増加しない。

前述したマイクロ波励起超低電子温度プラズマに、 Kr/O_2 , Kr/NH_3 といったガスを流すと、きわめて効率良く O^* や NH^* が発生し、300 °C~400 °C といった低温領域で超高品質の表面直接酸化(SiO_2)、表面直接窒化(Si_3N_4)が実現される。シリコン基板の面方位に関係せずに超高品質の SiO_2 や Si_3N_4 膜が得られることから、(100)面シリコン基

図6 プラズマ照射後の特性変化

板上にのみ平面形状の MOS トランジスタが形成されるという現状の生産方式の律速条件から解放されて、このまったく新しいラジカル反応ベースの生産方式をトランジスタ製造に適用すれば、任意の面方位のシリコン基板上に3次元立体構造のトランジスタ形成が可能な新しいシリコン技術の時代が始まるのである。このラジカル反応ベースの酸化、窒化技術は、多結晶シリコン上にも単結晶シリコン上とまったく同等品質の SiO_2 や Si_3N_4 膜形成を可能にする。複雑な構造を有するデバイスのプロセスを簡略化するとともに、プロセス温度が低いために配線工程に入ってからでも高品質デバイスの製造が可能である。同時に、3次元方向に超 LSI を製造することも可能にする。ボロンの突き抜け防止、信頼性、電子・ホール移動度、1/f 雑音の観点から、100 nm 世代以降のゲート絶縁膜は Si_3N_4 膜が本命である。

電子温度が十分に低く、かつプラズマ励起領域とプロセス領域が完全に分離されたプラズマ装置は、きわめて効率よく反応性に富んだ各種ラジカルを発生させ、分子反応をベースとする現状の生産方式をラジカル反応ベースの新生産方式に転換させることを、ゲート絶縁膜を例に説明した。同時に、この新しいプラズマ装置はしきい値バラツキをまったく増大させないことも明らかにした。100 nm 世代以降の信頼性十分な超大規模集積システム製造には、この新しいプラズマ装置の CVD 成膜、パターンエッチング RIE 装置への全面展開が強く求められている。

現在、プラズマ CVD 用及び RIE 用に開発中の拡散プラズマ領域に下段シャワープレートが設けられた2段シャワープレートマイクロ波励起超低電子温度プラズマ装置を図7に示す。シリコン基板が設置される基板電極にセルフバイアス発生用の高周波電力を印加すれば RIE 装置となり、印加しなければプラズマ CVD 装置になる。プラズマ励起用ガスは上段シャワープレートから供給され、成膜およびエッチング用ガスは電子温度が十分に低くなった拡散プラズマ領域に設置された下段シャワープレートから供給される。原料ガスは、十分電子温度の低い拡散プラズマ領

図7 2段シャワープレートマイクロ波励起超低電子温度高密度プラズマ装置

図8 NF₃ プラズマ照射試験後の表面 SEM 観察

域に供給されるため過剰に解離されることがなく、細くて深いアスペクト比の大きいコンタクトホール、スルーホール底部に十分輸送される。すなわち、基板サイズが同じでも微細化世代が進行すると使えなくなってしまう現状の装置の欠点を克服する、すべての微細化世代に対応可能な製造装置に道がひらけたのである。プロセスが均一であるためには、プラズマ(電子密度、イオン密度、ラジカル密度)が面内で均一であると同時に、原料ガス及び反応生成ガス密度が基板表面すべてにおいて均一でなければならない。そのために、原料ガス系はすべてシャワープレートを介して基板表面に均一に供給され、基板周辺からガスは均一に

排気されている。

下段シャワープレートの材料・表面処理には厳しい条件が要求される。電子温度が十分低いため、照射イオンエネルギーはいかなる条件下でも、金属の中でもっともスパッタされやすいCoの臨界スパッタリングエネルギー12.5 eV以下に設定されているので、スパッタによる金属汚染はまったく発生しない。Cl系、F系、Br系、H系、O系ガスを用いたプロセスやチャンバクリーニングで、150℃～200℃程度といった温度でいっさい腐食しない表面処理が求められている。

2段シャワープレート構造マイクロ波励起超低電子温度

図9 金属表面触媒効果

高密度プラズマ装置の開発を可能にしたのは、以下の2つの技術を開発したためである。①絶対にスパッタを起こさない超低電子温度プラズマが実現できたことと、②Alを3~4%導入したオーステナイド系ステンレスを、800~1000°Cの温度でAr(90%)/H₂(10%)/H₂O(1~10 ppm)雰囲気下で酸化処理すると、表面に緻密なAl₂O₃膜が得られる選択酸化技術、の開発に成功したからである。Fe, Ni, Crには還元性でAlに対してだけ酸化性となる選択酸化の条件を産業応用可能な範囲で見いだせたのである。Al₂O₃表面保護膜は現状では、すべての要求条件すなわち、①150°Cに昇温することにより表面吸着を起こしやすい各種ラジカル・反応生成物を吸着させない表面、②Cl系, F系, Br系, O系, H系のすべてのラジカルに対して150°C昇温時にも腐食されない表面、③きわめて解離しやすいSiH₄, PH₃, AsH₃, B₂H₆等の特殊ガスを150°C昇温時にもいっさい解離させない表面、を満足する唯一の表面保護膜である。図8はAl₂O₃表面, Cr₂O₃表面, SUS316LにNF₃プラズマ照射(NF₃/Ar=10%, 20 mTorr, V_{dc}=50 V, 1 h)する前後の表面SEM像である。Cr₂O₃表面, SUS316L表面は照射後に変質層が現れているのに対し、Al₂O₃表面は全く、変化していない。図9(a)(b)は、それぞれ各ガスのAl₂O₃表面上とSUS316L-EP管表面での分解の温度特性を示している。SUS表面で

は、ほとんどのガスが150°Cで分解しているのに対し、最も分解しやすいB₂H₆でも150°C以下では全く分解していない。このように、Al₂O₃表面は耐腐食性に優れ、かつ反応性ガスに対して触媒として作用しない非常に安定な表面である。

4. む す び

今後の半導体プロセスデバイスの最大の問題点である電源電圧を下げることによって顕在化するデバイスのバラツキ、雑音について、それらを低減するためのマイクロ波励起超低電子温度高密度プラズマ装置と、それを可能にするAl₂O₃表面のような材料技術について述べた。今後の半導体プロセスは、従来のパーティクルや金属汚染のみを低減するクリーン化技術ではなく、プロセスパラメータが全くバラツカない半導体製造装置・プロセス環境を実現する技術が絶対不可欠である。

参 考 文 献

- 1) T. Ohmi: ULTRA CLEAN TECHNOLOGY, Vol. 11 supplement 1, 1999.
- 2) Y. Morita and H. Tokumoto: J. Vac. Sci. Technol., A14, (1996) 854.