大気圧プラズマ CVD 法によるエピタキシャル Si の 低温かつ高速成長 (第 1 報) *

— エピタキシャル Si 成長条件の検討 —

森 勇蔵** 芳井熊安** 安武 潔** 垣内弘章** 大参宏昌** 和田勝男***

Low-Temperature Growth of Epitaxial Si at High Rates by Atmospheric Pressure Plasma CVD (1st Report)

— Investigation of the Growth Condition —

Yuzo MORI, Kumayasu YOSHII, Kiyoshi YASUTAKE, Hiroaki KAKIUCHI, Hiromasa OHMI and Katsuo WADA

Low-temperature growth of epitaxial Si films at high rates by atmospheric pressure plasma chemical vapor deposition has been investigated. Si films are deposited on (001) Si wafers in gas mixtures containing He (98.9%), H₂ (1%) and SiH₄ (0.1%) at the substrate temperatures from 530 to 690°C. The films are characterized by reflection high-energy electron diffraction, atomic force microscopy and cross sectional transmission electron microscopy. High quality Si films with excellent crystallinity and surface flatness similar to or better than those of the commercial CZ-Si wafers are grown in the area where the deposition gap between the substrate and rotary electrode is small. Especially, in the epitaxial Si film grown at 610°C with 2000W, no lattice defects are observed by transmission electron microscopy. The maximum growth rate is about 6.6μm/min at 690°C and 1.2μm/min at 610°C, which is about 20 and 4 times faster than that by the thermal CVD at 1100°C, respectively.

Keywords : atmospheric pressure plasma CVD, epitaxial silicon, low-temperature growth, high-rate growth, rotary electrode

1. 緒 言

超 LSI 用の Si 基板としては、主にチョクラルスキー法 (CZ 法) により作製された Si ウエハが用いられている。CZ-Si ウエハ中には、結晶成長時に過飽和になった空孔が原因となって、COP (crystal originated particles)^{1,2)}と呼ばれるサブミクロンの空洞欠陥が存在している。COP 欠陥の存在は、従来は問題にならなかったが、近年の Si デバイスの高集積化、ウエハの大口径化に伴って、デバイス性能や製造歩留りに与える影響が顕在化してきた。これに対し、エピタキシャル Si ウエハには COP 欠陥が殆ど無いことから、次世代の超 LSI 用基板として注目されている。さらに、高濃度ドーパ Si 基板上にエピタキシャル Si 層を形成して、p/p⁺あるいは n/n⁺構造とすることにより、CMOS (complementary metal oxide semiconductor) デバイスのラッチアップと呼ばれる誤動作やソフトウェアに対する耐性が向上し、信頼性の高い超 LSI を作製できるという利点もある。

現状のエピタキシャル Si ウエハは、SiHCl₃や SiH₄などの原料ガスを用いた熱 CVD (chemical vapor deposition)法により製造されており、SiH₄を用いた場合の典型的な成膜条件は、基板温度 1100°C、成膜速度 0.3μm/min 程度である³⁾。しかし、このような高温プロセスでは、ドーパントの再分布やオートドーパ、重金属汚染、スリップの発生、膨大な熱量消費によるコスト増大等の問題がある。そのため、エピタキシャル Si ウエハ製造プロセスの低温化が工業的に非常に重要な課題となっており、熱 CVD プロセスそのものの低温化や、プラズマ、イオンなど熱以外のエネルギー供給源を利用した製造方法に関する研究が活発に行われている。

低圧力下でのプラズマ CVD 法による研究では、300°C 程度の非常に低い温度で Si エピタキシャル成長は可能であることが報告されている⁴⁻⁶⁾。しかし、膜中に格子欠陥が高密度に存在すること、成膜速度が数 nm/min と極端に遅いこと、膜厚が数 100nm

以上に厚くなると非晶質化することなどの問題があり、デバイスに応用するには程遠いのが現状である。また、750~800°C においては、欠陥密度の低いエピタキシャル Si 薄膜の成長が報告されているが^{7,8)}、成膜速度は 800°C で約 80 nm/min であり、やはり実用化レベルには達していない。これらの原因として、低圧力下でのプラズマ CVD 法では、ラジカル密度が希薄なため必然的に成長速度が小さくなること、および高エネルギーイオンの衝撃により膜が損傷を受けることが考えられる。

そこで本研究では、ラジカル密度が高く、イオンによる膜の損傷が小さいという特徴を有する大気圧プラズマ CVD (AP-PCVD: atmospheric pressure plasma CVD) 法を用い、Si の低温かつ高速エピタキシャル成長技術を確立することを目指している。本報では、プラズマへの投入電力と基板表面温度が、Si 薄膜の結晶性と成長速度に及ぼす影響について検討した結果を報告する。

2. 実験方法

2-1 大気圧プラズマ CVD 法

図 1 に大気圧プラズマ CVD 法の概念を示す。これは、大気圧のガス中で回転電極と基板を接近させ、電極の回転により高エネルギーに反応ガスを供給するとともに、150MHz の高周波 (VHF) 電界により発生する高密度プラズマを利用した、機能薄膜の超高速形成技術である。大気圧プラズマ CVD 法についての詳細は

Fig.1 Schematic illustration of the atmospheric pressure plasma CVD with the rotary electrode

* 原稿受付 平成 14 年 11 月 21 日

** 正 会 員 大阪大学大学院工学研究科 (吹田市山田丘 2-1)

*** 正 会 員 ㈱シリコンテクノロジー (長野県北佐久郡望月町協和 897-20)

Fig.2 Schematic illustration of the atmospheric pressure plasma CVD apparatus

既報^{9)~12)}で述べているので、ここではエピタキシャル Si の成膜に関連する事柄のみを記す。

大気圧プラズマ CVD 法では、大気圧の He や Ar などの不活性ガス中に反応ガス (SiH_4 と H_2) を混合した雰囲気中で成膜を行う。反応ガスの分圧が従来の低圧力下でのプラズマ CVD 法より高いため、原理的に成膜速度の高速化が可能である。また、大気圧でのガス分子の平均自由行程が非常に小さい ($0.1\mu\text{m}$ 程度) ことに起因して、イオンが大きな運動エネルギーをもつことができないため、膜のイオン損傷が小さいことも特長である。さらに、大気圧プラズマ中には、反応ガスが分解・活性化されたラジカルとともに、熱速度で運動する高密度な不活性ガスの原子が存在する。このような不活性ガス原子が膜成長表面に適度な構造緩和エネルギーを供給すると考えられるため、低温下においても欠陥密度の小さいエピタキシャル Si 薄膜の形成が期待できる。このように、大気圧プラズマ CVD 法を用いれば、高品質エピタキシャル Si 薄膜の形成プロセスを飛躍的に低温化・高速化することが可能と考えられる。

2-2 大気圧プラズマ CVD 装置

図 2 に、本研究で用いた大気圧プラズマ CVD 装置の概略図を示す。本装置は、基本的には既報¹⁰⁾¹²⁾で述べたものと同様で、成膜チャンバ、および回転電極の後方からプロセスガスを吸引してパーティクルを除去するためのガス循環システムから構成されており、さらに基板導入用のロードロックチャンバを備えている。成膜チャンバ内に設置された回転電極は図 2 に示すような円筒型で、直径は 300mm 、幅は 200mm である。また、カーボン製ヒータを用いた基板加熱ステージにより、基板表面温度を最高 1000°C まで加熱することができる。インピーダンスマッチングユニットを介して回転電極に 150MHz の高周波電力を供給することにより、成膜ギャップに大気圧プラズマを発生させる。大気圧プラズマは回転電極の軸方向に帯状に伸びた状態で発生するが、X ステージを走査することにより、基板全面に均一な成膜が可能である。成膜チャンバおよびガス循環システムの配管内壁面は電解研磨されており、ベーキングを行うことで内壁面への水分等の不純物付着を抑制している。また電極やガス循環ポンプの軸受部などの有機物発生源を局所的に排気することにより、プロセス雰囲気の清浄度を保っている。

Table 1 The substrate cleaning process

Cleaning solution	Concentration	Object
Ozone + UPW*	5ppm	Organic Metal
HF / H_2O_2 / H_2O / + Surfactant + Megasonic	HF: 0.5% H_2O_2 : 0.1%	Oxide Particle Metal
Ozone + UPW	1ppm	Organic Cleaning solution
HF + H_2O	HF: 0.1%	Oxide
UPW + Megasonic		Cleaning solution

*UPW; ultra pure water

Table 2 Deposition conditions of the Si films

Carrier gas	He
H_2 concentration %	1
SiH_4 concentration %	0.1
Process pressure Pa	1×10^5
Substrate	(001) CZ-Si wafer
Electrode rotation speed rpm	2000
Deposition gap μm	700
Input VHF power W	300 — 2000
Substrate temperature $^\circ\text{C}$	690, 610, 530
Deposition time min	1.5

2.3 Si 薄膜の作製手順および評価方法

基板には、p 型、面方位 (001)、抵抗率 $10\text{--}20\Omega\text{cm}$ 、直径 100mm の CZ-Si ウエハを用いた。表 1 に示す方法¹³⁾で洗浄した基板をロードロックチャンバから成膜チャンバ内に導入し、真空チャックにより基板加熱ステージ上に固定した。一旦成膜チャンバおよびガス循環配管内部を高真空 ($5 \times 10^{-6}\text{Pa}$) まで排気した後、精製装置によりあらゆる不純物の濃度を 1ppb 以下まで低減させた超高純度 He と H_2 、および半導体グレード (純度 99.9999%) の SiH_4 を、マスフローコントローラにより混合比を制御して導入し、大気圧とした。前述したように、成膜中は有機物発生源の局所排気を行うため、He、 H_2 、 SiH_4 の各ガスを補給して圧力および濃度を一定に制御した。

成膜条件を表 2 に示す。Si をエピタキシャル成長させる条件を検討するため、投入電力および基板表面温度を変化させ、基板の走査を行わずに成膜を行った。その他の条件については、成膜時間を 1.5 分、電極回転速度を 2000rpm 、成膜ギャップを 0.7mm で統一した。成膜を行うと電極表面にも Si が付着し、その付着量が多くなると成膜プロセスに影響するため、一定の成膜時間ごとに NF_3 プラズマによるクリーニングを行った。

形成した Si 薄膜は、結晶性を反射高速電子線回折法(reflection high energy electron diffraction: RHEED)および断面透過電子顕微鏡法(cross sectional transmission electron microscopy: XTEM)で評価した。さらに、成膜表面の形状を原子間力顕微鏡(atomic force microscope: AFM)で観察した。

一方、プロセス雰囲気の清浄度は、大気圧イオン化質量分析計(atmospheric pressure ionization mass spectrometer: APIMS) (日立東京エレクトロニクス, UG-400PN) により評価した。APIMS は、大気圧の不活性ガス中に含まれる 0.1ppb オーダの極微量不純物を定量的に分析することが可能である。測定に際してガス中に反応性の高い SiH_4 が存在すると、分析計の放電電極部に Si が堆積して性能が劣化するため、プロセス雰囲気の分析は、超高純度 He のみを装置に導入して行った。この時、ガス循環、基板加熱、有機物発生源の局所排気およびガス補給 (He のみ) については成膜時と同様に行った。

3. 実験結果および考察

3.1 プロセス雰囲気の清浄度評価

図 3 は、APIMS により得られたマススペクトルの一例であり、横軸は検出されたイオンの質量数、縦軸はイオン電流の値を示す。図 3(a)は使用した超高純度 He、(b)は基板加熱前の雰囲気、(c)は基板表面温度 690°C の場合の雰囲気分析結果である。

超高純度 He 中に含まれる主な不純物は、図 3(a)より H_2O 、 N_2 、 O_2 、 CO_2 であり、各イオン電流値を濃度に換算すると、 H_2O は 0.9ppb 、 N_2 は 0.6ppb 、 O_2 は 0.2ppb 、 CO_2 は 0.1ppb である。これに対して同図(b)では H_2O は 3.5ppb 、 N_2 は 8.1ppb 、 O_2 は 3.1ppb 、 CO_2 は 0.4ppb に増加している。これらの不純物のうち、 H_2O はチャンバや循環配管内面に吸着していてベーキングでは除去しきれない水分が原因である。 O_2 および CO_2 も装置に起因するものと考えられるが、 N_2 の濃度が高いのは、 NF_3 による電極クリーニングの際の残留物の影響と考えられる。さらに図 3(c)では、 H_2O は 3.1ppb 、 N_2 は 35ppb 、 O_2 は 4.5ppb 、 CO_2 は 2.6ppb となつ

Fig.3 Mass spectra of He gas in the deposition chamber measured by APIMS

ている。基板の加熱によって、特に N_2 の増加が顕著に見られることから、成膜ギャップ周辺に残留していた NF_3 の分解生成物が熱的に反応し、 N_2 が生成されたものと考えられる。また CO_2 の濃度も増加しているが、これは H_2O や O_2 が基板加熱ステージの構成材料であるカーボンと熱的に反応して生成されたと推測できる。

一般に熱 CVD 法によりエピタキシャル Si を形成する場合、エピタキシャル成長が可能な限界温度と雰囲気中水分濃度との間には密接な関係があり、成膜温度が低い程水分濃度の低減が必要であることが知られている。例えば、800°C でエピタキシャル成長を行うためには雰囲気中の水分濃度を 100ppb 以下にする必要があり、700°C では 6ppb 以下、600°C では 0.2ppb 以下にする必要がある¹⁴⁾。本装置の成膜雰囲気中の水分濃度は、基板ステージ加熱時において 3.1ppb であったため、680°C 以上の温度では熱 CVD によるエピタキシャル Si 成長が可能であると予想される。しかし、大気圧プラズマ CVD 法では、プラズマにより分解・励起された原子状水素が、表面酸化物を除去する等のクリーニング効果をもつことから、さらに低温でエピタキシャル成長が可能となることが期待される。

3.2 Si の結晶化条件および成膜速度

本成膜法により、どのような条件でエピタキシャル Si を形成できるかについて検討した。円筒型の回転電極を用いていることから、成膜ギャップに発生させた大気圧プラズマは、電極の軸方向には均一であるが、最小ギャップ部を中心として電極の周方向に広がりをもっている¹⁰⁾¹²⁾。この広がりの大きさ（プラズマ長さ）は、今回の成膜条件の範囲では約 40mm であった。プラズマ発生領域に形成される Si 薄膜の膜厚は、最小ギャップ部で最も厚く、流れの上流側および下流側に向かってほぼ対称な分布をもっている。今回の検討においては、結晶性および成膜速度は最小ギャップ部について評価した。

図 4 は、基板表面温度 690°C、610°C、530°C に対して、それぞれ投入電力を変化させて形成した Si 薄膜の結晶性を RHEED により観察した結果である。690°C においては、投入電力 300W の場合のみ多結晶 Si によるリングパターンが見られるが、500W 以上ではすべてエピタキシャル Si の成長が確認できる。また、610°C では 1500W 以上で、530°C では 2000W 投入して初めてエピタキシャル Si の成長が見られた。これらのことから、基板表面温度を低くしても、その分多くの電力を投入すればエピタキシャル Si の形成が可能であると結論できる。

690°C で形成されたエピタキシャル Si 薄膜の RHEED パターンを見ると、投入電力の増加に伴ってスポット状のパターンからストリーク状に変化し、2000W 投入時には再びスポット状になっている。このことから、投入電力は膜表面の平坦性にも影響を及ぼすことが分かる。

以上の結果から、大気圧プラズマ CVD における Si のエピタキシャル成長は、投入電力あるいは基板表面温度の上昇により、下記の量が増加することによって促進されていると考えられる。

- (1) プラズマ中での SiH_4 の分解および活性化の度合い（膜形成前駆体 SiH_n の形態）
- (2) プラズマのガス温度、すなわち He 原子の運動エネルギー
- (3) 膜成長表面からの結合水素の脱離速度
- (4) 膜形成前駆体の表面拡散長

投入電力の増加は各項目それぞれに関連するが、基板表面温度は主として(3)と(4)に関連する。すなわち、基板表面温度を低下させることは、表面水素の熱脱離速度の減少による Si 原子吸着サイト密度の低下、および膜形成前駆体の表面拡散長の減少を招き、エピタキシャル成長の阻害につながる。そこで、投入電力の増加によりプラズマのガス温度を上昇させ、基板表面温度の不足分を補うことにより、エピタキシャル成長が可能になると考えられる。ただし、投入電力が過剰な場合には、プラズマ中での SiH_4 の分解が進みすぎてパーティクルが生成し、結晶性および表面平坦性を悪化させる原因となると考えられ、これは 690°C、2000W の場合に RHEED パターンがスポット状になることと対応する。

今回得られたエピタキシャル Si の成長速度は、基板表面温度

Fig. 4 RHEED patterns of the Si films as functions of the substrate temperature and the input power

690℃, 投入電力 1500W において 6.6μm/min, 610℃, 2000W において 1.2μm/min であった. 前述したように, SiH₄ をソースガスとした一般的な熱 CVD 法によるエピタキシャル Si の成長速度は, 1100℃において 0.3μm/min 程度である. したがって, 大気圧プラズマ CVD 法を用いることにより, 熱 CVD 法に比べて Si エピタキシャル成長プロセスの大幅な低温化, 高速化が達成可能であることが分かった.

3.3 結晶性および表面粗さの評価

図 5 は, (a)基板表面温度 690℃, 投入電力 1500W, (b)610℃, 2000W の 2 条件で形成したエピタキシャル Si 薄膜を, 断面 TEM で観察した結果である. 図 5(a)では膜中に転位線が観察され, また基板との界面がはっきり見られ, 膜中の欠陥密度が高いことが分かる. 一方, (b)では右端に V 字型に伸びた転位線が見られるが, これは基板上に偶発的に付着していた不純物などが原因となって発生したと推測される. これ以外の部分は, 他の観察視野も含めて無欠陥であり, かつ基板と膜の界面も判別できないことから, 膜の結晶性は基板の Si 単結晶と同等であることが分かった.

次に得られた膜の表面状態について検討する. 図 4 の RHEED

パターンにおいて, 690℃, 1500W の条件ではパターンがストリーク状からスポット状に変化しつつあり, 表面の平坦性が悪化していることが分かる. この条件では, 投入電力がやや過剰であると考えられ, プラズマ中で生成した微小なパーティクルの影響で結晶性が悪化していると推測される. 一方 610℃, 2000W における RHEED パターンはシャープなストリーク状であり, 表面平坦性が良いことを示していることから, この場合の投入電力は最適であったと考えられる. 図 6 は, 図 5 と同じ膜の表面を AFM により観察した結果である. 膜の表面粗さ (PV 値) は, 図 6(a)では 1.22nm, (b)では 1.08nm であり, いずれも用いた基板の表面粗さ (1.40nm) に比べて小さい値が得られた.

以上の結果から, 本成膜法により, 基板と同等の結晶性と非常に平滑な表面を有するエピタキシャル Si 薄膜を低温で高速に形成することが可能であることが分かった.

3.4 Si 薄膜中の含有不純物分析

最後に, 本研究で得られたエピタキシャル Si 薄膜の含有不純物濃度を SIMS により測定した. その結果, 不純物として O および C が主に検出され, 濃度はそれぞれ $4 \times 10^{16} \text{cm}^{-3}$, $1 \times 10^{16} \text{cm}^{-3}$ であった.

従来の報告では, 熱 CVD によるエピタキシャル Si 薄膜中の不純物濃度は, O が $4 \times 10^{17} \text{cm}^{-3}$ 以下, C が $1 \times 10^{17} \text{cm}^{-3}$ 以下であり¹⁴⁾, 低圧プラズマ CVD 法では, O が $1 \times 10^{17} \text{cm}^{-3} \sim 4 \times 10^{20} \text{cm}^{-3}$, C が $8 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ である⁶⁷⁾. したがって, 本成膜法により低温で高速形成したエピタキシャル Si 薄膜中の不純物濃度は, 十分に低いことが確認された.

4. 結 言

大気圧プラズマ CVD 法により, (001)Si ウエハ基板上に Si の低温・高速エピタキシャル成長を試み, 以下の結論を得た.

- (1) 形成される Si 薄膜の結晶性および表面平坦性は, 投入電力および基板表面温度と密接な関係がある. 基板表面温度を低くしても, その分多くの電力を投入すればエピタキシャル Si の形成が可能である.
- (2) 今回の検討で得られたエピタキシャル Si の成膜速度は, 基板表面温度 690℃, 投入電力 1500W において 6.6μm/min, 610℃, 2000W において 1.2μm/min であった. このことから, 一般的な熱 CVD 法による成膜速度 0.3μm/min (1100℃) に比べて 400℃ 以上低い温度にも関わらず成膜速度の大幅な高速化を達成したといえる.
- (3) エピタキシャル Si 薄膜の断面および表面を TEM および AFM により観察した結果, 投入電力および基板表面温度を最適化すれば, 膜中および

Fig.5 Cross sectional transmission electron micrographs of the Si films

Fig.6 AFM images of the Si films

基板界面に欠陥がなく、基板と同等以上の表面平坦性を有する、高品質なエピタキシャル Si を成膜可能であることが分かった。

以上の結果より、ラジカル密度が高く、イオンによる膜の損傷が小さいという特徴を有する大気圧プラズマ CVD 法を用いることによって、高品質なエピタキシャル Si ウエハの製造プロセスを大幅に低温化かつ高速化することが可能であることが実証された。

謝 辞

本研究は文部科学省科学研究費補助金（COE 形成基礎研究費 08CE2004）の援助を受けて行われたことを記し、感謝の意を表する。

参 考 文 献

- 1) M. Itsumi, T. Ueki, M. Watanabe, and N. Yabumoto: Gate Oxide Defects in MOSLSIs and Octahedral Void Defects in Czochralski Silicon, *Jpn. J. Appl. Phys.* **37** (1998) 1228.
- 2) M. Tamatsuka, Z. Radzinski, G. A. Rozgonyi, S. Oka, M. Kato, and Y. Kitagawara: Medium Field Breakdown Origin on Metal Oxide Semiconductor Capacitor Containing Grown-in Czochralski Silicon Crystal Defects, *Jpn. J. Appl. Phys.* **37** (1998) 1236.
- 3) 志村史夫：半導体結晶工学，丸善（1993）78.
- 4) W. J. Varhue, P. S. Andry, J. L. Rogers, E. Adams, R. Kontra, and M. Lavoie: Low temperature growth of Si by PECVD, *Solid State Technology*, June (1996) 163.
- 5) J. L. Rogers, P. S. Andry, W. J. Varhue, P. McGaughnea, E. Adams, and R. Kontra: Low-temperature homoepitaxial growth of Si by electron cyclotron resonance plasma enhanced chemical vapor deposition, *Appl. Phys. Lett.* **67** (1995) 971.
- 6) C. -H. Chen and T. -R. Yew: Silicon epitaxial growth by plasma enhanced chemical vapor deposition from SiH_4/H_2 at 165 – 350°C, *J. Cryst. Growth* **147** (1995) 305.
- 7) J. H. Comfort and R. Reif: Plasma-enhanced deposition of high-quality epitaxial silicon at low temperatures, *Appl. Phys. Lett.* **51** (1987) 2016.
- 8) S. Ohi, W. R. Burger and R. Reif: Enhanced electrical quality of low-temperature ($T_{\text{dep}} \leq 800^\circ\text{C}$) epitaxial silicon deposited by plasma-enhanced chemical vapor deposition, *Appl. Phys. Lett.*, **53** (1988) 891.
- 9) 森 勇蔵，安武 潔，山村和也，垣内弘章：大気圧プラズマによる超精密加工と高速成膜，*精密工学会誌*，**66**（2000）518.
- 10) 森 勇蔵，芳井熊安，安武 潔，垣内弘章，木山精一，樽井久樹，堂本洋一：大気圧プラズマ CVD 法によるアモルファス Si の高速成膜に関する研究（第 1 報）—回転電極型大気圧プラズマ CVD 装置の設計・試作—，*精密工学会誌*，**65**（1999）1600.
- 11) 森 勇蔵，芳井熊安，安武 潔，中野元博，垣内弘章，木山精一，樽井久樹，堂本洋一：大気圧プラズマ CVD 法によるアモルファス Si の高速成膜に関する研究（第 2 報）—成膜速度の高速化—，*精密工学会誌*，**66**（2000）1636.
- 12) Y. Mori, K. Yoshii, H. Kakiuchi, and K. Yasutake: Atmospheric pressure plasma chemical vapor deposition system for high-rate deposition of functional materials, *Rev. Sci. Instrum.* **71** (2000) 3173.
- 13) 大見忠弘：ウルトラクリーン ULSI 技術，*培風館*（1995）226.
- 14) 鈴木誉也，井上洋典，宮内昭浩，中田真佐美：ディープサブミクロン以降に向けての Si エピ技術，*超精密*，**7**（1997）73.