半導体デバイスプロセスにおける CMP

CMP in Semiconductor Device Process / Masaharu KINOSHITA

ニッタ・ハース (株) 木下正治

1. CMP の登場

研磨は旧くて新しい技術である。半導体 IC をはじめ多くの電子デバイスが身の回りで使われているが、いずれも研磨によって平坦化された各種の基板材料の上にデバイスが形成されている。その中でも CMP (Chemical Mechanical Polishing, 化学的機械加工) と呼ばれる技術は今や半導体のデバイスプロセスになくてはならない平坦化プロセスとなっている。

CMP がはじめて注目されたのは、1991 年 6 月の VMIC における IBM からの論文であったり、ここでは層間絶縁膜 CMP とデュアルダマシンプロセス (Dual Damascene Process) による金属配線の基本概念が提案されている。この基本プロセスはデバイスの集積度向上、多層配線のさらなる多層化でプロセスが複雑になってきてはいるものの 10 年以上たった今でも変わっておらず、CMP を用いた普遍的なプロセスとして提案された意義は高い。

もともとシリコンウエハの研磨ではメカノケミカルポリシング (Mechano-Chemical Polishing) という言葉が使われており、CMP も基本的にはこれと同様の概念であるが、現在では半導体のデバイスプロセスに適用された研磨を CMP といっている。従って、CMP の定義は研磨剤 (研磨スラリー) に酸やアルカリの溶液を用い、酸化膜や金属膜の表面に化学反応を与えながら、研磨パッドによって機械的に除去していく研磨プロセスと言える²⁾。また、半導体デバイスの分野では CMP を Chemical Mechanical Planarization の略称としても用いており、デバイスプロセスでの平坦化に重きをおいた呼び方である。なお、CMP

に関する専門用語については文献 2) を参照していただくと良い。

2. 半導体デバイスと CMP プロセス

半導体デバイスを作るにはシリコンウエハの上にトランジスタ、抵抗、容量、配線などの微細なパターンを形成していく。プロセス途中のウエハの微小領域を見てみると、例えば図 1 のような微小な凹凸形状からなっている。ここに見える台形のパターンはトランジスタが形成されるアクティブ領域であり、素子分離工程 (STI: Shallow Trench Isolation) の途中である。図 2 に STI 工程の概略を示す。シリコン基板の上に窒化膜、酸化膜を成膜し露光工程、エッチングを経て素子分離溝を形成する。この溝に絶縁用の酸化膜を埋め込み、余剰の酸化膜を研磨して平坦化を行う。この研磨が CMP である。最後に窒化膜を剥離して、アクティブ領域にトランジスタを形成する。

現在 CMP による平坦化が用いられているプロセスは図 3 に示すように層間絶縁膜の平坦化 (ILD CMP)、素子分離プロセス (STI CMP)、タングステンプラグ形成 (W CMP)、Cu 配線形成 (Cu CMP) がある。それぞれの概要と課題を以下に述べる。

2.1 ILD CMP とスクラッチ

層間絶縁膜は配線間の絶縁を取るために入れられる膜でこの膜の平坦化を ILD CMP という。マイクロスクラッチの低減が課題である。スクラッチがあるとその上に金属配線を形成した場合にショートを起こす恐れがある。ここでは、研磨スラリーとしてはヒュームドシリカ微粉を用いた

図 1 デバイスウエハ上の微細パターン

図 2 STI の形成プロセス

図3 ロジック LSI の配線構造と CMP 平坦化

アルカリ性のものが主に用いられる。特にマイクロスクラッチ対策として、ヒュームドシリカの粒径分布の中で $0.5\ \mu\text{m}$ 以下の粒径の比率を抑えるような工夫がなされている³⁾。

2.2 STI CMP と研磨選択性

STI CMP は図2に示すプロセスであり、酸化膜を研磨して窒化膜で止めなくてはならない。このため、窒化膜に対して酸化膜の研磨選択比が高いセリアスラリーが用いられる。さらに、界面活性剤やほかの添加剤を配合調整することにより、パターンの粗密に無関係に凸部を選択的に研磨し、凹部の研磨を抑制するようなプロセスが確立されている⁴⁾。

2.3 W CMP とスクラッチ

W は配線と電極間の垂直プラグ形成に使われる。タンゲステンは硬い材料であり、また難加工材料であるため、表面を酸化した後その酸化膜を CMP で除去することが一般的に行われる。また、研磨砥粒としてもアルミナのような高硬度のものが用いられてきたが、研磨表面に多くのスクラッチが入ってしまうため、ヒュームドシリカを用いるようになってきた。

2.4 Cu CMP

2.4.1 Cu の配線構造

Cu は Al に代わる低抵抗配線材料として、ロジック LSI の微細化とともに使われるようになり、特に多層配線では今後不可欠なものとなっている。銅 (Cu) はドライエッチングで高速に精度良くパターンニングすることができないことから、Cu 配線の形成にはダマシン (象嵌) 構造を用いている。すなわち、層間絶縁膜に配線用の溝を形成しそこにメッキによって Cu 膜を埋め込む。このプロセスを2回繰り返すと配線とプラグを同時に形成することができ、これをデュアルダマシン構造といっている。さらに、Cu は拡散係数の大きい重金属であり、デバイス中に拡散していくと IC の特性劣化を引き起こすため、拡散を抑止するバリアメタル層を Cu 膜の下地に敷き込む。一般的なバリアメタルとしては Ta/TaN を用いる。従って、Cu 配線層の断面は Cu/バリアメタル/酸化膜という3層構造になっている。このため、Cu CMP 工程は通常2ステップの研磨

図4 Cu CMP におけるディッシング、エロージョン

が行われる。まず、余剰 Cu 膜の CMP、次にバリアメタルの CMP を行う。このように Cu CMP では Cu、バリアメタル、酸化膜の3種類の膜を研磨していくため、研磨スラリーも Cu 用とバリアメタル用の2種類を用いる。

2.4.2 ディッシング、エロージョンの抑制

Cu CMP での一番の課題は図4に示すようにディッシング、エロージョンの抑制である。ディッシングは CMP によって Cu 配線表面が皿状に窪んで削れてしまう現象であり、エロージョンは Cu 配線が密集しているところ全体が CMP 後に他の部分よりも大きく窪んでしまう現象である。Cu 配線膜にディッシングやエロージョンがあるとその上に順次形成していくプラグ、配線にショートや断線が生じる。Cu CMP ではディッシング、エロージョンを最小にしていくため、次のような研磨ステップが取られる。まず、余剰の Cu を高速に研磨してバリアメタル層の上数 100 nm の厚さのところで止める (Cu Bulk CMP)。このときはウエハ全面に渡って平坦な面が得られている。次に研磨レートを低くして残りの Cu 層を研磨し、バリアメタル層が現れるまで研磨する (Cu Clearing)。このときには、ウエハ表面微小凹凸、うねりなどに起因する Cu の研磨残りがまったくなくなるようにオーバ研磨を行う。従って、Cu 埋め込み層にディッシングが入るが、これを極力小さくするようにする。そして最後にバリアメタル層を研磨して、Cu の埋め込み配線のみが酸化膜面に形成されるようにする (Barrier Metal CMP)。このときも Cu のディッシングが極力小さくなり、また、酸化膜の削れ量も小さくするようにする。従って、研磨スラリーに対してこれら3種類の膜質に対する選択比を持たせる工夫が必要となる。一般的には余剰 Cu を除去する研磨スラリーは Cu の研磨選択比がバリアメタル、酸化膜に対して高いことが求められる。一方、バリアメタルに対しては、Cu : バリアメタル : 酸化膜 = 0 ~ 1 : 1 : 1 となるような構成にしている。バリアメタルの CMP では Cu のディッシングを極力小さくすることが必要なため、このような選択比となる。

2.4.3 Low-k 絶縁膜の CMP 研磨耐性

Cu 配線はデバイスの信号遅延を抑制するために導入されたが、層間絶縁膜に誘電率の低い Low-k 絶縁膜を必要とする。しかし、Cu 配線と Low-k 絶縁膜との組合せは

図5 Low-k 膜の剥離時間と膜強度 (Kondo⁵⁾)

図6 Cu/Low-K 配線概念図

さらに新たな課題を CMP にもたらす。Low-k 膜は誘電率が 3 以下の層間絶縁膜の総称であり、その膜質としても CVD で成膜する CDO (Carbon Doped Oxide)、スピン塗布後キュアして形成する無機系 SOG (Spin on Glass)、有機系 SOG、さらには膜中に空孔を含んだ有機多孔質膜までバラエティに富んでいる。一般的な特徴としては、膜の機械強度が低いということが挙げられる。図 5 は膜強度と研磨耐性をプロットしたもので、k 値 (誘電率) が低くなるにしたがって、CMP 中に剥離するまでの時間が短くなっている。また、研磨圧力を通常の 3.5 psi から低くしていくと、剥離までの時間は長くなる。一般的には 8 GPa 以下の膜強度が CMP の研磨耐性として求められる⁵⁾。この結果、Low-k 膜を単体として使うことは CDO 膜以外はなかなか難しい。このため、膜強度の向上に対して材質面ならびに応用面に対策が取られている。図 6 は Cu/Low-k 膜のインテグレーションの一例であるが、Low-k 膜の上に Cap 膜として研磨耐性の強いハードマスク膜をつけている。

3. CMP 装置の進歩

CMP を構成する要素を挙げると、研磨装置、研磨パッド、研磨スラリーとコンディショナーになる。研磨装置はウエハ保持機構、研磨定盤を複数配備し (マルチヘッド、マルチプラテン機構)、研磨終点検出のような、in-situ モニタリング、洗浄機を組み込んだ一体システムとなっており、層間絶縁膜、STI、メタルのすべての CMP に対応できる。代表的な装置の例を図 7 に示す。カセットにウエハ

図7 CMP 量産機の例 (Ebara FREX200 平面図)

パッド: IC1000TM K-Groove、パッド回転数: 33 rpm、ウエハ回転数: 61 rpm、研磨圧力: 3 psi

(a) 粗い表面組織 (b) 中程度の表面組織 (c) 細かい表面組織

図8 パッドのコンディショニングとウエハ下でのスラリー温度分布 (赤い点が高温部) (G.Muldowney¹³⁾)

をセットすれば、装置内で研磨、洗浄を行いドライインードライアウトで処理できる。CMP 装置が半導体の製造装置として完成されていくには多くの課題を解決していなくてはならなかった。研磨機の剛性、軽量化、振動・発塵対策、酸・アルカリ等からの防食、多機能ロボット、ウエハチャッキング機構、研磨終点検出、スラリー循環供給システム、ウエハ後洗浄機構、クリーン化技術、システム制御など多岐に渡っている。この内 CMP の性能に特に重要となるのが、ウエハチャック機構と終点検出方法の開発である。

ウエハチャッキングはシリコンウエハの研磨でも重要な要素であるが、CMP では $1\text{ }\mu\text{m}$ 以下の研磨量で平坦化を実現しなくてはならないため、ウエハの研磨面を研磨パッドにいかに均一に当てるかがポイントになる。現在はウエハ全面に背圧を掛けながら、さらに局所的な圧力分布が出せるような 2 重の加圧方式が採用されている。また、リテーナの加圧機構もウエハ平坦化に影響する⁶⁾。

研磨終点検出の方法には渦電流、温度、差動トランス、振動解析、超音波センサ、トルク電流、容量、光干渉などの各種方法が考案されている。一般的な方法で精度が高いのは光学的な検出方法である。光源にはレーザー光源を用い、研磨表面からの反射強度の変化、あるいは研磨薄膜の膜厚変化による光干渉などを利用する⁷⁾。光を使う場合には研磨プラテンと研磨パッドに光を透過する窓を開けることが

必要になる。

CMPでの研磨圧力は3 psi以上が一般的であるが、Cu配線とLow-k絶縁膜の組合せでは、Low-k膜の機械的強度が低いため研磨圧力を1 psi以下にすることが求められている。このため、低研磨圧力制御、real time profile monitorなどの新たな機能を組み込んだ装置の実用化が進んでいる⁸⁾。さらに、今後はCu配線を用いたデバイスの普及が加速すれば、Cuの電解研磨を取り入れたCMP装置が必要になる可能性がある。既に、電解研磨CMPの技術開発については基本的な性能は達成されており、Cu-ECMPと銘打った装置が量産機となってくるに違いない^{9)~11)}。

4. CMPプロセスのシミュレーション

CMPによる平坦化のプロセスにはウエハの平坦度、ウエハ上に形成されたデバイスパターンの寸法、形状、ウエハと接触する研磨布やスラリーを介した研磨条件などが複雑に絡みあっている。そこで、この現象を理解するためにプロセスのモデル化とシミュレーションが有効である。CMPのモデル化ではウエハの表面トポグラフィや研磨パッドの物理的特性のモデル化と平坦化¹²⁾、さらにはスラリーの流れ解析などが行われている¹³⁾。CMPパッドの表面はミクロに見ると開口した空孔と凹凸からなる微小組織となっており、また、マクロに見るとスラリーの流路となる規則的な溝が掘られている。パッド上でスラリーが流れる流路は、ウエハとパッド表面凹凸によって決まる。コンディショニングによってこの流路の幅、間隔、開口率などが決まり、また、研磨圧力の高低によって変化する。ウエハとパッド間での新旧スラリーの混合、置換がうまく進まないと、ウエハ面内に温度勾配が発生し、研磨レートのウエハ面内分布が生じ平坦化が悪くなる。図8はこのようなパッドの表面状態を厳密にキャラクタリゼーションしてモデル化して、スラリーの流れ解析を行い、研磨温度分布のシミュレーションをした結果の一例である¹³⁾。粗い表面組織ではウエハの中心からパッド中心に向かう半径方向(図中では下方向)の中ほどに高温点が発生しているが、細かい表面組織ではこのような高温点はウエハエッジに退き、ウエハ全域に渡って大きな温度勾配となっている。研磨レートのウエハ面内均一性は、後者の方が良好になる。これらの結果は実際のプロセスデータとかなり良い一致が得られている。

5. ま と め

CMPが半導体デバイスの研磨に使われるようになったことが経緯となり、Cu CMPに示されるように研磨技術の大きな進展が得られた。研磨装置は研磨終点検出機能の開発により経験的な装置から、再現性のある予測できる自動機になった。また、これまで隔靴搔痒の感のあった研磨プロセスの現象解析もCMPプロセスのモデル化およびシミュレーション技術が進展してきたことで、正確な把握ができるようになってきた。

参 考 文 献

- 1) F.Kaufman et al: Chemical Mechanical Polishing for Fabricating Patterned W Metal Feature as Chip Interconnects, J.Electrochim. Soc., **38**, 11, (1991) 3460
- 2) CMP用語辞典, 精密工学会プラナリゼーション加工/CMP応用技術専門委員会編, グローバルネット(株)発行, 2000年, および, Planarization Technical Term Dictionary, Global Net Corporation発行, 2004年
- 3) 木下正治, 最近のCMPスラリーの動向, 精密工学会プラナリゼーションCMPとその応用技術専門委員会第19回研究会資料, 2001年4月19日.
- 4) Masanobu Hanazono, et al: Why CeO₂ is promising for STI?, CAMP2001, Clarkson University.
- 5) S. Kondo, et al: Low-Pressure CMP for Reliable Porous Low-k/Cu Integration, IEEE International Interconnect Technology Conference (IITC), 86-88.
- 6) T.H Osterheld et al: A Novel Retaining Ring in Advanced Polishing Head Design for Significantly Improved CMP Performance, MRS1999, Spring, また, 例えば, USP6251215, Carrier head with a Multilayer Retaining Ring for Chemical Mechanical Polishing.
- 7) B.R.Adamas et al: Process Control and Endpoint Detection with Fullscan ISRM System in Chemical Mechanical Polishing of Cu layers, CMP-MIC, March 2000.
- 8) 宇田豊他, 超低圧CMP技術, 精密工学会プラナリゼーションCMPとその応用技術専門委員会第34回研究会資料, (2003) 27.
- 9) L.Economicos et al: Application of Cu Electro-Chemical Mechanical Polishing(Ecmp) for 65nm Technology, Proceedings of The 1st Pac-Rim International Conference on Planarization CMP and Its Application Technology, (2004) 69.
- 10) M. Tsujimura: General Principle of Planarization Governing CMP, ECP, ECMP & CE-Low-down-force planarization technologies, VMIC 2004.
- 11) 「どっちが本命? CMP vs ECMP」, 精密工学会プラナリゼーションCMPとその応用技術専門委員会第43回研究会資料, 2005年4月14日.
- 12) 土肥俊郎編著, 詳説半導体CMP技術, 工業調査会, (2001), 162.
- 13) G.P.Muldowney: The Effect of Pad Grooving and Texturing on CMP Process Performance, Proceedings of The 1st Pac-Rim International Conference on Planarization CMP and Its Application Technology, (2004) 33.