Ni-Zn フェライトインダクタを集積したマイクロ電源の CMOS-IC 負荷における電源ノイズに関する実験的検討

Experimental Study of the Power Supply Noise of a Micro DC-DC Converter under CMOS-IC Load Condition

西島健一^{*}・^{**}・佐藤敏郎^{**}・山沢清人^{**}・江戸雅晴^{***}・林 善智^{***}・片山 靖^{***}・西尾春彦^{***}

^{*}発紘電機 (株), 松任市上柏野町 890-1 (〒924-0035)

^{**}信州大学工学部, 長野市若里 4-17-1 (〒380-8553)

^{***}(株)富士電機総合研究所, 松本市筑摩 4-18-1 (〒390-0821)

K. Nishijima^{*}・^{**}, T. Sato^{**}, K. Yamasawa^{**}, M. Edo^{***}, Z. Hayashi^{***}, Y. Katayama^{***}, and H. Nishio^{***}

^{*}Hakko Electronics Co., Ltd., 890-1 Kamikashiwano-machi, Matto 924-0035

^{**}Faculty of Engineering, Shinshu University, 4-17-1 Wakasato, Nagano 380-8553

^{***}Fuji Electric Corporate Research and Development, 4-18-1 Chikuma, Matsumoto 390-0821

This paper describes an experimental study of the conduction noise of a micro dc-dc converter during high-speed CMOS-logic IC loading. For comparison, experimental results obtained by using a commercialized on-board dc-dc converter are also shown. When the dc-dc converter is used as the power supply of the CMOS logic circuit, the converter noise is modulated by the clock signal of the CMOS-IC, and transmitted to the logic circuit by amplitude modulation.

Since the output noise of the micro dc-dc converter module is very small, the effect of amplitude modulation by the clock signal of the CMOS-IC is relatively small. The low noise level is due to the small leakage flux of the inductor with a closed magnetic circuit, and small parasitic inductance in the converter circuit.

Key words: micro dc-dc converter, conduction noise, CMOS-IC, amplitude modulation.

1. はじめに

小型・薄型のトランス・インダクタを開発し、さらにスイッチング周波数の高周波化によって電子機器用電源を著しく小型化しようとする動きが活発になっている^{1),2)}。最近では、小型インダクタ、FETおよび制御ICを一体化したワンチップ電源が開発されるまでになっている^{3),4),5)}。

スイッチング電源においては、高効率であると同時に、EMCの観点から電源ノイズの低減も重要な課題である。種々の電子機器では、マイコンやロジックICを初めとするデジタル回路を具備する場合が多く、この場合、機器内のノイズは電源系とロジック系が複合化した形で発生することになる。これらの機器の動作周波数は益々高周波化しており、スイッチング電源の負荷を抵抗負荷と見なすことが困難となっているにも関わらず、従来の電源ノイズの評価は抵抗負荷条件で行われることが多く^{6),7)}、実動作状態に近い条件でノイズ評価が行われた例は殆どないのが実情である。

本論文は、最近開発されたNi-ZnフェライトインダクタとLSIを一体化した超小型マイクロ電源⁵⁾の電源ノイズ評価を行うことを目的に、ロジックICを負荷とする場合の電源ノイズの振る舞いについて実験的に検討を行ったものである。電子機器内のデジタル回路のクロック周波数は益々高周波化する傾向にあり、同様に、マイクロ電源にお

いてもMHzスイッチングが採用されるなど、スイッチング周波数は今後もなお一層高周波化される可能性が高い。従って、マイクロ電源の実動作状態に近い(ロジックICを負荷とする)条件で電源ノイズを評価することは、機器の設計のみならず、マイクロ電源の開発指針を明確にする点でも有益であると考えられる。

2. マイクロ電源

2.1 電源の概略構成

Fig. 1は、実験に用いたマイクロ電源の外観写真を示すものである。Cuソレノイド巻線を有する薄型Ni-Znフェライトインダクタを基板として、その上部にFETやPWM制御回路等を含むLSIチップがマウントされて構成される。インダクタと上部LSIは金スタッドバンプを介して電氣的に接続される。

Fig. 2に、回路構成を示す。本回路は同期整流方式降圧チョッパコンバータとして構成されているものである。スイッチング周波数 f_s は1.7 MHzである。コンバータの概略仕様をTable 1に要約して示す。

2.2 Ni-Zn フェライトインダクタ

Fig. 3に、マイクロ電源の下部基板として利用されているNi-Znフェライトインダクタを示す。同図(a)は外観写真、(b)は上面図、(c)は断面図である。なお、Fig. 3(b)ならびに(c)における□の範囲は、磁束分布を計算するための有限要素法における解析領域を示している。

Fig. 1 Micro dc-dc converter used in experiment.

Fig. 2 Circuit configuration of the micro dc-dc converter.

Table 1 Typical specifications of a micro dc-dc converter.

Item		Values
Output voltage		2.7 to 5.0 V
Output voltage accuracy		Variable ($\pm 4\%$)
Output current		500 mA max.
Oscillating frequency		1.0 to 2.5 MHz
Current Consumption	Shutdown	1 μ A max.
	Sleep	20 μ A max.
	LDO mode	100 μ A max.
	Switching mode	500 μ A max. (1.7 MHz)

このインダクタは、扁平 EE フェライトコアの中央脚にソレノイドコイルを巻いたものと見なすことができる。Ni-Zn フェライトの板厚は約 0.5 mm、比透磁率は約 200、飽和磁束密度は約 0.28 T である。銅ソレノイドコイルは、電気めっきにより、所定の間隔のスルーホールを介してフェライト板表裏面を巻き回すように作製される。コイル巻数は 11 である。Fig. 3(a)におけるコンタクトパッドは、インダクタ上部に搭載される LSI チップとの電氣的接続を図るために設けられたものであり、金スタッドバンプを介してインダクタと LSI が電氣的に接続される。

Fig. 4 は、ANSYS 社の磁界解析有限要素法ソフトウェア (Multi physics) を用いて計算した Ni-Zn フェライトインダクタの直流磁束分布を示したものである。コイル電流の値は 500 mA である。Fig. 4(a) は Fig. 3(b) で示した 1/4 モデルにおけるフェライト面内磁束分布であり、また、Fig. 4(b) は Fig. 3(c) のインダクタ断面の 1/4 モデルにおける磁束分布を示す。

Fig. 4(a) から分かるように、フェライト面内磁束はフェライトの中央脚から端部脚へと渡り、EE 構造のフェライト磁心の場合とほぼ同様な磁束分布を示す。端部脚の幅寸法が小さいために、この部分の磁束密度が高くなっているが、磁気飽和までは至っていない。一方、Fig. 4(b) のインダクタの断面から見た磁束分布においては、フェライト表面から漏洩する磁束が存在し、特に、Fig. 3(c) で示した A-A' 部のコイル導体近傍における漏れ磁束が大きいことが分かる。

Fig. 5 は、Ni-Zn フェライト基板の厚さ方向の磁束密度分

(b) Schematic illustration of the top view
(□ area ; 1/4 model for FEM analysis)

(c) Schematic illustration of the cross-sectional view
(□ area ; 1/4 model for FEM analysis)

Fig. 3 Ni-Zn ferrite inductor used in the micro dc-dc converter.

布を示したものであり、コイル導体ラインの中心部近傍 (Fig. 3(c) の A-A' 部)、ならびに導体間のスペーシング部近傍 (B-B' 部) を抽出してプロットしたものである。Fig. 4(b) でも示されたように、フェライト表面から外界へ漏れる磁束はコイル導体近くに多く発生しているが、フェライト表面から 150 μ m 離れた位置における磁束密度の大きさは、コイル導体近傍、スペーシング近傍の如何にかかわらず、無視できるくらい小さい値まで減衰する。なお、コイル電流 500 mA における Ni-Zn フェライト内部の磁束密度は、飽和磁束密度 (0.28 T) の半分程度の約 0.14 T であった。

電気めっき Cu コイル、金スタッドバンプ、接続用半田などの厚さから、Ni-Zn フェライト基板表面と LSI チップ表面までの距離は約 150 μ m 程度と見積もられた。従って、Fig. 5 の磁束密度分布の結果から、LSI 内部回路を貫く Ni-Zn フェライトインダクタからの漏れ磁束は十分に小さな値まで減衰するものと考えられる。

(a) Magnetic flux distribution in □ area shown in Fig. 3(b)

(b) Magnetic flux distribution in □ area shown in Fig. 3(c)

Fig. 4 Magnetic flux distribution of the Ni-Zn ferrite inductor.

Fig. 5 Cross-sectional magnetic flux density distribution in the Ni-Zn ferrite inductor.

Fig. 6 Frequency characteristic of the Ni-Zn ferrite inductor.

Fig. 6 は、Ni-Zn フェライトインダクタの周波数特性を示すものである。インダクタンスは約 $2\mu\text{H}$ で周波数 10MHz まではほぼ一定であり、 Q の最大値は周波数 2.5MHz で約 32 であった。ここでは図示しないが、 300mA の直流電流を重畳した場合のインダクタンスは約 $1.6\mu\text{H}$ であった。

3. 実験方法

3.1 実験回路

Fig. 7 に実験に用いた回路構成を示す。PLL 内蔵水晶発振器によるクロック信号を IC1 へ入力し、IC1 出力からダンピング抵抗 R_d (22Ω) を経て伝送線路を通り次段の IC2 に達する。同様に、最終段の IC3 を経て負荷 Z_L (10pF セラミックコンデンサと 10Ω 抵抗の直列接続) に達する構成である。クロック信号の繰り返し周波数 f_c は 50MHz 、振幅 A は 3.3V である。水晶発振器と CMOS-IC のバイパスコンデンサには、 $C_p = 0.1\mu\text{F}$ のセラミックコンデンサを用いている。また、コンバータ出力の V_{cc} ラインに電解コンデンサ $C_o = 100\mu\text{F}$ と負荷抵抗 $R_L = 110\Omega$ を実装している。 V_{cc} ラインの負荷抵抗 R_L は、電源の負荷電流がおおよそ 100mA になるように設定する目的で入れてある。

Table 2 Specifications of the dc-dc converters.

	Micro converter	On-board converter
Size	$3.5 \times 3.5 \times 1.0\text{ mm}$ (chip size)	$20 \times 30 \times 4.7\text{ mm}$ (board size)
Switching frequency	1.7 MHz	570 kHz
Input capacitor	$10\mu\text{F}$	$10\mu\text{F}$
Output capacitor	$4.7\mu\text{F}$	$10\mu\text{F}$
Inductance	$2\mu\text{H}$	$10\mu\text{H}$
Type of control	PWM	PWM

CMOS ロジック IC を実装した評価基板の外観を Fig. 8 に示す。評価基板は $210\text{ mm} \times 100\text{ mm} \times 1.6\text{ mm}$ のガラスエポキシ 4 層基板で、線路はマイクロストリップ構造 (基板の特性インピーダンス $Z_c = 100\Omega$) である。

3.2 CMOS ロジック回路の直流電源

実験には、前章で述べたマイクロ電源をロジック回路の直流電源として用いた。比較のために汎用オンボード電源についても同様の実験を行った。汎用オンボード電源の仕様をマイクロ電源の場合と併せて Table 2 に示す。ここでは

Fig. 7 Circuit configuration for experiments.

Fig. 8 Schematic view of the 4-layer printed circuit board.

詳述しないが、汎用オンボード電源では、パルクフェライトを用いた開磁路型インダクタが用いられている。これらのDC-DCコンバータの入力には4.5Vの乾電池を接続し($V_i = 4.5\text{ V}$)、出力電圧を $V_o = 3.3\text{ V}$ に設定している。さらに、DC-DCコンバータに対する基準実験として、スイッチングノイズのない三端子レギュレータ($V_o = 3.3\text{ V}$)を用いた場合についても検討した。

4. 実験結果

4.1 電源出力部におけるノイズの観測結果

Fig 9に、実験に用いた各電源の出力端子におけるノイズの周波数スペクトラムの観測結果を示す。これらのデータはアドバンテスト社のR3361Cスペクトラムアナライザを用いて測定されたものであり、測定値は実効値で示してある。同図(a)はマイクロ電源、(b)は汎用オンボード電源、(c)は三端子レギュレータの場合を示す。当然のことながら、DC-DCコンバータに比べて三端子レギュレータのノイズは非常に小さいこと分かる。

マイクロ電源においては、スイッチング周波数 f_s に一致する1.7MHzのノイズ成分(40 dB μV)よりも第2高調波である $2f_s$ の成分(50 dB μV)の方が大きく観測されている。これは、平滑用電解コンデンサの周波数特性に依存するものであり、第2高調波に相当する3.4 MHzでは平滑コンデンサの共振周波数を越えるために、コンデンサのインピーダンスが上昇していることによる。汎用オンボード電源では、マイクロ電源に比べてスイッチング周波数が1/3程度に低いため、ノイズの周波数スペクトラムが低い周波数から観測されるが、ノイズレベルはマイクロ電源に比べてかなり大きいと言える。ちなみに、汎用オンボード電源において、スイッチング周波数 f_s に一致するノイズの基本波成分(68 dB μV)を端子電圧に換算すると約2.51 mV(実効値)となり、一般のDC-DCコンバータと比べてもとりわけノイズが大きいという訳ではない。

(a) Micro dc-dc converter

(b) On-board dc-dc converter

(c) Semiconductor series regulator

Fig. 9 Frequency spectra of the power supply output noise.

4.2 CMOS ロジック回路最終段における信号観測結果

Fig. 10 に DC-DC コンバータを電源として用いた場合の CMOS ロジック回路最終段 (Fig. 7 の AM4 点) の CMOS-IC 出力信号の周波数スペクトラムを示す。この図では、クロック信号の繰り返し周波数 50MHz に一致する信号基本波に着目するために、45~55MHz の範囲を抽出して示した。また、比較のために、三端子レギュレータを用いた場合についても示した。なお、この図も Fig. 9 と同様に、データは実効値として表示してある。

Fig. 10 の結果から、電源として DC-DC コンバータ、三端子レギュレータのいずれを用いても、50MHz±0.8MHz 付近にスペクトル(63dBμV)が生じていることがわかる。これは発振器に内蔵の PLL によるスプリアスによるものであり、電源の形態とは無関係である。さらに、Fig. 10 を詳細に観察すると、PLL スプリアス以外に 50MHz を中心にして幾つかの対称なスペクトルが観察される。マイクロ電源を用いた場合では 50MHz の両側にはほぼ対称な形で 50MHz±3.4MHz (59dBμV)の周波数成分が存在し、汎用 DC-DC コンバータを用いた場合では 50MHz±0.57MHz (73dBμV)、50MHz±1.1MHz (62dBμV)、および 50MHz±3.3MHz (60dBμV)の周波数成分が発生していることがわかる。

クロック信号の基本波の両側に発生するスペクトルの周波数は、クロック信号の基本波周波数 f_c と電源のスイッチング周波数 f_s を用いて、

マイクロ電源 ; $f_c \pm 2f_s$

汎用オンボード電源 ; $f_c \pm f_s$, $f_c \pm 2f_s$, $f_c \pm 6f_s$

と表せる。上記の関係は、クロック信号を搬送波として、スイッチング電源ノイズが振幅変調されたことを示している。Fig. 10 において、クロック信号スペクトルの両側に観測される電源ノイズ振幅変調成分は、Fig. 9 において示された電源ノイズの内、50 dBμV 以上の大きさを有する高調波成分のみである。それよりも低いレベルの高調波ノイズ成分は測定時の暗ノイズに埋もれ、振幅変調を確認できなかった。

5. 考察

5.1 電源ノイズの振幅変調現象

DC-DC コンバータの電源ノイズが CMOS-IC のクロック信号を搬送波として振幅変調される現象は Fig. 11 に示す三極管を用いたプレート変調回路の基本動作⁸⁾と同じメカニズムであると考えられる。プレート変調回路では、プレート側直流電源に直列に接続された信号 $s(t)$ がグリッドに加えられる搬送波 $c(t)$ によって振幅変調される。これを CMOS-IC 回路に置き換えると、 $s(t)$ が DC-DC コンバータの電源ノイズに対応し、クロック信号が搬送波 $c(t)$ に対応するものと考えられる。

搬送波 $c(t)$ 、変調信号 $s(t)$ を以下のように表すと、

$$c(t) = A_c \cos \omega_c t \quad (1)$$

$$s(t) = A_s \cos \omega_s t \quad (2)$$

振幅変調理論⁸⁾から、振幅変調波 $m(t)$ は次式のように与えられる。

$$m(t) = [A_c + s(t)] \cos \omega_c t \quad (3)$$

さらに、変形して、

(a) Using a micro dc-dc converter

(b) Using an on-board dc-dc converter

(c) Using a semiconductor series regulator

Fig. 10 Fundamental spectrum of the signal voltage and amplitude modulation components in the final stage (AM4) of the CMOS logic circuit.

Fig. 11 Amplitude modulation circuit using a triode.

$$m(t) = A_c \cos \omega_c t + \frac{1}{2} k A_c \cos(\omega_c + \omega_s) t + \frac{1}{2} k A_c \cos(\omega_c - \omega_s) t \quad (4)$$

となる。ここで、 k は変調度であり、次式で示される。

$$k = A_s / A_c \quad (5)$$

(4)式において、右辺第一項は搬送波、第二項は上側波帯、第三項は下側波帯を表す。上記は一般的な振幅変調の式として知られているが、ここで対象とする DC-DC コンバータを電源とする CMOS ロジック回路では、電源ノイズがクロック信号を搬送波として振幅変調されるものと考えられる。

5.2 CMOS ロジック回路における電源ノイズの振幅変調

ここでは、簡単のために、搬送波 $c(t)$ としてクロック信号の基本波成分に着目し、(1)式で表されるものとする。Fig. 9 に示したように、DC-DC コンバータの電源ノイズにはスイッチング周波数 f_s の成分のみならず、高調波成分も含む。そこで、電源ノイズ $n(t)$ を次式のように表現する。

$$n(t) = \sum A_{si} \cos(i\omega_s t + \phi_i), \quad i = 1, 2, 3, \dots \quad (6)$$

ここで、 A_{si} は i 次高調波ノイズの振幅、 ϕ_i は位相である。また、 $\omega_s = 2\pi f_s$ である。この場合の変調信号 $m(t)$ は、

$$m(t) = [A_c + n(t)] \cos \omega_c t \quad (7)$$

となり、さらに変形すると、

$$m(t) = A_c \cos \omega_c t + A_c/2 \sum k_i \cos\{(\omega_c + i\omega_s) t + \phi_i\} + A_c/2 \sum k_i \cos\{(\omega_c - i\omega_s) t - \phi_i\} \quad (8)$$

となる。ここで、 k_i は i 次高調波ノイズの振幅変調度を示す。

$$k_i = A_{si} / A_c \quad (9)$$

DC-DC コンバータの電源ノイズがクロック信号によって振幅変調されると、クロック信号のスペクトラムを中心に高調波ノイズ成分が複数の上下側波帯として現れることになる。このときの i 次高調波ノイズの側波帯振幅 S_i は、

$$S_i = k_i A_c / 2 \quad (10)$$

と表される。

5.3 カスケード接続 CMOS ロジック回路における電源ノイズの振幅変調

複数の CMOS-IC がカスケードに接続され、全ての CMOS-IC が同一の DC-DC コンバータで駆動される場合、1 段目の CMOS-IC は振幅変調された側波帯電源ノイズスペクトルを有する信号を出力し、それが 2 段目の CMOS-IC の入力信号となる。2 段目の CMOS-IC の入力信号には、1 段目 IC によって生成された側波帯電源ノイズスペクトルが含まれ、これが搬送波となってさらに電源ノイズが振幅変調されて信号が出力されることになる。このように、CMOS ロジック IC をカスケードに接続する場合、電源ノイズの振幅変調が多重に発生することになる。

Fig. 7 で示した実験回路において、水晶発振器を有するク

ロック発生回路は CMOS-IC を含み、図中の AM1 点において既に電源ノイズの振幅変調が起こる。AM1 点における振幅変調波 $m_1(t)$ が次段の CMOS-IC の入力クロック信号となる。そこで、(7)式を用いて $m_1(t)$ を次のように表現する。

$$m_1(t) = M_1(t) \cos \omega_c t \quad (11)$$

ただし、 $M_1(t)$ は変調波の振幅であり、

$$M_1(t) = A_c + n(t) \quad (12)$$

と表される。次段の CMOS-IC 出力における変調波 $m_2(t)$ は、

$$m_2(t) = [M_1(t) + n(t)] \cos \omega_c t \quad (13)$$

となり、さらに変形すると、

$$m_2(t) = A_c \cos \omega_c t + A_c \sum k_i \cos\{(\omega_c + i\omega_s) t + \phi_i\} + A_c \sum k_i \cos\{(\omega_c - i\omega_s) t - \phi_i\} \quad (14)$$

となる。このときの i 次高調波ノイズの側波帯振幅 S_{2i} は、

$$S_{2i} = k_i A_c \quad (15)$$

と表される。1 段目の変調波出力の高調波ノイズ側波帯振幅 S_{1i} は (10) 式に等しく、2 段目の側波帯振幅 S_{2i} は S_{1i} の 2 倍になる。

複数の CMOS-IC がカスケードに接続される場合、 j 段目の変調出力における高調波ノイズ側波帯振幅 S_{ji} は、

$$S_{ji} = j k_i A_c / 2 \quad (16)$$

となり、電源高調波ノイズの側波帯振幅 S_{ji} は CMOS ロジック回路の段数 j に比例して増大していくことになる。

5.4 カスケード接続 CMOS ロジック回路における電源ノイズの側波帯振幅

本研究で用いたカスケード接続 CMOS ロジック回路に上記の多重振幅変調を適用して、電源ノイズの側波帯振幅 S_{ji} を計算するとともに実測値との比較を試みた。計算に用いた各パラメータを Table 3 に示す。ここでは、簡単のために、振幅変調の搬送波としてクロック信号の基本波のみに着目し、また、DC-DC コンバータの各高調波ノイズ成分の振幅 A_{si} は Fig. 9 の実測値を用いた。ここでは、煩雑さを避けるために、電源ノイズの高調波成分として振幅の大きいスイッチング周波数 f_s の成分と 2 倍周波数 $2f_s$ の成分のみを抽出して示してある。

Fig. 12 は、CMOS ロジック回路の AM1~AM4 の観測点における電源ノイズの側波帯振幅の推移をプロットしたものである。同図(a)はマイクロ電源を使用した場合、(b)は汎用オンボード電源を使用した場合を示し、●と■が実測値である。マイクロ電源の場合、スイッチング周波数 f_s と同一の周波数を有するノイズ成分は十分に小さく、CMOS ロジック回路の最終段 AM4 点においてもその側波帯は暗ノイズに埋もれ観測されなかった。(Fig. 10(a) 参照)。Fig. 12 では、 $f_c \pm 2f_s$ のデータのみプロットした。図中の○と□は Table 3 の各パラメータと(16)式を用いた S_{ji} の計算値であり、次式を用いて dB μ V の単位に換算した。

$$S_{ji} = 20 \log_{10} (j k_i A_c / 2) \quad [\text{dB } \mu \text{ V}] \quad (17)$$

ただし、 A_c の単位は μ V として計算する。

Table 3 Parameters for estimation of sideband noise amplitude.

Carrier signal $c(t)$; Fundamental component of clock signal, Amplitude A_c ; 2.1 V, Frequency f_c ; 50 MHz				
Power supply noise $n(t)$	Micro dc-dc converter		On-board dc-dc converter	
	Amplitude	Frequency	Amplitude	Frequency
	$A_{s1} = 141 \mu V$ ($k_1 = 6.71 \times 10^{-5}$)	$f_s = 1.7 \text{ MHz}$	$A_{s1} = 3550 \mu V$ ($k_1 = 1.69 \times 10^{-3}$)	$f_s = 570 \text{ kHz}$
	$A_{s2} = 447 \mu V$ ($k_2 = 2.13 \times 10^{-4}$)	$2f_s = 3.4 \text{ MHz}$	$A_{s2} = 665 \mu V$ ($k_2 = 3.17 \times 10^{-4}$)	$2f_s = 1.14 \text{ MHz}$

k_1 and k_2 are the calculated modulation factors by using Eq. (9).

Fig. 12 Power supply AM noise spectrum amplitude observed at AM1, AM2, AM3, and AM4 points in a CMOS logic circuit.

Fig. 12 から, CMOS ロジック回路における観測点が AM1 から順次後段に至るに連れて, 電源の高調波ノイズ側波帯振幅が増大していくことが了解される. 計算値と実測値のずれは最大で $5 \text{ dB } \mu V$ 以上の場合もあるが, 全体の傾向は良く一致している. また, マイクロ電源はそれ自身の電源ノイズが小さいため, 振幅変調されたノイズスペクトルも小さく抑えられ, CMOS-IC を多段接続してもその影響は汎用オンボードコンバータに比べて遥かに小さいと言える.

5.5 マイクロ電源における低ノイズ性

ここでは, マイクロ電源の低ノイズ性について若干の考察を行う. 一般に, ハードスイッチング方式 DC-DC コンバータでは, スイッチング周波数が高周波化されるほど発生するノイズは大きくなることが知られている. マイクロ電源は 1.7 MHz という超高周波スイッチングが行われているにも関わらず, 570 kHz スイッチングの汎用オンボード電源に比べて遥かに低ノイズである. この理由は以下に示す 2 点にあるものと考えられる.

(1) インダクタ構造の違い

Fig. 3 で示したように, マイクロ電源は主磁束が Ni-Zn フェライト板を通る扁平閉磁気回路を有するインダクタを採用しており, インダクタからの漏れ磁束は LSI 表面において十分に小さくなることが Fig. 5 で示されている. これに対して, 比較に用いた汎用オンボード電源では, 開磁路型バルクフェライトインダクタを用いているため漏れ磁束が広範囲に分布し, 誘導ノイズを発生しやすい.

誘導ノイズに対して閉磁路構造磁気素子が有利であることは一般的に当然の帰結であるが, マイクロ電源の場合には, 磁気素子と LSI が近接されて一体化されるために, 漏れ磁束の影響は一層深刻である. 内部コイル型磁性薄膜インダクタをモノリシックに集積したマイクロ電源に対して, 筆者らの一部が行った交流磁界解析によれば⁹⁾, 薄膜インダクタからの漏れ磁束が LSI 内部配線に無視できない誘導ノイズを発生することが示されている. これをローカル EMI 問題と呼んでいる. 内部コイル型磁性薄膜インダクタでは磁性薄膜面内を通る磁束だけでなく, 垂直方向磁束成分を有し, これが局所的な漏れ磁束を発生する要因であると考えられる. 今回実験に供したマイクロ電源に用いられているインダクタは, Ni-Zn フェライト基板の面内を主磁束が通る扁平磁気回路を有するために, 漏れ磁束が相対的に少なくなるものと考えられる.

(2) 主回路の配線インダクタンス

メインスイッチならびに同期整流スイッチに用いている FET は 1.7 MHz で高速スイッチングするため, スイッチ ON ならびにスイッチ OFF 時におけるドレイン電流のスルーレート (di/dt) が極めて大きい. 主回路配線の寄生インダクタンスを L_p とすると, スイッチ ON ならびに OFF 時に $L_p(di/dt)$ なるサージ電圧を発生し, スイッチングノイズの原因となる. マイクロ電源では, 主回路配線が LSI 内部に集積されるため配線長が短く, 配線インダクタンスを小さく

くできる。加えて、フェライトインダクタとの接続に金スタッドバンプを用いていることも配線インダクタンスの低減に繋がっている。

ここでは詳述しないが、電源ノイズに対して回路アースの配線インダクタンスの影響が大きいことが P-SPICE を用いたシミュレーションによって明らかになっている。アース配線のレイアウトや配線長の違いから、マイクロ電源のアース配線インダクタンスは汎用オンボード電源のそれより 1 桁以上小さい 1 nH 以下であり、このこともマイクロ電源の低ノイズの重要な要因になっているものと考えられる。

6. まとめ

Ni-Zn フェライトインダクタを集積したマイクロ電源の CMOS-IC 負荷における電源ノイズの振る舞いについて実験的検討を行った。以下に、得られた結果を要約して示す。

(1) DC-DC コンバータの電源ノイズが高周波ロジック信号を搬送波として振幅変調され、電源ノイズの周波数スペクトルがロジック信号スペクトラムの近傍に側波帯として現れる。

(2) 多段カスケード CMOS ロジック回路を同一の DC-DC コンバータで駆動した場合、電源ノイズの多重振幅変調が起こり、クロック信号の側波帯として現れる電源ノイズスペクトル振幅はカスケード段数によって増大していく。

(3) マイクロ電源は、漏れ磁束の少ない平面閉磁気回路構造インダクタを有すること、主回路配線インダクタンスが小さいことなどの理由のために電源ノイズが小さく、多段カスケード接続された CMOS-IC からなるロジック回路を負荷としても電源ノイズの振幅変調現象の影響は小さい。

以上のように、マイクロ電源は超小型という特徴に加え、高速ボード上のローカル電源として用いた場合、高周波信号伝送に与える影響が小さく、EMC 性能に優れていると言える。

電源ノイズの振幅変調現象の具体的な影響については、今後詳細な検討を行う予定である。一例として、高周波キャリア型磁界センサの直流電源に DC-DC コンバータを用いた場合、センサのキャリア信号に振幅変調された電源ノイズが重畳し、磁界信号成分の分離が困難になる可能性があることを付記する。

謝辞 本研究を遂行するにあたり、ご協力をいただいた発紘電機(株)の HMI 開発部設計課諸氏ならびに富士電機(株)の伊藤広治氏に深謝する。また、実験データに対して有益なご意見ご討論を賜った、富士電機(株)第一開発部の天野彰氏に感謝する。

文 献

- 1) K. Shirai, K.-I. Arai : Micromagnetic devices, pp.31-45, Kogyo Choosakai (1992).
- 2) Committee of Magnetism, IEEJ : Fundamentals of Magnetism and Applications, pp.160-161, Corona-Sha (1999).
- 3) K. Harada : Handbook of Switching Power Supplies, 2nd Edition, pp.393-406, Nikkan Kogyo Shinbun-Sha (2000).
- 4) Z. Hayashi, S. Sugahara, M. Edo, Y. Katayama, Y. Furuta, K. Matsuzaki, E. Yonezawa: *J. of Magn. Soc. of Japan*, **25**, 8, pp.1457-1461 (2001).
- 5) Z. Hayashi, Y. Katayama, M. Edo, H. Nishio : *Digest of INTERMAG Conf.*, FC-04 (2003).
- 6) S. Shoyama : '02 Symposium of Switching Power Supply Systems, C-4, Nihon Noritsu Kyokai (2002).
- 7) K. Nishijima : 2000 Hokuriku Branch Conference of Denki Kankei Gakkai, C-69 (2000).
- 8) Y. Amamiya, N. Koshiba, Y. Ueda : Oscillation, Modulation and Demodulation Circuits, pp.58-77, Ohm-Sha, (2001).
- 9) T. Sato, H. Horiuchi, and K. Yamasawa: *Digest of INTERMAG Conf.*, EV-03, (2002).

(2003 年 5 月 16 日受理, 2003 年 7 月 16 日採録)