図3
4 μm 周期
イオン打込
み素子¹¹⁾.

は、1 μm 以下のサブミクロンプロセスが必要である。通常の紫外光より波長の短い短波長紫外光（波長2500～3000Å）による密着露光¹⁴⁾や水銀の*i*線（波長3650Å）を用いた縮小投影露光による0.5 μm ～0.7 μm 幅のイオン打込み素子用転送路パターン形成の報告がある¹⁵⁾。これはビット周期2 μm 、ビット密度16 Mb/cm²の素子が将来実現することを示している。これらと並行してX線露光によるサブミクロン形成の研究が精力的に進められている¹⁵⁾。0.5 μm 以下のパターン形成も将来実現すると思われる。

高密度イオン打込み素子形成には、上述の微細加工技術と並んでイオン打込み技術が必須であるが、米納氏の紹介に詳しいので省略する。

4. ま と め

以上、バブル材料とプロセスの現状と将来を簡単に紹介した。バブルメモリが、競合する他のメモリとの競争に打ち勝って飛躍的に発展する鍵は、サブミクロンバブルおよびプロセスを利用して超高密度素子を実現することにある。そして上に述べたように、4～16 Mb/cm²の素子は近い将来実現し、64 Mb/cm²の素子も十分可能性がある。

素子の高密度化とともに、バブルメモリはマイクロコン・端末機器、NC、電子交換機など様々の分野で高信頼・小型ファイルメモリとして、大々的に利用されるようになると思われる。

〔参 考 文 献〕

- 1) S. L. Blank and J. W. Nielsen: J. of Crystal Growth, **17**, 302 (1972).
- 2) N. Ohta, T. Ikeda, F. Ishida and Y. Sugita: IEEE Trans. Magn., **Mag-16**, 610 (1980).
- 3) N. Ohta, T. Ikeda *et al.*: to be published in IEEE Trans. Magn.
- 4) J. T. Carlo, D. C. Bullock *et al.*: AIP Conf. Proc., **29**, 105 (1975).
- 5) E. A. Giess and R. J. Kobliska: IEEE Trans. Magn., **Mag-14**, 410 (1978).
- 6) Y. Hosoe, N. Ohta, Y. Sugita: Abstracts of 19th Intermag. Conf. Grenoble (1981).
- 7) R. Wolfe *et al.*: Appl. Phys. Lett., **29**, 815 (1976).
- 8) W. T. Stacy *et al.*: Appl. Phys. Lett., **29**, 817 (1976).
- 9) 日谷比, 牧野, 小西: 昭56年度信学会予稿 1-205 (1981).
- 10) A. G. H. Verhulst *et al.*: Digests of Interimag. Conf. 1981, Grenoble, 3-2.
- 11) N. Tsumita *et al.*: Abstracts of ICMB-4, 41 (1980).
- 12) J. P. Reekstin and R. Kowalchuk: IEEE Trans. Magn. **Mag-9**, 485 (1973).
- 13) Y. Sugita *et al.*: Abstracts of ICMB-3, 23 (1979).
- 14) B. J. Lin: J. Vac. Sci. Technol., **12**, 1317 (1975).
- 15) D. Hofer *et al.*: J. Vac. Sci. Technol., **16**, 1968 (1979).
- 16) 日立技術展 (1980).

展望

磁気バブル

バブルメモリのチップ構成 Bubble Memory Chip Organization

藤原正三

日本電気株式会社基礎技術研究所

Shozo Fujiwara

Basic Technology Research Laboratories, Nippon Electric Co., Ltd.

Magnetic bubble memory chip capacity has increased rapidly and a 1 Mb chip is now available. As chip capacity increases, average access time increases,

because bubble memory is originally a sequential access memory.

In order to improve the low access time, various

kinds of chip organization have been devised and developed, such as M/m loop organization, 2M line-m loop organization with block replicator and bidirectionally propagating fast access chip.

A new chip organization, called on-chip-cache organization, was developed, which has 1/17~1/61 higher access time than that of a conventional organization. Chip design, data control method and organization effectiveness are shown, together with a new kind of housekeeper.

Finally, the organization trend for a large capacity chip, larger than 1 Mb, will be discussed.

1. ま え が き

磁気バブルメモリの大容量化は急速に進み、既に1 Mb チップが実用化され、4 Mb チップを目指しての研究開発が進められている。この推進力になっているのは、ビット当りのコスト低下の要請である。

バブルメモリは本来シーケンシャルアクセスのメモリであるので、チップ容量の増大とともにアクセス時間、サイクル時間が長くなる傾向を持つ。したがって大容量化によるコスト低下が実現しても、性能が大幅に低下し性能コスト比が上がりかねれば、バブルメモリの応用範囲は著しく制限されてしまうことになる。

アクセス時間を短くするには、一つには駆動周波数を上げる方法があり、たとえば二層導体による電流駆動方式¹⁾はその一つの有力な方法である。他の方法は、チップの構成を工夫することにより、アクセス時間、サイクル時間を短くする方法である。

本稿では、後者の方向でのこれまでの発展経過を概観

し、筆者らの最近開発した on-chip-cache 方式のチップ構成について詳しく述べる。また今後の一層の大容量化に伴って、素子構成はどうあるべきかを考えてみたい。

2. バブルメモリのチップ構成

最も簡単なバブルメモリのチップ構成は、一つの発生器、消去器および検出器をもつ単ループ構成である。この構成では、大容量化によりループ長が長くなるほど、それに比例してアクセス時間も長くなる。これを回避するには、短いループを多数構成し並列に駆動すればよいが、端子数、周辺回路の大幅な増加を来たしてしまう。

この欠点をなくすには、必要なループを選択的に取り出せばよい。素子内の一定ブロックの情報を選択する方法として、一つは空間選択型の一つであるデコーダ方式に基づくチップ構成があり²⁾、他は時間選択型の一つである M/m 構成に基づくチップがある³⁾。前者はチップ構成が複雑である割には性能が向上しないので、現在では後者の構成を改良したものが専ら使われている。

M/m 構成の基本型を図1(a)に示す⁴⁾。re-entrant な M ループに、ゲートを介して多数の m ループが繋がっている。この方式では、読み出された情報を元の m ループに戻ってしまうまで次の動作に移れないため、サイクルタイムが長くなってしまう。

上記の欠点を改善したのが、block-replicate を使った 2 Mライン-m ループ構成である⁵⁾ (図1(b))。これは書き込みトラックと読み出しトラックとを分離し、m ループの両端につけたものである。block replicator は m ループ内の情報のコピーがとれるので、Mラインで読み出されたバブルを元に戻す必要はない。またMラインがクリアされると直ちに次の動作に移ることができ、サイクル時

図1 バブルメモリの各種チップ構成。

Various kinds of bubble memory chip organization.

G: Generator, D: Detector, Tr: Transfer Gate, R/A: Replicator/Annihilator, BR: Block Replicator, A: Annihilator, S: Swap Gate, R/S: Replicator/Swap

- (a) Major-minor loop.
- (b) 2 Major line-minor loop with block replicator.
- (c) New organization with housekeeping loop by Bonyhard.
- (d) Bidirectional propagation chip organization.

間、データレートの上をもたらし。

この方式が現在最も広く使われている方式であるが、パプルの微小化、大容量化に伴って、block replicator の電圧が高くなり、問題となってくる。Block replicator を使わない魅力的提案として Bonyhard の提案した構成がある⁶⁾。この方式は性能もよく、欠陥情報対策、電源断対策も有効に行なうことができる (図 1 (c))。

磁気パブルメモリーの一つの特徴として、順逆両方向にシフトできる特性がある。この特徴を生かして平均のアクセス時間を短くする工夫をしたのが、dynamic ordering と呼ばれる方式である⁷⁾。この方式は、最も新しくアクセスされたデータが、次にもアクセスされる確率が高いと云う事実に基づいており、最近にアクセスされたデータを自動的に I/O ポートの近くに停止されるよう構成したものである。この方式を具体的に実現した例はないが、筆者らは同様な原理を M/m ループ構成に適用した⁸⁾。この方式は最近にアクセスしたデータを m ループの出入口近くに停止させ、データの位置により順または逆方向に駆動し、短時間に M ループにトランスファーする方式である (図 1 (d))。この方式により、通常の場合に比べてアクセス時間は 1/5 以下に短くなる⁹⁾。

情報のアクセスのされ方は、使われる装置、ソフトウェアにより異なるが、多くの場合ランダムに行なわれることは少なく、アクセス回数の多いものと少ないものとが存在する。すなわちデータの locality があるのが普通である。この点を考慮して到達した一つのチップ構成が以下に述べる on-chip-cache 方式のチップ構成である。

3. On-Chip-Cache 方式のチップ構成

3.1 動作原理

図 2 に on-chip-cache 方式のチップ構成を示す¹⁰⁾。同一チップに 2 レベルの記憶階層を構成したメモリ領域を設け、アクセス頻度の高いデータブロックを cache 領域に、低いデータブロックを storage 領域に格納する。

図 2
On-chip-cache
方式のチップ
構成。
On-chip-cache
M/m organi-
zation.

図 3
TS ゲー
トの制御
モード。
Control
mode of
true swap
gate.
(1) On demand swap mode
(2) Constant sequence swap mode
(a) TS gate OFF state
(b) State just before TS gate ON
(c) State just before TS gate OFF

storage 領域に格納されたデータを読み出すには、cache 領域と storage 領域を結んでいる true swap gate (TS ゲート) をオンにして cache 領域に移した後に、通常の方法で読み出す必要がある。

cache 部分の R/W 動作のアクセス時間またはサイクル時間を T_1 として、要求データブロックを storage 領域から cache ループに移動させる平均時間を T_2 として、見掛け上のアクセス時間またはサイクル時間 T_0 は

$$T_0 \cong T_1 + (1-h)T_2$$

となる。ここで h は要求データブロックが cache 領域に見つかる確率 (hit ratio) である。 $h \cong 1$ であれば $T_0 \cong T_1$ となり、cache ループのみからなる M/m 構成と見なすことができ、 T_0 は小さくなる。cache 部分と storage 部分とのビット数の比は、 h をできるだけ大きく、しかも T_1 を短くするように決める必要がある。1 Mb チップでは cache ループを 128 ビット、storage ループをその 32 倍の 4096 ビットに選んである。

3.2 制御方式¹¹⁾

本方式は通常の制御方式に加えて、cache-storage 間のデータのやりとりを制御する方法および回路が必要である。いま cache ループ全体 (セグメントと呼ぶ) を単位として入れ換えることを考える。図 3 (a) のようなデータの配置でセグメント C を cache ループに入れる場合、一つは C が TS ゲートのところに来た時に TS ゲートをオンにして A と C とを入れ換える方法であり、他はデータセグメントが ABCDE の順に並んだ時にオンにして A と C を入れ換える方法である。前者は入れ換え時間は短くなるが、データ状態の遷移が複雑で制御が大変である。これに対し後者は、TS ゲートに電流を流す時間が長く、入れ換え時間がかかるが、セグメントの順序が一定しているのでアドレス制御が容易である (図 3)。実用

表 1

On-chip-cache 方式 1 Mb バブルメモリの性能. Performance of on-chip-cache 1 Mb bubble memory chip. ($f=100$ kHz)

TS gate state		ON (on-chip-cache)	OFF (conventional)	Ratio
Access time	Random read in segment	1.28 ms	21.76 ms	1/17
	Random write in segment	1.28 ms	60.16 ms	1/47
	Sequential read	1.04 ms	39.44 ms	1/38
	Sequential write	0.64 ms	39.04 ms	1/61
Cycle time	Random read in segment	4.08 ms	24.56 ms	1/6
	Random write in segment	4.08 ms	63.36 ms	1/15.5
	Sequential read	3.84 ms	42.24 ms	1/11
	Sequential write	3.84 ms	42.24 ms	1/11
Data rate (sequential R/W)		145.8 Kb/sec	13.3 Kb/sec	11

めには後者を採用している。

セグメントの一部の入れ換えも同様に可能である。具体的に定配列スワップを行なうためのアドレス制御回路は、従来のアドレス制御回路を僅かに修正するのみであり、レジスタ、カウンタ、比較器のみで構成できるので問題はない¹¹⁾。

3.3 On-Chip-Cache 方式の効果

表 1 に on-chip-cache 方式と従来チップ構成 (TS ゲートのオン状態に対応) との特性を比較してある。必要とする情報の大きさ、アクセスの仕方によりその特性は変わってくるが、ここではセグメント内 (cache ループ内) でのランダムアクセスの場合と、cache ループのデータを順次アクセスする場合を考える。表に示されているように、本方式ではアクセス時間は 1/17~1/61、サイクル時間は 1/6~1/11 に短くなっている。順次アクセスの場合には、アドレス変換を行なえば読出しプロセスは通常方式も on-chip-cache 方式も変わらないが、書込み動作に対してはかえって長くなること、および制御が非常に複雑になることは避けられない。

アクセス時間の減少は、データの入出力を伴わない回転磁界の駆動時間を減らすことになり、データレートも向上する。逆にデータレートを従来のものと同じにすると、駆動電力の消費量を減らす効果をもつことになる。またサイクル時間が短いことは、電源断時の情報の避難も容易に行なうことができるという特徴をもたらす。

3.4 新ハウスキーパ方式

欠陥 m ループの位置、電源断時のアドレス位置を知るために、一般にハウスキーピング・ループが使われている。通常は m ループの一部を独立にして使うが、ここでは新しく 1 ビットの m ループからなる M/m 構成を、on-chip-cache 構成の逆方向に配置する構成をとった。各 m ループは、対応する on-chip-cache ユニットの対応

する m ループの欠陥情報を書き込んであり、cache 部のデータをアクセスする都度、ハウスキーパも並行に動作させ、欠陥情報の有無をみながら R/W の制御を行なう。

この構成では、常に先頭から短時間で欠陥情報が読めるので、従来のハウスキーパと異なり、チップ外に欠陥情報を格納しておくためのレジスタが不要となり、制御回路も簡単になる。

4. 今後の展望

バブルメモリは用途により、必要とされるデータ長、データレート、アクセス時間が異なり、またデータのアクセスのされ方も異なってくる。種々の用途に対する要求をまとめてみると¹²⁾、順次アクセス R/W 動作への要求が最も多いが、SATF アクセス¹³⁾やセグメント内のランダムアクセスの R/W 動作の要求もある。バブルメモリの用途をできるだけ拡大するには、これらの諸動作に対し高いデータレートを維持できることが必要である。

上記の要求に対する素子構成の一つは、1 チップ内に複数個の M/m ループを作り、並列に駆動する方向である。筆者らは以前、4 つの M/m ループを 1 チップに入れ、これらを並行に書き込むと同時に、二つの M/m ループを組にして、1 サイクルに 2 ビット読み出す方式 (0~ π 検出方式) を採用してデータレートを高めた¹³⁾。この種の多数の M/m 構成を並列に駆動する方式は、大容量化の進展とともに使われることが予想される。本年のインターマグでも、512 Kb の M/m 構成 8 個を BYTE パラレルに読み出す 4 Mb チップが報告されている¹⁴⁾。

他の方向は本稿で詳しく報告した on-chip-cache 方式の採用である。on-chip-cache 方式には、ここで述べた方式のみでなく、M ループを長くしてこれを cache として使う方向も可能である¹⁵⁾。ただしこの場合には、M ループとストレージループとが独立に動作できることが重要であり、この意味で、フィリップスより提案されたチップ構成は注目に値する¹⁶⁾。

現在最も高密度化が可能とされ、強力に開発が進められているものに contiguous disc デバイスがある。この方式は高密度化には適しているが、パーマロイドデバイスで使われているリプリケータ、スワップゲートなどの各種機能部の開発が未だ充分ではなく、したがってチップ構成も比較的単純なものに限られてしまう。今後新しい機能部が設計でき、パフォーマンスが向上したチップ構成ができるかどうか、一つの鍵を握っている。

バブルメモリは本来、双方向に駆動できる。この特徴を生かすことも考える必要がある。これは M/m 構成と両立し得るものであるので、この方式を入れればさらに性能の向上が期待できる。

素子構成は、要は周辺回路を含めた簡素な設計とアクセス時間、データレートなどの性能をどうマッチさせるかにある。性能的に優れた素子構成が早く標準化され、ユーザーとして使い易いバブルが実現されることが望まれる。

【参考文献】

- 1) A. H. Bobeck, S. L. Blank, A. D. Butherus, F. J. Ciak and W. Strauss: B.S.T.J., **58**, 1453 (1979).
- 2) H. Chang, J. Fox, D. Lu and L. L. Rosier: ISSCC Digest of Tech. Papers, 7-6 (1971), and IEEE Trans. on Magn. **MAG-8**, 214 (1972).
- 3) P. I. Bonyhard, I. Danylchuk, D. E. Kish and J. L. Smith: IEEE Trans. on Magn., **MAG-**

- 9**, 447 (1970).
- 4) P. I. Bonyhard, J. E. Geusic, A. H. Bobeck, Y. S. Chen, P. C. Michaelis and J. L. Smith: IEEE Trans. on Magn., **MAG-9**, 433 (1973).
- 5) Y. E. Ypma, I. S. Gergis, and J. L. Archer: AIP Conf. Proc., No. 29, 51 (1975).
- 6) P. I. Bonyhard: J. Appl. Phys., **50**, 2213 (1979).
- 7) W. F. Beausoleil, D. T. Brown and B. E. Phelps: IBM J. Res. & Develop., **16**, 587 (1972). P. I. Bonyhard and T. J. Nelson: 1972 INTERMAG, 58-3 (1972).
- 8) A. Morimoto, H. Urai, K. Yoshimi and S. Fujiwara: IEEE Trans. on Magn., **MAG-15**, 1712 (1979).
- 9) 山田, 村上, 大野: 昭和 51 年度電子通信学会総合全国大会, 1346 (1976).
- 10) H. Kohara, K. Takahashi, S. Suga and S. Fujiwara: ICMB-4, D-3 (1980).
- 11) 高橋, 小原, 菅, 藤原: 信学技報, EC 80-48 (1980).
- 12) P. I. Bonyhard, and F. B. Hagedorn: IEEE Trans. on Magn., **MAG-14**, 37 (1978).
- 13) 藤原, 山内, 吉見: 信学技報, CPM 75-109 (1976).
- 14) P. K. George, H. S. Gill, R. H. Norton, G. F. Reyling and A. M. Tuxford: 1981 Digests of INTERMAG Conf., 9-1 (1981).
- 15) P. K. George and G. Reyling Jr.: Electronics/August 2, 1979, pp. 99-108.
- 16) E. H. L. J. Dekker, K. L. L. van Mierloo and R. de Werd: IEEE Trans. on Magn., **MAG-13**, 1261 (1977).

展望

磁気バブル

磁気バブルメモリの応用

Application of Magnetic Bubble Memory

八反田隆亜, 布谷正勝 日本電信電話公社 武蔵野電気通信研究所

Takatsugu Hattanda and Masakatsu Nunotani

Musashino Electrical Communication Laboratory, Nippon Telegraph and Telephone Public Corporation

The magnetic bubble memory has advantages in regard to nonvolatility and high reliability originating from its no moving parts structure. The bubble memory has been applied so far in a defined field such as data terminal, voice announcement system and electronic switching system, where these advantages are essential. Recently, bubble memory boards have been placed on the market aiming at extension to the data

processing field. Subjects for a future effort are further improvement in chip integration and significant increase in market size, because the bubble memory is rather more expensive than large scale MOS RAM and floppy disk. Device standardization and LSI support circuits would be additionally required for market improvement.