解 説

超並列・超高速ワンチップビジョンとその応用

Massively Parallel and Ultra-high Speed Vision Chip and Its Applications

石 川 正 俊* *東京大学工学部

Masatoshi Ishikawa* *Faculty of Engineering, University of Tokyo

1. は じ め に

人間の視覚系では階層的並列処理が行われており、大腦における高次の処理機構とともに、網膜における光の受容器の直後でも、神経細胞による完全並列の演算処理が行われている。

工学的な視覚センサは、生体とは違って、情報の効率的な伝送のための走査機構が用いられている。この走査機構は、並列の配線が難しい工学的なシステムで各検出器からの情報を少ない本数の通信路で伝送するのに適しているが、その伝送速度には限界が存在する。つまり、テレビカメラと画像処理装置の組み合わせを基本とする現状のビジョンシステムでは、ビデオ信号の制約、すなわち1フレーム1/30秒が速度の限界になっている。従って、たとえどんなに高速の処理装置を用いたとしても、1/30秒以下の高速な処理はビデオ信号の速度の制限により実現できない。

ところが、視覚から得られる情報は一般に情報量が膨大で、視覚センサとアクチュエータの間でフィードバックループを形成するような場合には、ビデオ信号(33[ms])では間に合わず、アクチュエータ系の制御のサイクルタイム(100[μs]から1[ms]程度)での検出・処理が必要となる。これを実現するためには、ビデオ信号の制約にとらわれぬ視覚情報処理システムを開発する必要がある。

もともと視覚センサの入力は光学的に並列であることを考えると、情報の入口であるセンサに並列処理回路を組み込めば入出力を含めて完全に並列な処理が可能となり、従来に比べて高速のビジョンシステムを実現することができる[1]。しかし、このようなアーキテクチャは大規模な回路をワンチップに集積化するため、従来は非現実的と考えられてきた。ところが、近年の半導体集積化技術は、多少回路に工夫を加えれば実用的な規模の並列処理回路をもワンチップ化可能とするレベルに達している。

そこで本論文では、このような超並列タイプの処理回路を光検出器と一体化し、超高速のワンチップビジョンを実現しようとする試みを紹介する。とくに、アナログの固定回路ではなく、汎用のプロセッシングエレメントを集積化するための演算アーキテクチャについて解説する。

2. 超並列ビジョンアーキテクチャ

本稿で紹介するアーキテクチャは、検出デバイスと汎用プロセッシングエレメント(PE)を1対1に接続させたものであり、2次元情報の入力に走査機構を用いないため、検出デバイスの情報を高速に入力・処理することができる。

ところが、このような走査を前提としない処理系では、光検出器をプロセッシングエレメントアレイと別チップで製作すると、それらの間の配線が膨大となり、実質的に実現不可能になってしまう。これを避けるには、光検出器とプロセッシングエレメントを一体化し集積化することが不可欠である。ワンチップビジョンの概念図を図1に示す。

2.1 従来のアプローチ

並列処理を用いたビジョンチップの実現に向けた研究として、現在までに提案されているものは、ニューラルネットワークからのアプローチ、光コンピューティングからのアプローチ、3次元ICからのアプローチ等である。

ニューラルネットワークからのアプローチの代表例には、Meadらによるシリコンチップ上に光検出器と演算器を一体化した“シリコン網膜”がある[2]。これは、生体の網膜における検出器と検出器直後の処理機能をシリコンチップ上の回路として実現したものであり、光検出器、抵抗ネットワーク、演算増幅器等が一体化されているアナロ

図1 ワンチップビジョンシステムの概念図

原稿受付 1995年1月31日

キーワード: Massively Parallel Processing, High Speed Vision, VLSI Vision Chip, Visual Feedback, Early Vision

〒113 東京都文京区本郷7-3-1

*Hongo Bunkyo-ku, Tokyo

グ処理チップである。

同様の考え方は、MIT のビジョンチップ計画にも見られる[3]。ビジョンチップ計画では、1チップまたは複数チップを用いて、モーメント情報等を取りだそうとしている。

一方、2次元のパターン情報の処理には、光コンピューティングの利用が有効であり、汎用性を付与するためにはニューロコンピューティングの学習機能を利用することが可能である。このような2次元情報を直接処理する光ニューロコンピューティングシステムを学習機構も含めて実現した例として、Ishikawa らの光アソシアトロンがある[4]～[6]。

また、3次元ICからのアプローチも行われている。基本的には検出部と処理部を3次元構造をもつICで実現しようとするもので、実際に特定機能のものがいくつか開発されている[7]。

2.2 汎用性と集積化の両立

前述したアプローチは、集積化デバイス上での実現を念頭においているため、アナログの固定回路であり、汎用性も学習による汎用性にとどまっている。よりフレキシブルで能力の高い汎用性を備えた処理回路を実現するためには、並列処理回路として集積化の可能なコンパクトで汎用のPEを用いる必要がある。

しかし一方で、この並列演算処理機構を実現するためのPEとして、既存の汎用プロセッサ程度のものを想定すると、PEの回路規模が膨大なものになってしまい、多数のPEを同一チップ内に収めることが不可能となる。このため、演算の汎用性を損なうことなく回路規模の小さなPEを設計し、1チップ上に多数のPEを集積できるような並列処理アーキテクチャの開発が必要となる。すなわち、できる限りコンパクトな回路でいかにして汎用性を維持し、いかにして集積化と高速性を実現するかが設計の鍵となる。

2.3 スケールアップモデル：SPE-4k

このような条件を満たす超並列アーキテクチャとして、コンパクトなPEが設計され、実際に光入力を持つPEを

$64 \times 64 = 4,096$ 個並べた超並列システムSPE-4k (Sensory Processing Elements-4k) が試作され、動作実験が行われている[8]。SPE-4kは将来のワンチップビジョンを念頭においたスケールアップモデルであり、同時にソフトウェアの開発・検証システムとなっている[9]。

1) プロセッシングエレメント (PE)

SPE-4kで用いられている各PEは、フォトトランジスタ (PTR) による完全並列のセンサ入力を持ち、10[bit]のマイクロインストラクションにより、SIMD (Single Instruction stream and Multiple Data stream) 型の制御が行われている。PEの構造を図2に示す。パターン情報処理では、SIMD型の構造で十分な場合が多く、またマイクロインストラクションで直接制御することにより、回路をコンパクトに設計することが可能となる。

PEは3個のレジスタ、演算ユニット (AND, OR, EX-OR, 加減算)、乗算器から構成されている。このPEの特徴は、演算にビットシリアル演算を採用した点にある。この演算方法は下位ビットから順に演算を1ビットずつシリアルに行うもので、演算回路が1ビット分で済み、集積化に有利となっている。PE間のインターコネクションは、4近傍接続を採用した。

このようなアーキテクチャによりPEのゲート数を大幅に削減することができ、結局、一つのPEが337ゲート (2入力 NAND 換算) というコンパクトな回路で実現することができた。試作はCMOSゲートアレイを用いて製作され、インストラクションサイクルは100[ns]が実現されている。

2) SPE-4k

このPEを用いて、 $64 \times 64 = 4,096$ 個のPEをマトリクス状に配置した超並列演算処理機構SPE-4kを試作した。このSPE-4kの構成を図3に示し、システムの外観を図4に示す。

インストラクションの制御は、今回は簡便さの点から上位のCPUの平行I/Oから、直接インストラクションを送って制御する方法を採用した。これにより、システム

図2 PEの構造

図3 SPE-4kの構造

図4 SPE-4kの外観

の動作の確認やソフトウェアの開発がパソコンの上で実行でき、快適な開発環境が提供される。実際に集積化した段階では、何らかの形でプログラムをファームウェア化した構造が現実的であると思われる。

3) 処理例

開発した SPE-4k システムの性能の実証・評価のため、いくつかのプログラムを実行した。

まず、一般的な処理速度の目安として、8[bit]の整数加算を考えると、パソコンの I/O を用いている現在のシステム (I/O の速度に制限がありサイクルタイムは約10[μ s]) では、4,096個の PE 全体として32MOPS (Mega Operations Per Second) であるが、LSIの最高速度を実現するシステムを考えると3.2GOPS (Giga Operations Per Second) になる。

また、一般的な画像処理の実行時間を表1に示す。エッジ抽出、細線化処理、動物体検出、軌跡描画は、2値画像に対する論理演算であるが、ポアソン方程式、ラプラシアン、オプティカルフロー等は、内部演算は固定小数点演算である。また、細線化、ポアソン方程式、オプティカルフロー等は、収束演算で実現している。

2.4 特徴量抽出回路

ロボットの視覚フィードバック等への応用を考慮すると、パターンからパターンへの変換だけでは、最終的にフィードバックに必要となる情報、例えば位置情報等を得る

表1 SPE-4k の処理時間

処理内容	ステップ数	実行時間	
		現 在	最高速
エッジ検出 4 近傍	33	330[μ s]	3.3[μ s]
細線化 4 近傍	149	15[ms]	150[μ s]
動物体検出	7	70[μ s]	0.7[μ s]
軌跡	4	40[μ s]	0.4[μ s]
ポアソン方程式	125	250[ms]	2.5[ms]
スムージング	51	510[μ s]	5.1[μ s]
マッチトフィルタ	249	2.48[ms]	24.8[μ s]
ラプラシアン	84	840[μ s]	8.4[μ s]
オプティカルフロー	672	1.344[s]	13.44[ms]

図5 階層型並列ビジョンシステム

ために、走査が必要になってしまう。そこで、このようなパターン全体の積分量として得られる特徴量を抽出するための並列回路が提案されている。

パターン情報から並列処理回路で n 次モーメントを抽出する方法[10]やその方法の拡張として重心の位置に対する網膜上の座標系と外界の座標系とを学習によって一致させる方法[11][12]等が開発されている。

2.5 階層型並列ビジョンシステム

ここで設計された PE は汎用の PE であるが、内部レジスタが3個である点が汎用性の制約を生んでいる。つまり、本 PE は、正確には内部レジスタ3個で実行可能な演算のみしか実現できない。

そこで、このような制限を解消し、同時に2.4節の回路を親和性よく実現する方法として、光インターコネクションを用いた階層的システムが開発されている[13][14]。この概念図を図5に示す。

このシステムでは、PEに光入力ばかりでなく、面発光レーザーデバイス等の発光素子を接続し、書き換え可能なホログラムを用いて再構成可能なインターコネクションを実現している。すでに基本的なシステムが稼働しており、集積化に向けて、研究が進められている[13][14]。

3. VLSI ワンチップビジョン

山田らは、このような SPE-4k の設計思想に基づき、集積化に向けた新たな回路を開発することにより、光検出器と PE の一体化を実現した。図6にチップの外観を示し、図7に入力像と処理例を示す[15]。

このビジョンチップでは、光検出器、A/D変換器、PEからなるセルを $60 \times 60 = 3,600$ 個並べ、PE間通信機構とともに8[mm]角のチップに集積している。処理構造は

図6 VLSI ビジョンセンサの外観[15]

(a) 入力画像 (b) 処理画像

図7 VLSI ビジョンセンサの処理例[15]

SIMD, 近傍接続は4近傍である. 図7は, 4[bit]の画像の入力と微分処理を行った例である.

4. 応 用

このような超並列・超高速ビジョンシステムは, さまざまな場面での応用が期待されている. とくに, 高速のアプリケーションでは, 従来からビデオ信号の速度に対して不満が大きかった.

このような分野の代表例として, ①製品検査, 故障解析等において, 高速の対象物のパターンをリアルタイムで解析しようとする用途, ②工作機械やロボットの視覚フィードバック等において, 特徴パターンの位置制御を高速に行おうとする用途等が挙げられる. 前者の場合, 従来対象物を止めて検査していたものも動かしたままでの処理も可能となる.

また, 後者の場合, 現在のモーターの制御装置のフィードバックのサイクルタイムが1[ms]から100[μs]程度なので, それにあったフィードバック信号の生成が可能であり, 視覚情報の直接フィードバックが可能となる.

このような応用の実現を目指して, スケールアップモデルを用いた視覚フィードバックシステムが試作されている[16]. このシステムでは, パターンをトラッキングするシステムのフィードバックをサブミリ秒で実現している. さらに, 画像のサンプリングレートが上がることにより, 対象がフレーム間でほとんど動かないという仮定が成立するため, 従来の画像処理アルゴリズムより簡単な処理でさまざまな機能を実現できる可能性も指摘されている[17].

5. お わ り に

汎用のPEを用いた完全並列処理を実現する集積化ビジョンチップのアーキテクチャについて述べ, いくつかの処理例とともに現状について解説した. 集積化の容易な完全並列処理を実現することにより, その高速性と汎用性を備えたビジョンチップが実現可能であること示した.

この分野は, まだまだ黎明期にあり, 今後開発すべき技術要素も山積している. しかし, 近年の集積化技術の進歩を近未来に外挿すれば, かなり大規模の並列処理回路がワンチップ可能であることは想像に難くない. ここで示した研究の多くは, そのような近未来のチップの実現に向けての基礎的技術であり, このような技術が実用的なシステムの中で用いられる日もそう遠くないと信じている.

参 考 文 献

[1] 石川: “センサ情報の並列処理技術”, 電子情報通信学会論文誌, vol.

- J 74-C-II, no. 5, pp. 255-266, 1991.
- [2] C. Mead: “Analog VLSI and Neural System,” Addison-Wesley, 1989.
- [3] J. Wyatt et al.: “Vision Chip Project; Analog VLSI System for Fast Image Acquisition and Early Vision Processing,” Proc. Int. Conf. on Robotics and Automation, pp. 1130-1135, 1991.
- [4] M. Ishikawa, et al.: “Optical Associatron: A Simple Model for Optical Associative Memory,” Appl. Opt., vol. 28, no. 2, pp. 291-301, 1989.
- [5] M. Ishikawa, et al.: “Experimental Studies on Learning Capabilities of Optical Associative Memory,” Appl. Opt., vol. 29, no. 2, pp. 289-295, 1990.
- [6] H. Toyoda, et al.: “Adaptive Optical Processing System with Optical Associative Memory,” Appl. Opt., vol. 32, no. 8, pp. 1354-1358, 1993.
- [7] 鬼追: “三次元集積化 IC イメージプロセッサ”, 日本ロボット学会誌, vol. 9, no. 7, pp. 896-897, 1991.
- [8] 石川: “光入出力を有する超並列演算処理機構”, 並列処理シンポジウム JSPSP '92 論文集, pp. 353-358, 1992.
- [9] 石川: “並列処理を用いた局所的パターン処理用 LSI とその触覚センサへの応用”, 計測自動制御学会論文集, vol. 24, no. 3, pp. 228-235, 1988.
- [10] 石川, 吉澤: “多層型並列処理回路を用いた n 次モーメントの検出方法”, 計測自動制御学会論文集, vol. 25, no. 8, pp. 904-906, 1989.
- [11] A. Utsugi and M. Ishikawa: “Construction of Inner Space Representation of Latticed Network Circuits by Learning,” Neural Networks, vol. 4, no. 1, pp. 81-87, 1991.
- [12] 向井, 石川: “並列ビジョンのための2次元座標変換回路”, 電子情報通信学技術報告, PRU 92-72, pp. 111-116, 1992.
- [13] A. Kirk, T. Tabata and M. Ishikawa: “Design of an Optoelectronic Cellular Processing System with a Reconfigurable Holographic Interconnect,” Appl. Opt., vol. 33, no. 8, pp. 1629-1639, 1994.
- [14] M. Ishikawa: “System Architecture for Integrated Optoelectronic Computing,” Optoelectronics — Devices and Technologies I, vol. 9, no. 1, pp. 29-38, 1994.
- [15] 山田, 高柳, 石川: “VLSI ビジョンセンサの試作と評価”, 第42回応用物理学関係連合講演会予稿集, 1995.
- [16] Y. Yamada and M. Ishikawa: “High Speed Target Tracking Using Massively Parallel Processing Vision,” Proc. IEEE/RSJ Int. Conf. on Intelligent Robots and Systems, pp. 267-272, 1993.
- [17] 石井, 石川: “超高速ビジョンを用いた高速ターゲットトラッキングアルゴリズム”, ロボティクス・メカトロニクス講演会講演論文集, pp. 186-189, 1993.

石川正俊 (Masatoshi Ishikawa)

1954年8月22日生. 1977年, 東京大学工学部計数工学科卒業. 1979年, 同大学大学院修士課程修了. 同年通商産業省工業技術院製品科学研究所入所. 1989年, 東京大学工学部計数工学科助教授, 現在に至る. 生体情報処理モデル, 触覚センサとその知能化, 超並列・超高速ビジョン, 並列処理, 光コンピューティング, センサフュージョンの研究に従事. 工学博士. 昭和59年度計測自動制御学会論文賞, 昭和63年度工業技術院長賞, 平成元年度応用物理学会光学論文賞受賞. (日本ロボット学会正会員)