解 説

リアルタイムビジョンのための並列処理 LSI IMAP と そのシステム

An Integrated Memory Array Processor and a Real-Time Vision System

藤 田 善 弘* 山 下 信 行* 岡 崎 信 一 郎* *NEC 情報メディア研究所

Yoshihiro Fujita*, Nobuyuki Yamashita* and Shin'ichiro Okazaki* *NEC Corporation

1. は じ め に

近年、半導体技術の進歩と共に計算機の高性能化が進み、それに応じて、マシンビジョンの研究も動画像を対象としたものが盛んになって来ている。例えば、道路上の事故や落下物を検出したり、侵入者を検出するような無人監視装置や、障害物を警報したり、自律的に行動できるロボットや自動車、また、人間の表情や動作を認識するコンピュータなどの研究が進められている。

しかしながら、柔軟なリアルタイムビジョンを実現するためには、刻々と入力される動画像に対して、複雑な認識処理を高速に行う必要があるため、数十 GIPS (Giga Instructions Per Second) から数百 GIPS 以上の演算性能が必要であると考えられるうえ、その実用化のためには、小型、安価である必要があり、現在入手可能な装置とはまだまだ大きな開きがある。

現在、リアルタイムビジョンの研究に使われている計算機は、超並列スーパーコンピュータのように、非常に大型で高価なものか、もしくは、DSP やマイクロプロセッサなどのプログラマブルなプロセッサや、フィルタリングやラベリングなどの専用画像処理 LSI を用いて構成された、1 フレーム時間内に 1 回～数回の基本画像処理が実行できる程度の性能しかない画像処理装置などである。そこで、リアルタイムビジョンの研究は、動画像処理装置の限られた計算能力を活用して、単純な動画像処理をなんとか実現しているという現状であり、高性能であり、かつ PC や WS に組み込んだり、車やロボットに積んで使用できるほど小型な動画像処理装置の登場が待ち望まれている。

筆者らは、各種の装置に組み込むことができるほどコンパクトで、かつスーパーコンピュータ並みの性能を有する動画像処理装置を実現するため、多数のプロセッサと画像

メモリを 1 チップに集積することを提案し、LSI の試作、および動画像処理装置の開発を進めて来た[1][2]。本稿では、今回新しく試作した 3.84 GIPS の演算性能を有する LSI IMAP-2 (Integrated Memory Array Processor) [3][4]、および、それを 8 個使用する、基本画像処理ならば、1 フレーム時間 (33[ms]) 内に 50~100 回程度実行できる性能を有する動画像処理システム RVS-2 (Real-time Vision System) [5][6]について報告する。

2. IMAP-2 の構成

IMAP-2 の構成を図 1 に、その主な特徴を以下に示す。

(1) 大容量メモリと高並列プロセッサの集積

1 チップに、2 M ビットの SRAM と 64 個の 8 ビットプロセッサを集積し、チップ内のメモリ上に画像を保持しながら 64 個のプロセッサで並列演算を行う。高性能化のためには高並列処理が必要であり、その小型化のためには、高並列プロセッサの 1 チップへの集積が必要となる。このとき、高並列プロセッサが十分なメモリアクセスバンド幅を得るためには、メモリをも同一チップ上に集積することが有効であり、本 LSI は、それを実現している。

(2) 一次元プロセッサアレイによる SIMD 型並列処理

64 個のプロセッサはメモリの横に一次元状に配置され

図 1 IMAP-2 の構成

原稿受付 1995 年 1 月 11 日

キーワード: Image Processing, Parallel Processing, Real-time Vision, SIMD, VLSI

*〒 216 川崎市宮前区宮崎 4-1-1

*Miyamae-ku, Kawasaki-shi, Kanagawa

ており、2 M ビットのメモリは、64 プロセッサに 4 K バイトずつ割り当てられている。演算は、全てのプロセッサが、同時に同じ演算を実行する SIMD (Single Instruction stream Multiple Data stream) 型の並列処理方式を採用している。

(3) リアルタイム動画画像認識処理の実現

動画画像データ用の高速画像入出力(シリアル I/O)を 2 系統持ち、動画画像の入出力を、プロセッサによる演算と並行かつ非同期に行うことができる。この、高速な動画画像入出力と、64 個のプロセッサによる並列演算性能によって、リアルタイム動画画像認識処理を可能とした。

(4) 外部アクセス可能なメモリ

IMAP-2 上のメモリは、ランダム I/O ポートを紹介して、通常のメモリと同様に外部からアクセスすることができる。従って、膨大な動画画像データに対する低レベル画像処理や、特徴抽出などの中レベル画像処理はチップ内部のプロセッサで高速に行い、外部プロセッサは、その処理結果をランダム I/O 経由で読み出し、より上位の認識処理を実行するという、並列処理が実現できる。

(5) 複数チップ接続による高い拡張性

より高速・大容量な動画画像処理を行う場合には、複数の LSI を単純に一次元状に接続することによって拡張が可能であるため、目的に応じた演算性能や容量をもつシステムを構築可能である。

図 2 に 1 プロセッサの構成を示す。画像処理では 8 ビット演算が多用されるため、8 ビットアーキテクチャを採用した。算術論理演算器、シフタ、レジスタなどから構成されている。レジスタは、汎用レジスタ 12 本の他、画像入出力用シフトレジスタが 2 本、隣接プロセッサ間通信用レジスタ、メモリアクセス用アドレスレジスタとデータレジスタ、個々のプロセッサの動作/非動作を制御できるマスクレジスタなどがある。また、本プロセッサは乗算器は持たないが、テーブルルックアップ乗算を高速化するためのアドレス生成命令と加算命令を持ち、8 ビットの乗算を 11

ステップで実行することができる。

メモリはプロセッサ当たり 4[KB]あり、256 バイト単位のページ内ならば、各プロセッサが異なるアドレスをアクセスする、間接アドレッシング機能を利用できる。間接アドレッシングによって、データに依存する処理、例えばヒストグラム処理などを高速に実行することができる。

算術論理演算器やシフタを使った単純な SIMD 演算命令や、隣接プロセッサ間の通信命令の他に、柔軟な画像処理を実現するための各種の演算機能が組み込まれている。以下に主な機能を示す。

(1) フラグ出力機能

全プロセッサの演算フラグ(キャリーフラグやサインフラグなど)を集計して外部に出力する命令。外部の命令供給回路がその出力値を参照することによって、演算結果に依存した条件分岐制御(例えば、全 PE での演算結果がある条件を満たせばジャンプするなど)を行うことができる。

(2) データ出力機能

任意のプロセッサの任意のレジスタを命令で指定し、その内容を外部に出力する命令。外部回路が必要なデータを高速に効率良く取り出すことができる。

(3) CAM 的検索機能

CAM (Content Addressable Memory) 的検索機能を実現するための命令が組み込まれている。その手順は、(a) 比較演算により条件に一致したプロセッサのフラグを立てる。(b) フラグ選択命令により、その中から 1 プロセッサを選択する。(c) 選択されたプロセッサのデータを読み出す、という処理を繰り返し実行する。条件にマッチしたプロセッサの存在を示す専用の出力信号をもっており、画像処理結果の集計や検索を非常に高速に効率よく実行することができる。

IMAP-2 は 0.55[μm]の BiCMOS 2 層アルミ配線技術を使用し、千百万トランジスタを 15.1 $\times$ 15.6[mm²]に集積した。チップ写真を図 3 に示す。また、表 1 にその諸元

図2 1プロセッサの構成

図3 IMAP-2のチップ写真

表1 IMAP-2の諸元

Process Technology	0.55[μm] BiCMOS, double-layer metal
Chip Size	15.1[mm] $\times$ 15.6[mm]
Number of Transistors	11 million
Clock Rate	Processor : 40[MHz] Memory : 80[MHz]
Package	208 pin PGA
Power Supply	3.3[V]
Maximum Power Dissipation	4.0[W]
Average Power Dissipation	$\sim$ 2.0[W]
Peak Performance	3.84 GIPS(8[bit])

を示す。IMAP-2 のピーク性能は、演算クロック 40 [MHz], メモリクロック 80 [MHz] 時に、3.84 GIPS (8 ビット) であり、それはプロセッサアレイ部での演算による 2.56 GIPS と、それと並行に実行可能なロード/ストア命令による、1.28 GIPS (8 ビット換算) のメモリアクセスによって実現されている。

3. RVS-2 の構成

前述のように、IMAP は、複数チップを一次元状に接続して使用することができる。図 4 は、8 個の IMAP-2 を使用した、一次元アレイ構成の 512 プロセッサを有する動画処理システム RVS-2 の構成例である。512×480 画素の動画画像を対象としており、512 プロセッサが画像の横幅に対応している。チップ内部のメモリ容量は 2 M バイトであるため、512×480 画素の 8 ビット画像を 8 面保持することができる。また、RVS-2 の最大性能は 30.7 GIPS である。

シフトレジスタは、両端がそれぞれ A/D および D/A

図 4 RVS-2 の構成

図 5 RVS-2 のプロセッサボード外観

図 6 RVS-2 のシステム外観

コンバータを介して、カメラおよびディスプレイに接続されている。2 系統のシフトレジスタは、それぞれカラー画像の輝度成分と色成分に割り当てられており、色情報を使ったリアルタイム認識処理を行うことができる。

ホストプロセッサや、IMAP-2 に命令を供給するためのコントローラ、および IMAP-2 内部のメモリは、それぞれ VME バスに接続されており、ホストプロセッサからコントローラ内の IMAP-2 プログラムメモリへのプログラムロードや、処理の起動、IMAP-2 内部のメモリの読み書きに使用される。コントローラは、それ自身が 16 ビットの汎用プロセッサとして構成され、専用の命令バスを通じて IMAP に供給する命令のシーケンス制御を行う他、IMAP 中のデータをアクセスして、画像処理を行うこともできる。

図 5 にプロセッサボードの外観を、図 6 に RVS-2 のシステム外観を示す。プロセッサボードは IMAP-2 チップ 8 個、コントローラゲートアレイ、64 K ワード (63 [bit/word]) のプログラムメモリ、256 K ワード (16 [bit/word]) のデータメモリ、VME インタフェース回路から構成されている。

一旦ホストプロセッサからコントローラに動画処理プログラムの実行を起動した後は、ビデオ回路から与えられる奇数/偶数フィールド画像のライン入力終了信号 (水平同期信号) およびフィールド開始/終了信号 (垂直同期信号) に従って、所定の処理を実行するようにコントローラをプログラムできるため、画像の入力タイミングに完全に同期したリアルタイム動画処理が可能である。

4. 処理性能

表 2 は、RVS-2 で、いくつかの画像処理を実行したときの処理時間である。全ての処理は、512×480 画素の 8 ビット画像を対象としている。フィルタリング、ヒストグラムなどの処理を、1 フレーム時間 (33 [ms]) 内に 50 回〜数百回実行できる性能を持つことを確認した。

また、自動車に積み込んだカメラで、高速道路の白線を抽出する処理例を図 7 に示す。画像の濃度ヒストグラムを

表 2 RVS-2 の処理性能

Algorithm	Execution time [ms]	Ratio to video rate
Projection	0.064	516
Image Subtraction	0.10	320
3×3 Averaging Filter	0.42	78
3×3 Laplacian Filter	0.42	78
3×3 Range Filter	0.66	50
Histogram	0.73	45

ヒストグラム処理

適応的2値化処理

白線の接続処理

図7 RVS-2による画像処理例

とり、適応的に求めた閾値で画像を2値化し、さらに、鎖線となっている白線を複数フレーム間で補間して実線にするという処理を約0.8[ms]で実行することができる。これは、1フレーム時間の40分の1程度であるので、残りの40分の39の時間を、先行車や障害物の抽出など、さまざまな処理に利用できる。

5. おわりに

コンパクトで高性能な高並列一次元SIMDプロセッサシステムを構築することのできる、IMAPアーキテクチャを実証すべく、動画像認識処理に適したLSI IMAP-2を試作し、その動作を確認した。また、IMAP-2を8個使用して、30.7GIPSの性能を有する動画像処理装置RVS-2を開発し、基本的な画像処理を1フレーム時間内に50回〜数百回実行できることを確認した。

今後、さまざまな、より高度なりアルタイム動画像認識処理アルゴリズムをRVS-2上にインプリメントし、性能実証や、各種の応用分野への適用を行うと共に、IMAPの高機能化、大容量化を進めていく予定である。

参考文献

- [1] 藤田善弘：“画像演算メモリ”，情報学計算機アーキテクチャ研究会，89-1，1991.
- [2] Y. Fujita, N. Yamashita and S. Okazaki: “A real-time vision system using an integrated memory array processor prototype,” Machine Vision and Applications, no. 7, pp. 220-228, 1994.
- [3] N. Yamashita, T. Kimura, Y. Fujita, Y. Aimoto, T. Manabe, S. Okazaki, K. Nakamura and M. Yamashina: “A 3.84 GIPS Integrated Memory Array Processor LSI with 64 Processing Elements and 2 Mb SRAM,” ISSCC 94, FA 15.2, pp. 260-261, Feb., 1994.
- [4] N. Yamashita, T. Kimura, Y. Fujita, Y. Aimoto, T. Manabe, S. Okazaki, K. Nakamura and M. Yamashina: “A 3.84 GIPS Integrated Memory Array Processor with 64 Processing Elements and a 2-Mb SRAM,” IEEE Journal of Solid-State Circuits, vol. 29, no. 11, pp. 1336-1343, Nov., 1994.
- [5] 藤田善弘，山下信行，岡崎信一郎：“メモリ型プロセッサによる動画像処理システムRVS-2—メモリ型プロセッサIMAP-2—”，情報処理学会第49回全国大会(平成6年後期)，5R-3，pp. 2-405—2-406，1994.
- [6] S. Okazaki, Y. Fujita and N. Yamashita: “A Compact 30 GIPS Real-Time Vision System RVS-2,” IAPR Workshop on Machine Vision Applications (MVA '94), pp. 13-16, Dec., 1994.

藤田善弘 (Yoshihiro Fujita)

1960年6月4日生。1984年京都大学工学部電子工学科卒業。1986年同大学大学院修士課程修了。同年日本電気(株)に入社。現在、同社情報メディア研究所パタン認識研究部に勤務。並列画像処理システムの研究開発に従事。1992〜93年カリフォルニア州立大学バークレイ校客員研究員。情報処理学会会員。

岡崎信一郎 (Shin'ichiro Okazaki)

1959年7月6日生。1982年大阪大学工学部電子工学科卒業。1984年同大学大学院修士課程修了。同年日本電気(株)に入社。現在、同社情報メディア研究所パタン認識研究部に勤務。高速画像処理システムの研究開発に従事。1991〜92年スタンフォード大学客員研究員。電子情報通信学会会員。

山下信行 (Nobuyuki Yamashita)

1967年3月12日生。1989年京都大学工学部電気工学第二学科卒業。1991年同大学大学院修士課程修了。同年日本電気(株)に入社。現在、同社情報メディア研究所パタン認識研究部に勤務。高速画像処理LSIの研究開発に従事。情報処理学会会員。