解説

コンピュータショナルセンサの研究の歴史と今後の展開

History and Future of Computational Sensor Research

小 室 孝* 石 川 正 俊* *東京大学大学院情報理工学系研究科

Takashi Komuro* and Masatoshi Ishikawa* *Graduate School of Information Science and Technology, The University of Tokyo

1. は じ め に

センサ、特にイメージセンサに演算機能を持たせようという試みは古くから行われてきた。このようなセンサをここではコンピュータショナルセンサと呼ぶ。ただし、このようなセンサは目的・用途によって異なる名前と呼ばれることがある。例えば人間の目の模倣が主である場合、人工網膜と呼ばれるし、センサの高機能化が主である場合、スマートセンサと呼ばれる。また、画像処理に重点が置かれた場合、ビジョンチップと呼ばれることもある。いずれにせよ、これらの使い分けには明確な区分があるわけではなく、流派の違いくらいに考えてもらってよい。

しかしながら、これまでに実に多種多様なコンピュータショナルセンサが開発されており、使われている技術や、性能、用途にはそれぞれかなり隔たりがある。本稿ではこのように混沌としたコンピュータショナルセンサの研究について、できるだけ整理した形で紹介することを試みる。また、このようなセンサの持つ特性のうち特に高速性に着目した超高速ビジョンチップの研究について紹介する。

2. コンピュータショナルセンサの歴史

コンピュータショナルセンサの研究はもともと、神経回路に関する研究の成果を基に、生体の網膜の機能を抵抗回路網などの電子回路で再現しようという試みから始まった。当初は個別素子から作られていたが、80年代に入り半導体回路の集積度が飛躍的に向上すると、ワンチップにすべて収められたものが登場するようになった。なかでも Caltech の Mead らによるシリコン網膜[4]は、脊椎動物の網膜の特性の多くを再現している点や、すべてアナログ CMOS 回路で構成されている点において優れており、この分野における金字塔となった。

Mead のアプローチは、解剖学的知見に基づく網膜機能の忠実なモデル化とシリコンへの実装といういわば構造か

らのアプローチであった。九州工大の八木らによって進められているアナログビジョンチップの研究[5]も同様のアプローチである。一方、正則化理論に基づく数学的アプローチとして、UCLA の Kobayashi らによるガウシアンフィルタチップ、MIT の Harris らによる抵抗ヒューズを用いた非線形抵抗回路網ビジョンチップなどの例がある。

このように初期のコンピュータショナルセンサは主に原理面での面白さに重点が置かれていたが、やがてそれが持つ性能面でのアドバンテージが目立つようになった。MIT ではビジョンチッププロジェクト[6]と称して、Standley による位置方向検出チップをはじめ様々な視覚処理を行うビジョンチップが開発された。

CMU では Kanade が中心になって、ロボットビジョンへの応用を前提にした様々なコンピュータショナルセンサの開発が行われている。Gruss らによるレンジファインダチップ[7]は、光切断法と呼ばれる手法を用いて物体の三次元形状を測定するセンサである。センサ面上で並列に処理を行うため、従来より二桁も高速な毎秒約 1,000 フレームのレンジ画像を生成できる。Brajovic らによって開発されたソーティングイメージセンサ[8]は、すべての画素を入射光強度の順に並べたときの順位を画素毎に計算し、出力するセンサである。これにより、実質的に広ダイナミックレンジが実現され、例えば逆光のときやトンネルから出た直後のような空間的・時間的に著しい明暗の差がある場合でも、鮮明な画像を得ることができる。このほか、明るさの異なる複数の物体の位置情報を出力するコンピュータショナルセンサも作られている。

三菱電機では久間らが中心となって、人工網膜チップという名称の柔軟な画像処理機能を内蔵したチップ[9]を開発している。画素の検出とともに、画素出力の重み付き加算をアナログ的に行う機能を有しており、この重みパターンを変えることで、輪郭抽出、射影演算など様々な画像処理が行えるようになっている。このチップはすでに事業化が果たされており、ゲーム機器やモバイル端末の入力装置として採用されている。

上に挙げたコンピュータショナルセンサはどれも処理の部分をアナログ回路で行っている。それに対し、デジタル

原稿受付 2002 年 3 月 1 日

キーワード: Computational Sensor, Vision Chip, Artificial Retina, Smart Sensor

*〒113-0033 東京都文京区本郷 7-3-1

*Bunkyo-ku, Tokyo

回路を用いたコンピュータショナルセンサの研究も行われている。東大の石川は、処理回路として ALU とレジスタからなる汎用のプロセッシングエレメント (PE) を採用した、汎用性の高いビジョンチップ [10] の提案を行い、そのためのコンパクトな PE のアーキテクチャを設計した。また、スケールアップモデルとして 64×64 個の PE を持つ SPE-4k システムを開発した。このシステムを用いて様々な高速視覚のアルゴリズム開発や応用デモが行われ、システムの有効性が確認されている。この成果を基に、小室らは高集化に向けたアーキテクチャ [11] を設計し、最近 64×64 画素のワンチップ化を実現した。

また、スウェーデンの Linköping 大学では Åström らが中心となって、光センサと AD コンバータ、プロセッサをワンチップ化したスマートセンサの研究が行われ、IVP 社より製品化された。この MAPP2200 と呼ばれるセンサは、 256×256 画素の CMOS イメージセンサの列ごとに AD コンバータと汎用の PE が取り付けられている。光シートの投影によるレンジ像からの三次元計測に用いられる。さらに同グループは、画素単位で並列演算を行うスマートセンサ Near-Sensor Image Processing (NSIP) [12] の研究も行っており、 32×32 画素のチップが開発されている。同チップは各 PE が 8 ビットのメモリを持ち、ワイアード NAND 論理を基本とした演算を行う。フランスの Bernard らは Programmable Artificial Retina と呼ばれる汎用の PE を採用した人工網膜チップ [13] を設計しており、 65×76 画素のチップが開発されている。同チップは 3 ビットのメモリを持ち、主としてバイナリデータに対し、各種の論理演算を実行する。

これらのデジタル回路によるアプローチに共通するのは、処理部の基本構造としてコンピュータの分野において SIMD 型超並列計算機と呼ばれているものと共通する構造を採用していることである。したがって、これらのコンピュータショナルセンサでは、SIMD 型超並列計算機向けに開発されたアルゴリズムやソフトウェアが流用できる可能性が高いということである。

しかしながら、通常の超並列計算機の PE は回路規模が大きく、画素数分ワンチップに搭載するのは容易ではない。したがって、これらのセンサはどれも、回路規模を抑えるためのコンパクト化が図られている。そのため、実装できるアルゴリズムには自ずと制限が生じることになる。一方、用途が視覚処理に限定されているため、特徴量抽出回路などの通常の超並列計算機にはない機能をハードウェアで備えている場合もある。処理をデジタル回路で行っているが、特定用途向けに機能が大幅に制限されている高速対象追跡ビジョンチップ [14] も小室らにより開発されており、日本プレジジョンサーキットが事業化を検討している。

これまでのコンピュータショナルセンサの研究は、コン

ピューテーションの部分に重きが置かれ、センサはどちらかという付加的要素として扱われてきた。しかしながら、近年 CMOS イメージセンサが CCD に代わる勢いで台頭して来ると、これまでとは逆にイメージセンサの付加価値要素として処理機能を備えようとする動きが起こってきた。

Stanford 大の Yang らは、画素ごとに AD 変換の機能を備えることで、SN の向上や省電化を図ったイメージセンサ [15] の研究を行っている。入射光量をその対数に比例した信号に変換し、ダイナミックレンジを大幅に向上した対数圧縮型イメージセンサは何社かで開発されている。東京理科大の浜本らは、蓄積時間を画素ごとに適応的に調整することで動きぼけや飽和のない撮像を可能としたイメージセンサ [16] を開発した。

また、インターネットに代表される情報通信環境の急速な広まりを背景に、画像圧縮に対する需要が年々高まっている。静岡大の川人らは、センサ上で二次元 DCT により画像圧縮を行うイメージセンサや、動画像圧縮における動きベクトル検出のための非破壊中間撮像イメージセンサを開発した [17]。東大の相澤らは動画像をセンサ上にて直接圧縮する動画像圧縮イメージセンサ [18] を開発した。

このほか、ユニークな機能を持つイメージセンサとして、東大の安藤らによる時間相関型イメージセンサ [19] や、東大の大塚らによる多重解像度イメージセンサ [20]、ソニーの動体検出・距離計測機能を持つイメージセンサ [21] など数多くの研究が行われており、コンピュータショナルセンサの研究は今新たな時代を迎えているといえる。

3. 超高速ビジョンチップ

センサと処理機能を一体化することによるメリットには、軽量化・省電力化・低コスト化・高 SN (アナログの場合) などいろいろあるが、センサと処理装置の間のデータ転送が不要となることによる高速化、厳密には低レイテンシ化 (入力から出力まで通しての処理時間が短くなること) に目を付けた高速ビジョンの研究が東大の石川らを中心に行われている。

通常ビデオカメラなどで用いられている規格では、動画像のフレームレートは 30 FPS (1 秒間に 30 コマ) と定められているが、ビジョンチップを用いることで、1,000 FPS を超える高いフレームレートが実現される。このレートでフィードバック制御をかけることで高速かつ不規則に動く対象のトラッキングが可能となる。これを利用し、ジェスチャーの認識、ロボットアームとハンドによる対象把握、顕微鏡下の微生物トラッキングなどのデモンストレーションが行われている [22]。

このようなビジュアルフィードバックを行うことを前提とし、小室らによって開発された最新のビジョンチップ [23] のアーキテクチャを図 1 に示す。PE は主に ALU とロー

増加による処理時間の増大が問題になってしまう。したがって、画素数がどんどん大きくなるにしたがって、画素レベル並列処理の有効性は強まるばかりであろう。

上に描いたような将来が実現するには、一つ難関が待ち構えている。それは、プロセスの微細化が受光素子の感度やSNに及ぼす影響である。電源電圧の低下や暗電流の増大などの問題を克服するための技術が待望される。

5. お わ り に

コンピュータショナルセンサの歴史と今後の展開を述べた。また、高速性に着目したビジョンチップの研究について紹介した。半導体技術が成熟した今、コンピュータショナルセンサの研究は旬であり、様々な特徴を持つものが開発されている。次のステップとして、これらのセンサをアプリケーションに利用していくことを考えなければならない段階に来ている。そのような研究もすでに現れ始めている。

参 考 文 献

- [1] A. Moini: VISION CHIPS. Kluwer Academic Publishers, 2000.
- [2] 松本他: “ビジョンチップ [I]—アナログ画像処理用ニューロチップ—”, 電子情報通信学会誌, vol.76, no.7, pp.783–791, 1993.
- [3] 松本他: “ビジョンチップ [II]—アナログ画像処理用ニューロチップ—”, 電子情報通信学会誌, vol.76, no.8, pp.851–853, 1993.
- [4] C. Mead et al.: “A Silicon Model of Early Visual Processing,” Neural Network, vol.1, pp.91–97, 1988.
- [5] T. Yagi et al.: “A Parallel analog intelligent vision sensor with a variable receptive field,” Systems and Computers in Japan, vol.30, no.1, pp.60–69, 1999.
- [6] J. Wyatt Jr. et al.: “The MIT Vision Chip Project: Analog VLSI Systems for Image Acquisition and Fast Early Vision Processing,” Proc. IEEE Int. Conf. Robotics Automation, pp.1330–1335, 1991.
- [7] A. Gruss et al.: “Integrated Sensor and Range-Finding Analog Signal Processor,” IEEE Journal of Solid-State Circuits, vol.26, no.3, pp.184–191, 1991.
- [8] V. Brajovic et al.: “A VLSI Sorting Image Sensor: Global Massively Parallel Intensity-to-Time Processing for Low-Latency Adaptive Vision,” IEEE Trans. on Robotics and Automation, vol.15, no.1, pp.67–75, 1999.
- [9] K. Kyuma et al.: “Artificial Retinas-fast, versatile image processors-,” Nature, vol.372, no.6502, pp.197–198, 1994.
- [10] M. Ishikawa et al.: “High Speed Vision System Using Massively Parallel Processing,” Proc. Int. Conf. on Intelligent Robots and Systems, pp.373–377, 1992.
- [11] 小室他: “汎用プロセッシングエレメントを用いた超並列・超高速ビジョンチップの設計”, 電子情報通信学会論文誌 D-I, vol.J81-D-I, no.2, pp.70–76, 1998.
- [12] J. Eklund et al.: “VLSI Implementation of a Focal Plane Image Processor—A Realization of the Near-Sensor Image Processing Concept,” IEEE Trans. VLSI Systems, vol.4, no.3, pp.322–335, 1996.
- [13] T. Bernard et al.: “A Programmable Artificial Retina,” IEEE Journal of Solid State Circuits, vol.28, no.7, pp.789–797, 1993.
- [14] 小室他: “高速対象追跡ビジョンチップ”, 電子情報通信学会論文誌 D-II, vol.J84-D-II, no.1, pp.75–82, 2001.
- [15] D. Yang et al.: “A Nyquist Rate Pixel-Level ADC for CMOS Image Sensors,” IEEE Journal of Solid-State Circuits, vol.34, no.3, pp.348–356, 1999.
- [16] T. Hamamoto et al.: “A Computational Image Sensor with Adaptive Pixel-Based Integration Time,” IEEE Journal of Solid-State Circuits, vol.36, no.4, pp.580–585, 2001.
- [17] S. Kawahito: “CMOS Smart Image Sensors,” Technical Digest of Sensor Symposium, pp.157–163, 2000.
- [18] K. Aizawa et al.: “A novel image sensor for video compression,” Proc. Int. Conf. Image Processing, vol.3, pp.591–595, 1994.
- [19] S. Ando et al.: “Time-Domain Correlation Image Sensor: First CMOS Realization of Demodulator Pixels Array,” Proc. IEEE Workshop on CCD and Advanced Image Sensors, pp.33–36, 1999.
- [20] 大塚他: “多重解像度イメージセンサ”, 映像情報メディア学会誌, vol.55, no.2, pp.279–286, 2001.
- [21] S. Yoshimura et al.: “A 48kframes/s CMOS Image Sensor for Real-time 3-D Sensing and Motion Detection,” ISSCC Digest of Technical Papers, pp.94–95, 2001.
- [22] 石川他: “デジタルビジョンチップとその応用”, 電子情報通信学会論文誌 C, vol.J84-C, no.6, pp.451–461, 2001.
- [23] 小室他: “PE 結合機能を持つ汎用デジタルビジョンチップの設計”, 電子情報通信学会技術研究報告, ICD2001-37 (SDM2001-114), pp.9–16, 2001.

小室 孝 (Takashi Komuro)

1996年東京大学工学部計数工学科卒業。2001年同大学大学院博士課程修了。現在、同大学大学院情報理工学系研究科システム情報学専攻助手。ビジョンチップのアーキテクチャ、デバイスの研究に従事。工学博士。2000年LSI IP デザイン・アワード IP 優秀賞受賞。

石川正俊 (Masatoshi Ishikawa)

1977年東京大学工学部計数工学科卒業。1979年同大学大学院修士修了。同年、通産省工業技術院製品科学研究所に入所。1989年東京大学工学部計数工学科助教授。現在、同大学大学院情報理工学系研究科システム情報学専攻教授。生体の情報処理機構の回路モデル、超並列・超高速ビジョン、光コンピューティング、センサフュージョン等の研究に従事。工博。1984年計測自動制御学会論文賞、1988年工業技術院長賞、1989年応用物理学会光学論文賞、1998年高度自動化技術振興賞（本賞）、1998年日本ロボット学会論文賞、1999年日本機械学会ロボティクス・メカトロニクス部門学術業績賞、1999年櫻井健二郎氏記念賞、2000年LSI IP デザイン・アワード IP 優秀賞受賞。（日本ロボット学会正会員）