学生に達成感を感じさせる HDL 教育の実践

Practice of HDL Education Providing Students a Sense of Achievement

藤 永 清 久^{※1}

Kiyohisa FUJINAGA

1. はじめに

家電製品やモバイル機器が高機能化されるに従い、ハードウェアとソフトウェアを統合した組込みシステムを企画・設計することができる技術者の不足が顕在化してきている。そのため、高専・大学では回路設計の基礎的な知識の学習とその理解を深める体験型の学習を実施しているが^{1) - 2)}、基礎的な回路から実用的な回路までの設計教育に関する報告例は少ない。我々のデジタル回路教育のカリキュラムでは、学生に基本的な論理回路や数値演算回路のHDL (Hardware Description Language) 記述を学ばせ、シミュレータを用いて回路を検証したのち、7セグメントLEDなどで動作結果を表示させていた。そして、実用的なデジタル回路設計や組込みシステム開発に興味を持った学生には、その意欲を卒論に向けてもらっていた。しかしながら、卒論を開始した時点でHDLを再度学習し直す必要がある学生が多く、その原因は授業でテキスト通りにコーディングしたあと単にFPGA (Field-Programmable Gate Array) ボードで動作確認をしているだけで、学習内容が身に付いていないことにあった。また、学生からは基本的な論理回路をFPGA搭載ボードで動作させても、興味が持続せず達成感が感じられないという意見が多く聞かれた。

そこで、HDLの基礎知識に関する初歩的な教育を修了した学生には、実践的な回路設計によりHDLの設計技術を身に付けさせ、その教育効果を上げるためには達成感を大事にしたいと考えた。その対策として、演習授業の中でHDLによる回路設計の要点を説明することを止め、座学講義で集中的に事前説明することで理解度を向上させることにし、演習授業では実践教育に専念させることにした。また、基本回路の繋がりで実用的な回路が設計されるようにテキストを編成し直し、さらにグループ学習を積極的に取り入れ、設計した回路が動作した時に達成感が感じられるような授業を試みた。本事例では、この演習授業の実践経緯と授業評価について報告する。

2. 授業設計

(1) 授業形態

当授業は3年後期の授業である。履修に際しては、授業の質を確保するため、3年前期にHDLによる基本的な組み合わせ回路や順序回路の動作記述を学習していることとしている。従って、全くの初心者はいないので、想定した授業進度で実施することができた。ここでは、1コマを90分単位とし、1コマの座学講義の後半30分とその翌日に行う2コマの演習で授業を構成した。座学講義の本来の目的は集積回路工学の学習にあるが、後半の30分を演習内容を説明するための時間に割いた。演習授業では、教員は主に教室内を巡回し、学生の個別指導や進捗管理にあてた。また、学生同士で教え合うことが学習効果を上げる上で効果的であることから、当授業でも履修学生をグループに分け、協調学習の効果を積極的に取り入れることを狙った。演習室の最大収容人数は32人である。1グループ4名でひとつの実験机を占有させ、座席は固定した。回路設計やFPGA混載ボードへの実装に問題が生じた場合は、教員はできるだけグループ内で解決するように指導した。なお、授業は教員一人で行い、TAは採用しなかった。

FPGA搭載ボードは1グループに2台配布した。ひとりに1台を配布しない理由は、ボードを共有することで学生間に話し合いや教え合いの機会が増えると考えたためである。なお、ボードを使用した回路検証時間は数分で済むため、この台数制限が授業進度に支障をきたすことはない。演習で使用したFPGA搭載ボード (PSI社製) には、アルテラ社製のFPGAが搭載されており、さらにテンキー、LCD、8個のLED、4個の7セグメントLED、4個のSWが設置されている。EDA (Electronic Design Automation) はアルテラ社のQuartus IIとし、学生は各自ノートPCにインストールして使用している。学内LANにはWeb/FTPサーバ、Moodle、プロキシサーバ、演習室が接続されており、プロキシサーバを介してインターネットにつながっている。Web/FTPサーバにはその日に使用するテキストが搭載されており、学生はWeb上でまたはダウンロードして閲覧することができる。なお、Web/FTPサーバは学内でしか利用できず、またFPGA搭載ボード

2013年10月21日受付

※1 北海道工業大学

表1 HDLによる回路設計の演習内容

授業	授業内容	授業の狙い
第1週	ノートPCにEDAをインストール HDLのコーディング方法とボードへの実装方法	
第2週	LED点滅, 7セグメントLEDによる数字の表示	
第3週	カウンタ, チャタリング除去の回路設計	
第4週	2進, 10進, 60進のタイマーの記述方法	
第5週	【演習】設定時間からのダウンタイマー回路設計	これまで理解度の確認
第6週	ステートマシンによる制御回路の使い方 4個の7セグメントLEDのダイナミック点灯方式	
第7週	モード切換型のストップウォッチ回路設計	実用回路での達成感
第8週	【演習】遷移状態図からステートマシンを作成	制御回路の理解
第9週	LCDの初期化データ出力制御回路の検証	
第10週	LCDの表示方式データ送出回路の検証	
第11週	【演習】初期化データを変えてLCDの表示	文字表示による達成感
第12週	非同期シリアル通信の送信機の回路設計	
第13週	非同期シリアル通信の受信機の回路設計	
第14週	非同期シリアル通信による文字伝送	実用回路での達成感
第15週	【演習】通信速度変換, 授業アンケート	授業の評価

の学外貸し出しもしていない。本学では授業の履修登録管理および出席管理はMoodleで統一している。

(2) 演習内容

HDLによるデジタル回路設計の演習項目の概要を表1に示す。第1週で演習の準備を行い、第2週から第4週にかけて各種のカウンタおよびタイマーの回路設計を学習し、第5週で課題演習を課して、これまでの基本的な知識を基にダウンカウンタおよびダウンタイマーの回路を設計する。第6週～第7週でチャタリング回路やタイマー回路を用い、新たに学習したステートマシン^{†1}を導入してストップウォッチ回路を設計する³⁾。第8週の演習課題でステートマシンの使い方を確実に身に付けた後に、第9週～第11週でステートマシンを多用するLCD初期化回路の構成を学ぶ。第12週～第14週にかけてタイマー回路を基礎とした通信速度の生成回路をもとに、非同期シリアル通信の送受信機回路を設計し⁴⁾、文字伝送で通信の確認を行う。

上記のテキスト構成にあたっては、VHDL (Very-high-speed-integrated-circuit Hardware Description Language) によるデジタル回路設計を体系的に学習させることを第一の目標とした。つまり、今回設計している回路が次回設計する回路の一部となり、さらにこの回路を展開させて次々回に設計する回路につなげるというようにし、最終的にこれらの回路を統合した実用的な回路 (ストップウォッチ回路, LCD初期化

回路, 非同期シリアル通信の送受信機回路) が形成されるように構成した。また、これらの実用的な回路をFPGA搭載ボードに実装し、動作させることで回路設計の達成感を感じさせることを第二の目標とした。なお、テキストには学習のポイントとなる個所にコメント挿入ツールで説明を付与している。

(3) 学習評価と授業評価

学生に対する演習授業では中間試験および期末試験を実施し、基本的な回路のHDL記述で評価した。また、演習態度と演習中に4回課した設計課題の到達度も評価対象とした。なお、設計課題はFPGA搭載ボードで正確に稼働することを確認したのちプリントで提出させた。授業の最後には、学生による授業アンケートをとり、授業評価を行った。

3. 演習授業

最初の授業開始時にグループ学習について説明し、グループ構成は学生に任せた。次に、テキストの概要を説明し、最終的には実用的な回路を設計することになる旨を伝えた。典型的な授業の様子は以下のとおりである。演習日の前日の座学講義で演習内容を詳細に説明しているの、授業開始時に教員はプロジェクトを用いて演習のポイントのみを掲示した。学生はWeb/FTPサーバでHDLテキストを閲覧し回路設計を行った。HDLの演習で最も苦勞することは、EDAのデバッグ機能が十分ではないために、修正箇所探索に時間を浪費する場合が起こることである。学生は自分で解決できないときにはグループ内に助けを求め、そこで解決できない場合は他のグループに相談に行くため話し声が絶えなくなった。しかし、このような状況を作ることが授業の目的の一つであったため、教員はなる

^{†1} ステートマシン (State Machine)

入力条件と現在の状態によって次の状態が決まる論理回路 (順序回路) の呼称で、手順に従って制御を行う場合などに使用する。

べく関与しないようにしていた。ただし、単なる学生間の私語の場合は注意をした。教員は演習室内を巡回し、学生に声をかけながら進捗状況を確認した。学生間で解決できなかったエラーが生じている場合は、教員がその誤りの原因を教え修正させた。文法チェックを終了した設計回路はFPGA搭載ボードで回路の稼働を確認することになるが、実装手順を間違えない限りFPGA搭載ボードでは正確に稼働する。この検証時間は数分であるので、学生間でのFPGA搭載ボードのやり取りはスムーズに行われていた。

学生が課題をこなす速度は、文法エラーの探索にかかる時間にも関係するが、主にコーディングのさいのキーイングの速度で決まり、個人差が大きい。従って、その日の課題によっては進捗が遅れるグループが出てきた。これらの学生については、演習終了後にその日の課題を消化するまで指導した。一方、早くに課題を終了したグループが時間を持て余し、私語に走るのではないかという懸念があったが、意外にもネットサーフィンなどで静かに待機しているものが多く安堵した。

【ストップウォッチの回路設計】

表1から分かるように、当演習の第2週から第4週まではクロック同期回路の学習に重点を置き、7セグメントLEDで動作の確認を行っている。これらはどのデジタル回路設計の演習授業でも行われている内容で

あるが、設計した回路をFPGA搭載ボードで稼働させる楽しさは少なくとも感じているようであった。第5週の課題演習では、それまでの3週分の演習内容をもとにダウンカウンタやダウンタイマーを設計することを課したが、そのさいグループ内では話しあわず個人で行うこと、授業中に完成させた学生には点数を加算する旨伝えた。学生にとってはテキストが用意され、それにならって回路設計をすることに慣れてきたため、自分でVHDL記述を考えるということに戸惑いを覚えていた。そのため、授業時間内に完成させた学生は5、6人にとどまり、それぞれグループが異なっていた。他の学生には翌週までに完成させることを宿題としたが、当然グループ内や友人同士で相談しているため、類似した記述が多数見られた。なお、未提出の学生は皆無であった。

第6週と第7週では、第5週までに学習したクロック同期回路を使用し、図1に示す実用的なストップウォッチ回路を階層構造で設計する演習を行った。完成すると市販のストップウォッチと同じ動作をするので、学生は設計した喜びと達成感を感じるのではないかという期待を持った。新たな学習項目は、4個の7セグメントLEDを用いたダイナミック点灯方式、スイッチでモード切替（0.01秒単位、0.1秒単位、1秒単位）を可能にするステートマシンの導入、階層構造による回路設計などである。かなり複雑な回路に思えるが、

図1 モード切替型のストップウォッチ回路の構成³⁾

この段階になると、学生はHDLの記述エラーの修正に慣れてきており、演習時間内にFPGA搭載ボードでストップウォッチ回路を稼働させることができた。他より早く完成させた学生は周りの学生に誇らしげに見せて周ったり、何かを計測して楽しんでいる様子も見られ、当演習の大きな目標の一つは達成できたものと考えている。

【LCDの初期化回路設計】

回路設計ではステートマシンはクロック同期回路と並び重要な学習項目の一つである。LCDの初期化回路のHDL記述では、ステートマシンを多用する。そのため、第8週の課題演習で状態遷移図をいくつか提示し、学生にステートマシンを設計させた。半数ほどの学生は演習時間内に設計を完成させていた。初期化回路はデータ出力制御回路と初期化データ送出回路から成る。データ出力制御回路はLCDに初期化データまたは文字データを送出するためのインターフェイス回路であり、初期化データ送出回路はLCDの表示方式を決めるデータを順に送出する回路である。学生にこれらの回路を記述させると演習時間内に終了できない恐れがあるため、あらかじめ学生に設計回路の一部を渡しておいた。そして、第9週と第10週の授業でステートマシンの構造やデータを追記させたり、書き換えさせたりして、LCDの初期化回路の機能や表示方式の変更の仕方を学習させた。第10週の課題演習では初期化が済んだ後にLCDに表示する文字データを送出する回路を設計させた。その際には、表示する文字の順番を考慮し、ステートマシンの知識を活用して設計する必要があるが、殆どの学生はグループで協議しながら完成させ、LCDに文字が流れる様子を確認し合っていた。

【非同期シリアル通信の回路設計】

座学講義で通信速度を生成する回路設計などを説明したのち、第12週から14週にかけてこれまで学習してきたタイマーの回路設計を参考に、通信速度を決める回路を設計し、さらに送信機および受信機の回路設計を行った。数人を除いては演習時間内には完成できず、

翌週に持ちこむこととなった。教員が巡回すると、学生が内容の理解に戸惑い気味な様子が見てとれた。しかし、図2に示すように、送信機で送信した文字が通信ケーブルを介して受信機で受信され、7セグメントLEDやLCDに表示されると、安堵感とともに達成した喜びを感じていたように思う。いずれのグループも学生間の協調が取れ、回路検証を終了することができた。

4. 学習評価と授業評価

中間試験と期末試験では、基本となるデジタル回路のHDLのコーディング能力を評価した。両試験の合計点を100点とし、60点未満を不合格としたが該当者はいなかった。また合格点を4段階に分類すると100～90点のS評価：21%、89～80点のA評価：9%、79～70点のB評価：40%、69～60点のC評価：30%であった。HDL記述の誤記内容でBとCの評価を分けているが、両方で70%の学生が該当していたことは意外であった。

4回の課題演習の評価はその完成度で評価し、演習時間内にFPGA搭載ボードで正常に稼働させた学生をS評価、翌週の演習時間前に稼働を確認しコードを提出した学生をA評価、稼働に問題がある学生はそのコードの誤記内容でBとCの評価とし、未提出の学生は不合格とした。その結果S評価：21%、A評価：72%、B評価：7%でC評価と不合格者はいなかった。S評価の学生はすべて中間試験と期末試験でのS評価の学生であり、回路の設計能力が高くHDLの授業をよく理解している学生であった。なお、S評価の学生で同一のグループに属しているものはいなかった。S評価以外の殆どの学生はA評価を受けており、S評価の学生を中心としたグループ学習が順調に進行している様子が分かる。また、S評価の学生がいないグループでも殆どの学生がA評価であり、グループ内での教え合いがうまく行われていたものと思われる。

本学では授業評価の一環として、すべての授業で期末ごとに所定のアンケート用紙を学生に配布し、授業評価を受け公表することを課している。図3と図4に、演習授業の評価結果を示す。図3(a)の質問「あなたは授業に集中していましたか」に対しては、学生全員が大体かいつも集中していたと回答している。グループ学習を導入してからはグループの進行はグループの責任となるため、演習内容に関する話し合いが主となり、私語が無くなった。これから協調学習の効果が出ているものと思われる。図3(b)の質問「教員は学生に適切に対応していましたか」に対しては、適切に対応していなかったという否定的な回答はなかった。演習を開講した当初は教員が文法エラーの修正指導にあたることがあったが、授業が進むにつれ、エラーが出るとグループ間で相談していた。また、教員は巡回中

図2 非同期シリアル通信の通信状況

(a) あなたは授業に集中していましたか

(a) 授業内容は理解できましたか

(b) 教員は学生に適切に対応していましたか

図3 学生による授業アンケート評価 (その1)

(b) 授業内容の分量は適当だと思いますか

(c) 授業の達成目標は達成できましたか

図4 学生による授業アンケート評価 (その2)

に学生の進捗管理を名目として、学生とできる限りコミュニケーションをとることを心がけた。学生は教員と直接話す機会が少なく好感を持たれたようで、これが学生の授業に対するモチベーションを上げることに貢献していたように思う。

図4 (a) の質問「授業内容は理解できましたか」に対しては、学生全員が授業内容を大方理解していることが分かり、学生に対する演習の評価で、90%を超える学生がS評価またはA評価を受けたこととほぼ対応している。図4 (b) の質問「授業内容の分量は適当だと思いますか」に対しては、約30%の学生が多すぎると回答している。授業の後半の非同期シリアル通信の回路設計が、その内容に対して時間不足であった。送受信機の回路を設計しFPGA搭載ボードで文字伝送を成功させたときの達成感を狙ったが、教員の勇み足の感があり、この演習内容の見直しが必要と思っている。図4 (c) の質問「授業の達成目標は達成できましたか」に対しては、全員が達成かほぼ達成できたと考えている。この結果は図4 (a) の授業の理解についての結果と全く同一で、理解できた学生は達成できたと考えており、ほぼ理解できた学生はほぼ達成できた学生と考えてよいのかもしれない。また「総合的に判断して、あなたはこの授業に満足していますか」という問いでは、全員が大変満足またはほぼ満足との回答を得たが、当授業は少人数の演習のため教員も目が行き届きやすく、学生もまとまりやすいことが一因とも思われる。

5. おわりに

当演習授業を実施するさいのキーポイントとなるのは、テキストの構成であった。市販のHDLに関する書籍のほとんどは最初に初歩的な回路設計を扱い、次に高速演算回路やマイクロプロセッサなどの回路設計に進み、急に難しくなるので、そのままテキストとして採用することに躊躇せざるを得なかった。そのため雑誌、書籍、技術資料などを参考にテキストを編成したが、学生の反応を見ると、改良の余地が多々あるものと考えている。また、学習支援システムを構成した経験があるので⁵⁾、その利用も考慮した。しかし、本学では新たにe-learningの機能が充実しているMoodleを利用できる環境になったため、座学講義に小テスト(○×型式、選択型式、穴埋め型式等)を導入し、学生にオンラインで即座にフィードバックすることにより、理解度を上げる方法を考える。グループ学習に対しては、従来よりグループ間の競争意識を助長させる

と教育効果が上がるとの意見があったが、そのさいインセンティブをどのように取り入れるかなどの方法論については、今後の検討課題としたい。

参 考 文 献

- 1) 兼重明宏, 藤本 浩, 伊藤 尚, 森野数博, 戸田善久: PICマイコン制御製品開発による総合演習教育, 工業教育, 51-5, pp.74-79, 2003
- 2) 千葉悦弥, 管 隆寿, 秋田敏宏, 山本美幸: 組込み技術を使用したものづくり教育プログラムの実施と評価, 工業教育, 58-5, pp.18-23, 2010
- 3) 坂巻佳壽美: 見てわかるVHDL, 工業調査会, 2002
- 4) 井倉将実: FPGA/PLD設計スタートアップ 2005/2006年版, CQ出版社, pp.145-166, 2005

- 5) 藤永清久: チャットツールを利用した習熟度別情報リテラシー教育の実践と評価, 工業教育, 55-4, pp.109-116, 2007

著 者 紹 介

藤永 清久

1975年北海道大学大学院修士課程修了。同年日本電信電話公社電気通信研究所入所。1996年北海道工業大学教授。現在に至る。電子情報通信学会, ECS, IEEEの各学会会員。

〒006-8585

札幌市手稲区前田7条15丁目4-1

fujinaga@hit.ac.jp