半導体デバイスとその動向

Trend of Semiconductor Device Development

林 豊
Yutaka HAYASHI

Key Words: VLSI, Memory, Logic LSI, MOS LSI, Bipolar LSI, GaAs IC, 3D Device, Super Lattice Device

1. はじめに

半導体デバイスの製造技術の進歩は著しく、例えば MOS (Metal Oxide Semiconductor) メモリの場合などは、3年ごとに4倍の集積度の増加をみせてきた。このようなめざましい進歩の陰には技術者達の大変な努力がかくされている。4倍の集積度の増加を実現するためには3年前に開発した製造技術はもはや使いものにならないわけで、LSI 製造技術のかかなりの部分が3年間で更新されていることを意味する。このためには半導体デバイス製造にたずさわる技術者達は、つい2~3年前に確立した技術を捨ててより高度な技術の開発に挑戦し続けてきた。この過程で従来不可能と思われていた技術分野も可能性が見えてきた。例えば数年前までは LSI 技術も $0.5\mu\text{m}$ の線幅加工技術レベルで限界があり、これを越えることはなかなか難しいといわれてきた。この限界は half micron barrier と呼ばれ、日米の技術者達の共通の意識として存在していた。その時代に $0.5\mu\text{m}$ 以下の LSI デバイスの話などしようものなら常識知らずとあざけられるか、無視されるのがおちであった⁽¹⁾。ところがここ2, 3年のうちに quarter micron project がささやかれるようになり、half micron barrier は越えられると思う技術者の数が増えてきている。これはやはり従来の半導体デバイス技術者の古きに安住しない挑戦的な性格のなすところと思われる。そのように対峙しなければ

ばめまぐるしい発展から取り残されてしまうという事実も否めない。

2. VLSI (Very Large Scale Integrated Circuit)

2.1 半導体メモリ 半導体メモリは VLSI の集積度の牽引車としてその先端を走ってきた。この半導体メモリは次のように分けて考えることができる。

任意書き換えメモリ (揮発性)	ダイナミックメモリ (DRAM)
	スタティックメモリ (SRAM)
不揮発性メモリ	読み出し専用メモリ (ROM)
	使用者がプログラムできるメモリ (PROM)
	電氣的に書き換え可能なメモリ (EEPROM)

これらのメモリのうちで、ダイナミックメモリは図 1(a) に示すように1個のトランジスタと1個のキャパシタで1bitを構成する高集積向きの RAM (Random Access Memory) で情報がキャパシタに蓄積される電荷の形で蓄えられる。キャパシタの漏えい電流を通して電荷が放電して情報が消失するために情報の書き直し(リフレッシュ)を周期的に行う必要があるため、ダイナミック (Dynamic) RAM と名付けられた。一方スタティック (Static) メモリは図 1(b) に示すように記憶

* 電子技術総合研究所 (〒305 茨城県新治群桜村梅園 1-1-4)。

図 1 各種半導体メモリのユニットセル

は回路技術で実現されたフリップフロップであるため、リフレッシュが不要で高速動作が可能である。しかし bit 当たりの素子数が 6 素子と多いので、1 チップに収納できる bit 数は少なく、ダイナミックメモリの 1/4 程度である。

半導体メモリは磁性メモリと比較したとき、電源を切ると情報が消えてしまうという欠点がよくあげられる。これは読み出し専用 (Read Only Memory ; ROM) 化、又は書き込み速度を DRAM, SRAM 程高速にしなければ解決できる。図 1(c) に示すようにメモリを製作するときに、情報に応じて、bit ごとにトランジスタに接続する bit としない bit を作っておけば、辞書のように情報をメモリチップに刷り込んでおくことができる。もちろん、このメモリは電源を切っても情報がなくなる、すなわち不揮発性である。しかし、内容を書き換えることができないのと、大量に使用されなければ経済的に見合わないという制限があり、多様で、数の少ない応用には向かなかった。そこで、使用するときには情報を書き込むことのできるメモリ (Field Programmable Read Only Memory ; FEPROM, PROM と略す) が 1971 年商品化された。この種のメモリで現在最も一般的なメモリセルの構造を図 1(d) に示す。この構造のメモリでは情報は浮遊ゲートに電子 (又は正孔) を注入することによって書き込まれ、浮遊ゲートに電子が蓄積しているかどうかの検出・読み出し

図 2 ダイナミックメモリの集積度と最小線幅 (実績と予測)⁽¹⁾

はゲートしきい値電圧の変化をみて行われる。浮遊ゲートに蓄積された電子は浮遊ゲートが絶縁膜 (SiO_2) で囲まれているので、ダイナミックメモリのように放電してしまうことはない。このメモリを消去するためには、紫外線を照射して、電子にエネルギーを与えて浮遊ゲートから飛び出させる。

更にその消去を電気的に行うために図 1(e) に示すように、浮遊ゲートとソース又はドレイン間に電子が強電界を加えたときトンネルができる程度に絶縁膜の薄い部分を作っておき、そこを通して浮遊ゲートから電子を引き出す動作原理を有するデバイスも生まれており、これは電気消去可能な PROM (Electrically Erasable PROM ; EEPROM) と呼ばれている。この EEPROM を

図 3 写真は 1984 年世界に先がけて発表された 1 Mbit ダイナミック MOS メモリ (日立製作所提供)

RAM セルの中に作り込み、通常は RAM と同等の速度で、読み書きができ、電源が切れるときに検出してセルの中の EEPROM にセルの内容を移して不揮発化した NVRAM (Non Volatile RAM) と呼ばれるメモリも作られている。これら不揮発性メモリの内で 1 チップ当たりの bit 数が最も大きくとれるのが ROM であり、PROM, EEPROM, NVRAM の順に集積 bit 数は小さくなる。

さて LSI の集積度の指標としてよく使われるのが、上記のメモリの中で集積度が大きくは汎用性のあるダイナミックメモリである。図 2 はフォトリソグラフィーの寸法とダイナミックメモリのチップ当たりの bit 数を示す⁽¹⁾。1985 年にはすでに 1 Mbit/チップの発売が公表されており (図 3 に 1984 年に発表された 1 Mbit ダイナミック MOS メモリを示す), 1986 年 2 月には 4 Mbit/チップの開発研究レベルの発表が行われた。1 Mbit のフォトリソグラフィー技術は $1\sim 1.5\mu\text{m}$ の線幅に相当している。歴史的な開発過程を見ると線幅と集積度は不思議なくらい直線関係にのっている。この直線を延長すると 64 Mbit 時代は $0.2\sim 0.3\mu\text{m}$ の線幅に相当する。リソグラフィー技術としては電子ビーム露光, X 線露光を量産技術化して行くことが考えられているが、最近、エキシマレーザを光源とした遠紫外線露光で $0.1\mu\text{m}$ の線幅が実現されたという報告もあり、当分の間、何が良いと決めつけられないであろう。ただしリソグ

図 4 1 チップマイクロプロセッサの機能⁽³⁾

ラフィーのためのマスクは電子ビーム露光で作られて行くであろう。なお筆者の意見だけでなく、他の意見を示すために図 2 には最近発表された予測⁽²⁾も重ねて示す。

2・2 論理 LSI メモリに対して論理演算等を行う論理 LSI は、その使用目的に対応して多種多様である。顧客の仕様に応じて論理設計された LSI をカスタム LSI、用途に応じて用意された LSI を ASIC (Application Specific IC) と呼んでいる。これらの LSI は、デバイス加工技術のみでなく論理仕様をフォトマスク用パターン化するまでの設計過程を短時間で可能とする CAD (Computer Aided Design) システムが完備されている必要がある。現在カスタム LSI を最も短い時間で実現する手法の一つとしてゲートアレイがあり、CMOS (Complementary Metal Oxide Semiconductor; 相補形 MOS トランジスタ回路) で 1 万

ゲートのゲートアレイが実用化され、2万ゲートレベルのゲートアレイも開発途上にある。

カスタム LSI に対しては汎用論理 LSI としてマイクロプロセッサが挙げられる。マイクロプロセッサは 1971 年に 4 bit 信号用の製品 (i 4004) が I 社から発表されて以来、広い応用範囲が実証されて、需要が増加しつづけている。チップ当たりの素子数も 2 年ごとに 2 倍の率で増加して N 社の V 70 では 32 bit 信号を扱い、70 万素子が集積されている。これに伴って 1 チップに集積される機能も図 4⁽³⁾に示すように CPU (Central Processing Unit), ROM, RAM の他にかなりの周辺機能も内蔵されるようになった。今後のマイクロプロセッサはますます大きな機能を 1 チップ内にとり

図 5 スーパーセルフアライン技術 (SST-1A) を用いて作られた超高速バイポーラトランジスタ。エミッタ幅 $X_{EW}=0.5\mu\text{m}$ 、エミッタ・ベースコンタクト間距離 $X_{EB}=0.3\mu\text{m}$ が実現されている。将来更に微細寸法化が可能である。

込み、メモリ容量も増加していくことと思われる。更に集積度が大きくなると、EEPROM を大量に集積することにより、使い勝手の柔軟なものとしていく努力が必要とされる。

3. 高速 LSI

シリコン LSI では高速 LSI はバイポーラデバイスで実現されてきた。集積度では MOS に優位があるものの、ある程度電力を消費させて ECL (Emitter Coupled Logic) のように低インピーダンスにして小振幅 (信号振幅の小さい) 回路が実現できるバイポーラデバイスは速度の点では有利である。日本電信電話 (株) NTT 電気通信研究所ではシリコンで図 5 に示すようなスーパーセルフアライン技術 (SST) を駆使して微細寸法 (エミッタ幅 $X_{EW}=0.5\mu\text{m}$ 、ベースコンタクト・エミッタ間距離 $X_{EB}\cong 0.3\mu\text{m}$) のバイポーラトランジスタを可能とし、NTL (Non Threshold Logic) 回路で約 40 ps (ピコ秒)/ゲートの速度を実現している⁽⁴⁾。この速度は負荷容量が増えても、MOS LSI や、GaAs IC のような大幅な低下はない (負荷の駆動能力が優れている)。バイポーラ SRAM では 4 kbit/チップで 1.1 ns (ナノ秒)⁽⁵⁾、32 kbit/チップで 3 ns のアクセスタイムが報告されている。

一方 MOS LSI ではゲート長等の加工寸法の微細化によってどこまで高速化が可能であるかを試

図 6 各種 GaAs FET の断面図とエネルギーダイアグラム。(a) MESFET は一様な n-GaAs のチャンネルにショットキゲートを設けたもの、(b) HEMT は高移動度を実現するためにドーピング超格子の 1 単位 (n-GaAlAs/GaAs) にショットキゲートを設けたもの、(c) SIS FET は GaAlAs 層を絶縁膜として用いた化合物半導体の MOS FET 版

作によってたしかめることも行われており、ゲート長 $0.3\mu\text{m}$ の技術で負荷の小さいとき $50\text{ps}/\text{ゲート}$ の速度を実現している⁽⁶⁾。バイポーラトランジスタの優れた駆動力と MOS トランジスタの高集積性を組合わせた Bi-CMOS LSI が、 13ns 、 $64\text{kbit}/\text{チップ}$ SRAM⁽⁷⁾ 等の高速 VLSI として開発されつつある。

GaAs LSI は Si LSI に比べれば開発の歴史は浅いが、材料以外の LSI 化技術はほぼ Si LSI の技術を援用することができる。最近の GaAs 基板の進歩は著しく、 2in 径の無転位基板の出現により FET (Field Effect Transistor) のパラメータ (特にゲートしきい値電圧) のばらつきが小さくなり、高集積化が可能となってきた。現在 1ns 1kbit SRAM のレベルまで商品化されつつあり、 4ns $16\text{kbit}/\text{チップ}$ の SRAM まで発表されている⁽⁸⁾。しかし、シリコンバイポーラ LSI より低電力でかつ高速の性能を出していかないと市場の形成は難しい。構成するトランジスタは図 6 に示すような MES FET (金属ショットキゲート接合形 FET)、

図 7 電子・正孔の閉じ込め層を狭く ($d \leq 700\text{\AA}$) 光閉じ込め層 ($W \approx 0.45\mu\text{m}$) と分離して高効率化したレーザ [graded-index waveguide separate-confinement heterostructure (GRIN-SCH) laser].

図 8 OEIC の 1 種類 (Si 情報処理 LSI チップ上に光素子を集積したもの) の概念図

HEMT (高移動度トランジスタ)⁽⁹⁾が使われている。ゲートしきい値電圧のばらつきが小さく、CMOS 化が可能なトランジスタとして SIS (Semiconductor Insulator Semiconductor) FET⁽¹⁰⁾ が提案されている。負荷の小さいゲートの速度はシリコンデバイスより速く、約 $10\text{ps}/\text{ゲート}$ が報告されている⁽¹¹⁾。

4. OEIC (光電子集積回路)

化合物半導体デバイス特に LSI は速度の点ではシリコン LSI と厳しい競合関係にあるが、発光素子を考えるときには化合物半導体デバイスの独壇場である。半導体レーザは短波長化、高出力化、高効率化 (低いき値電流化) の方向で開発が続けられている。半導体レーザはダブルヘテロ構造の発明で室温発振が可能となったが、これは光および電子・正孔を二つのヘテロ接合の間に閉じ込めることによって発光効率を高めたことによる。更に高効率化するための研究の結果、図 7 に示すように光の閉じ込めのための屈折率の井戸と電子・正孔閉じ込めのための電子的な井戸を別々に設計するデバイスが生まれた⁽¹²⁾。この構造によってしきい値電流を $250\text{A}/\text{cm}^2$ まで下げることに成功している。

一方上記のデバイスの設計思想は、光デバイスは電子デバイスより大きな体積を必要とすることを計らずも示している。図 2 に示すように電子デバイスが $\text{low sub } \mu\text{m}$ の寸法になってくれば、将来限界近くまで小形化されたレーザよりも更に 100 倍程の集積密度が実現され、単位ゲート当たり 10ps オーダの速度で情報処理が進むとすれば、光演算に頼るまでもなくかなり高速な情報処理が、並列に処理可能となる。このときの問題は 10ps クラスのパルスが細くて長い電気配線で減衰してしまうことであり、これを解決するためには図 8 に示すように光の力を借りる必要がある。電子デバイスで高速に情報処理された結果を光伝送する (伝送距離はチップ内又はチップ間であったり、カード間であったりするが) IC を OEIC (Opto Electronic IC) と呼び開発に着手したばかりである⁽¹³⁾。これは近年実用化されつつある光ファイバ通信の端末 IC とはニーズの源が異なる

図 9 三次元 IC の製造工程例，2 層目までを示す

が，外見上はよく似ているし，将来光通信が高度化した場合は前記の意味の OEIC ももちろん使用されるようになる。上記の OEIC は電子デバイス LSI と光デバイスのハイブリッド化では本来の目的は達成されない。製造技術としては電子デバイス基板上への光デバイスのモノリシックな集積技術，材料技術面ではシリコン上の化合物半導体のヘテロエピタキシャル技術の開発が重要である。

5. 三次元デバイス

これまで述べてきた二次元 VLSI 技術はやがてどこかで限界に到達するであろうから，これを打破することを目ざして三次元デバイスの研究開発が行われている。しかし，二次元 VLSI の集積度に着目してその限界のみを破るためであるのならばあまりにも労が多すぎるし，微細化により，現状の 100 倍までは二次元 VLSI で集積可能な見とおしも得られているので位置づけも誤ってしまう。二次元 LSI をならべてそれを外部端子で相互接続しただけでは現実的に不可能な機能，又は理論的には可能なはずであるが，実用上は時間がかかりすぎて使用できない応用に三次元 LSI の開発の意味がある⁽¹⁴⁾。また積層構造を使うことにより新しい特徴を有するトランジスタ等の実現が可能であればこれも又意味あることである。

現状では研究開発の努力は三次元デバイスの製造技術に重点が置かれている。図 9 の製造工程例

図 10 X MOS トランジスタの断面図

にも示されているように三次元デバイス特有の製造技術として絶縁膜上に高品質の半導体結晶層を形成する SOI (Silicon On Insulator) 技術，多層構造になったときに表面が下層の素子や配線の配列を反映して凹凸が著しくなるのをこれを平坦化する技術，下層の素子を熱的に破壊又は劣化させないための低温又は短時間熱工程プロセス等が開発されつつある。

SOI 技術として研究発表の多い分野はレーザ又は電子ビームで絶縁膜上のシリコン薄膜を熔融→固化・結晶化させるいわゆるレーザアニール又は電子アニール技術で，結晶粒の大きい，結晶面指数，移動度のそろった結晶薄膜の再現性のよい形成方法の研究開発が行われている。この技術は一瞬ではあるが基板表面がシリコンの融点 ($\cong 1410^{\circ}\text{C}$) 近くまで昇温するので，低温での長時間加熱による固相エピタキシャル技術も重要な技術となる可能性がある。

現在までに試作されている単結晶の三次元 IC は，2 層構造の 256 bit SRAM などのプロセス実証サンプルのレベルである⁽¹⁵⁾。三次元 IC 構造の

図 11 量子井戸レーザの発振波長と量子井戸幅の関係。横軸は 80 Å 厚の $\text{Al}_x\text{Ga}_{1-x}\text{As}$ バリア層に囲まれた GaAs 井戸の幅・井戸の数は 10 (●) の場合と 20 (■) の場合のデータが示されている。

利点がデバイス面に生かされた例としては、1 層めと 2 層めで n チャンネル、p チャンネルと作り分けて、ラッチアップ現象のない、ウェルの不要な CMOS 回路が報告されている。また三次元 IC の微細化に適し、更に層間の雑音に強いトランジスタとして図 10 に示す XMOS トランジスタが提案されている⁽¹⁶⁾。三次元デバイスの特徴が発揮されるのはまだ先の段階であろう。

6. 超格子・超構造デバイス

超格子とは種類の異なる原子を人工的に、多くの場合、周期的に配列して微細構造を形成し、自然に形成される素材より優れた特性を持つように設計されたもので、それ自体デバイス構造の 1 要素として考えることもできる。通常構造の変化は急峻であり原子層レベルである。周期構造をもたずに段階状に変化した部分構造のみを用いたデバイスは超構造デバイスと呼ばれており、HEMT、SIS トランジスタがこれに該当する。これらのトランジスタは超構造部分に誘起されている二次元電子ガスの高移動度特性を利用している。

超格子の 1 周期の厚さを薄くしていき、電子の

図 12 共鳴トンネルエミッタをもつホットエレクトロントランジスタ (RHET)。ベースエミッタ電圧を増加して行き、エミッタの伝導帯と量子準位が同一レベルの (b) の状態になったとき電流は極大値をとる。

波の波長程度以下になると、伝導帯、価電子帯中で電子、正孔が存在可能なエネルギーレベルが量子化されてとびとびのレベルに分離する。このような量子井戸はその幅が狭くなるほど量子化レベルの飛びは大きくなるのでこのレベル同士（電子と正孔）からのキャリア再結合を用いた量子井戸レーザは母材のレーザよりも短波長で発振する。又空間的にもエネルギーレベル的にもキャリアが閉じ込められているので発振のためのしきい値電流も小さい。たとえば、図 11 に示すように、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ (80 Å) / GaAs の周期構造で井戸に相当する GaAs 層の幅を 55~13 Å としたとき、発振波長は 836~704 nm まで短波長化したことが報告されている⁽¹⁷⁾。

この量子化レベルを用いて、共鳴トンネルエミッタを備えた、新機能を有するホットエレクトロントランジスタが開発されている。図 12 に示すようにベース・エミッタバイアスを変化していき、エミッタのフェルミレベルが量子準位に一致したときにエミッタからベースへ極大電流が流れる。このためコネクタ電流はベース電圧に対して N 字形の変化をする⁽¹⁸⁾。この特性は周波数で 1 倍や Exclusive-OR 回路に使われる可能性がある。

このほか、負性抵抗素子も含んだ数多くの新素子、改良素子の提案が超格子構造を用いて行われている。

7. おわりに

半導体デバイスについて、特に微細加工技術がその性能を支配するものについて現状を解説し、その将来を考察した。10年後には100 Mbit時代がやってくる可能性がある。OEIC, 三次元LSI, 各種の新素子が実用化の第1歩を踏み出しているかもしれない。しかしそのためには、従来にも増して半導体技術者の努力と、半導体デバイス産業をサポートする材料技術、微細加工および自動化装置を作り出す機械関連技術のバランスのとれた発展が不可欠であることは言うまでもない。

(原稿受付 昭和60年2月3日)

文 献

- (1) Hayashi, Y., *Pannel Session II Very High Speed Devices for VLSI, 1981 Symp. on VLSI Technol.*, (1981-9), 図2はこのときの内容の一部を片岡・林, エレクトロニクスの新天地を拓く, 日本の科学と技術, 25-228 (昭和59年), 20. に掲載したもの。
- (2) 橋本・ほか5名, 日経マイクロデバイス, 1-1 (昭60), 130.
- (3) 可児・吉田, 文献(2)の157ページ。
- (4) Sakai, T. and Suzuki, M., *1983 Symp. on VLSI Technol.*, (1983-9), 16. (アメリカ・IEEEと日本応用物理学会との共催)。
- (5) Miyanaga, H., ほか4名, *1984 Symp. on VLSI Technol.*, IV-1 (1984-9), 50.
- (6) Kobayashi, T., ほか2名, *1984 Int. Electron Device Meeting*, 15-5 (1984-12), 414.
- (7) Ogiue, K., ほか, *1986 Int. Solid-State Circuit Conf. THPM* 16-6, (1986).
- (8) Hirayama, M., ほか5名, *IEEE Trans. Electron Devices*, ED-33-1 (1986), 104.
- (9) Mimura, T., ほか4名, *Jap. J. Appl. Phys.* 20 (1981-8), L 598.
- (10) Matsumoto, K., ほか9名, *Electronics Lett.*, 20 (1984), 462; *Electronics Lett.*, 21 (1985), 580.
- (11) 山崎・ほか2名, 電子通信学会技術研究報告, CPM 84-82, (昭59-11)。
- (12) 原著ではないがヘテロ接合半導体レーザの解説としては, Tsang, W.T., *IEEE J. Quantum Electronics*, QE-20-10 (1984), 1119.
- (13) 小林, 日経マイクロデバイス, 1-1 (昭60), 211; 川浪・ほか4名, 電子技術総合研究所集報, 48-5-6 (昭59), 463.
- (14) 林, 電子通信学会誌, 66-8 (昭58), 831.
- (15) 三次元回路全搬を見とおした解説として, 古川, 日経マイクロデバイス, 1-1 (昭60), 174.
- (16) Sekigawa, T., ほか3名, *The 17th Conf. on Solid State Devices and Materials*, (1985), C-3-9-LN.
- (17) Woodbridge, K., ほか3名, *Appl. Phys. Lett.*, 45-1 (1984), 16.
- (18) Yokoyama, N., ほか3名, *Jap. J. Appl. Phys.* 24-11 (1985), L 853.