電子部品の実装技術の動向

Trend in Assembly Technology of Electronic Parts.

千葉 宏一

Koichi CHIBA

- 1947年4月生まれ
- 電子部品の実装で、ハイブリッドICの組立や、SMTのレーザはんだ付け等の関連の装置システム開発に従事
- ㈱東芝 半導体システム技術センター
(〒210 川崎市幸区堀川町580-1)

1. はじめに

最近、電子機器は、高性能化、多様化の傾向を強めており、それも年を追うごとに激化している。そのため軽薄短小、高機能化の要求がますます強くなってきている。この軽薄短小の技術で重要なのが電子部品の高密度な実装技術である。これを構成する実装部品、基板、組立などの技術の進歩に支えられて高密度実装技術の進歩が可能になった。ここで図1と図2に高密度実装された基板の例を示す。電子部品では中核をなすのがICで、このIC実装技術は大きく分けてパッケージ入りを使うか、ベア（裸）チップそのままを使うのかによって異なる。図1は表面実装用プラスチックパッケージ入りICを使った製品であり、図2はベアチップを使った製品である。ちなみに従来の実装方法を用いると、図2の場合、製品全体

図1 ICパッケージを実装した基板

の面積はこの10～15倍位になってしまう。

2. SMT（面実装技術）

SMT (Surface Mount Technology) とは高密度実装用パッケージに入ったICや、各種の面付け素子（チップ部品）を、はんだを用いた面付け技術で高密度実装する技術のことである。この方式は10年前より民生用を中心としたプリント基板に導入されて急速に進歩してきた。図1が代表例である。初めにポCKETブルラジオ、次に電卓など薄形化競争が始まり、この時に部品メーカ、自動装着機メーカなどを巻込んで、面実装用に規格化されたチップ部品を自動装着に適したキャリアの形で供給し、その自動装着機械も優秀なものが各社から発売され、今日に至っている。この間に半導体メーカの方も、この動きに呼応して、基板にリードを挿入するDIP (Dual Inline Package) (図3)のリードピッチ2.54mmのものから1/2以下と縮小化し、しかも面実装用リード形状にしたSOP (図4)を開発した。またリードの出し方も2辺だけでなく4辺から出し小形・薄形化を図ったフラットパッケージQFP (Quad Flat Package) (図5)と称する樹脂モールドタイプ

図2 ベアチップICを実装した基板

のICを開発した。さらに高密度実装に適した PLCC (Plastic Leaded Chip Carrier) (図6) と称するパッケージなどさまざまな面実装用部品が開発された。これら代表的なパッケージを説明すると次のようになる。

(1) SOP (図4) SOP (Small Outline Package) は、オランダの Philips 社が1970年の初めに開発したものである。従来使われていた DIP タイプ (図3) のリードピッチを1.27 mmに縮小し、さらに面実装用にリードを“gull wing (カモメの翼)”形としたもので、高密度実装用 IC パッケージとして最もよく普及しているタイプである。

(2) QFP (図5) SOP がだいたい30リード以下なのに対し、QFP はもっと多ピン (リード) の LSI に対応できるようにしてある。現在は数百ピンの QFP が出現している。このピン数は種々の議論を呼んでいるが、おそらく今後も増加の方向をたどると思われる。リードピッチも従来1.27 mmだったのが現在では0.50 mmとなり、さらに狭ピッチ化が進んでいる。これは多ピンになるにつれて、パッケージサイズが大きくなるのを避けるため、狭いリードピッチを用いるためである。

(3) PLCC (図6) PLCC は約6年前にアメリカの Texas Instrument 社が提案したリード付チップキャリア形のプラスチックパッケージである。リードがJ形になっており、自動ハンドリングの利点、占有面積が QFP よりもリードが外向きに張っていない分だけ少なく、より高密度実装向きである。しかし、組立や検査の問題で、リードピッチを QFP より狭く出来ず、従ってリード数が QFP より少ない。

図3 DIP

図4 SOP

図5 QFP

図6 PLCC

3. ベアチップ実装

2章のパッケージタイプと、このベアチップタイプの両方の実装を比較すると、図7のようになる。この図から分かるように、超小形、薄形実装には、この方法が向いている。大別して3方式があり、以下に説明する。

(1) ワイヤボンディング方式 図8に示すごとく、基板の導体 (普通は金めっき) に IC チップを固着 (マウント) する。その後に直径30~15 μm の Au または150 μm 以下の Al の細線で熱 (約300°C位) か、または比較的低温 (約150°C) と超音波を併用して IC チップ上の Al 面へ固相接合させる。そしてさらに、他の導体へ細線をはわけて接合させ、IC チップと導体を結線する。この方式は古くから使われているが、将来においても使われ続けられると思われる。その理由は、ICの種類というものは今後も多品種にわたり次々と生まれる。また導体を含む周辺材料も変わって行く。これらの対応を考えると、この方式を除くことは考えられないからである。

(2) フリップチップ方式 図9にこの方式の概略を示す。チップの電極としては、はんだバンパ (半球状突起) が形成されており、予備はんだされた基板の導体パターン上に位置合せし、赤外線などを使ったリフロー方式で、はんだを溶かして接合する。この時、はんだの表面張力によるセ

図7 パッケージの種類と実装面積の比較

図8 ワイヤ方式

ルフアラインメント（自己修正）作用が働くので、位置合せ精度は多少粗くてよい。良好な接合状態を確保するためには、溶けたはんだが面積の広い導体パターン上に広がってしまい、接合部のはんだ量が少なくなならないように、はんだとなじみの悪い材料でダムを形成するなどの工夫が必要である。IBM は、早くからこの方式をコンピュータ用回路モジュールのアセンブリに応用して技術確立をしている。実装速度はワイヤ方式よりはるかに速い。欠点は目視チェックが困難なことである。

(3) テープキャリア方式 TAB (Tape Automated Bonding) 方式ともいい、図 10 に示すごとく、長尺のスプロケットホール付ポリミドテープに銅はくをラミネートしたものをパターンニングしたのち Sn めっきしてリードフレームとして用いる。Au バンプを形成したチップを Sn めっきされた Cu リードフィンガに熱圧着して Au-Sn 共晶接合させる。この方式は連続生産が出来るので、大量生産に向いている。ただし設備投資額が大きくなるので、少品種大量生産でないとペイしない。TAB 方式は図 7 に示すように実装面積が小さくてすむので超高密度実装が可能になり、かつ薄形実装にも適している。したがって薄形電卓や、IC カードなどにも利用されている。さらにこのテープキャリアは特性インピーダンスを制御できるので、高速デバイスなどにも使われ始めている。

4. 基 板

プリント基板やセラミック基板を使ったハイブリッド IC（以下 HIC、例は図 2 に示す）の信号

図 9 フリップチップ方式

図 10 TAB方式

線などの配線パターン幅は、最小値が $100\mu\text{m}$ 以下になって来ている。高速回路上、インピーダンスの問題があるが、これは配線パターンの断面形状を従来の偏平形から肉厚の台形などの形に発展して行くと思われるので、パターン幅はますます狭くなる。しかし劇的に狭くならないであろう。

これとは別に、基板に実装する半導体 IC であるベアチップ表面のパターン幅は現在 $1\mu\text{m}$ 以下になってきている。それも、ますますサブミクロン化の傾向を強めている。この両者のことから分かるように、数十 μm から数 μm の間に空いた領域が存在する。これが、今後実装上、進むべき領域となる。

基板のパターン幅に関し、現在 $60\mu\text{m}$ 付近で、厚さも $50\mu\text{m}$ のレベルになって来ている。ただ、基板を構成する各層を導通するスルーホール技術が、このファインパターンに対応しなくてはならない。つまり小径の孔あけ技術や、小径孔内のめっき技術などである。現在は穴用ドリル径 $90\mu\text{m}$ が報告されている。

層の構成も、多層化しており、42 層の例もある。これは、計算機の発達で要求されたもので、このほかにインピーダンスを考慮した材料の低誘電率化対策が必要であり、現在使われているガラスエポキシから、テフロン系が注目されている。

HIC によく使われるのが、厚膜用基板と薄膜用基板である。厚膜用基板は Al_2O_3 を主成分とし、電気絶縁性、熱放散性に優れている。薄膜用基板としては、ガラスまたはガラスを表面としたグレーズドアルミナが用いられる。

5. 実 装

今までの事項を、実装の観点よりとらえて見ると、次のようになる（図 11 参照）。まず IC ベアチップを見ると、配線 $1\mu\text{m}$ 以下だが、問題なのは外に配線を出す方法である。普通はワイヤ方式を用いるが、そのために一辺 $100\mu\text{m}$ の IC 電極パッドが必要になる。他の方式を用いても、そう小さくはできない。IC 設計者にとり、このパッドが高集積度化を妨げる最大の要因になっている。さて、次にワイヤがリードフレームに張られる場合、このフレームと、IC チップ、それにマウント用パッドを合わせ、モールドされれば、電

子部品としてのプラスチックモールド IC となる。これが SMT 用なら図示のように“gull wing”となり、QFP, SOP などの面実装用部品の形態となる。リードフレームが $300\mu\text{m}$ (現在、さらに狭い方向に発展しているが) とは、IC チップのパッドから見ても、いかにも大き過ぎる。ここにも高密度実装を進展させねばならない領域がある。

ちなみに、HIC の場合、このマウント用パッドが HIC 用の基板となり、このパッド上に配線パターンが走っている構図である。したがって、ワイヤは、このマウント用パッドに直接ボンディングされる。この HIC にしても、いずれはプリント基板上に実装される場合が多い。

次に SMT 用部品が乗るにしても、図 11 のように $350\mu\text{m}$ 幅前後の基板導体の受けがプリント基板上に必要である。つまり配線幅をいくら狭くしても、この導体が必要となる。この導体と IC のリードフレームがはんだで接合される。これが従来の DIP サイズだと 4 倍近くの大きさが必要である (ピッチサイズ換算)。IC チップの線幅サイズに対して、プリント基板の線幅のサイズがいかに大き過ぎるか理解いただけたと思う。

(1) 実装フロー 実装に関しては、種々の工夫がなされて複雑だが、SMT 実装の代表的な流れは図 12 のようになる。基板に関し、はんだペーストを印刷機で印刷するが、高密度実装になると、はんだ量、供給位置を制御する必要がある。半導体にしてもリード位置などの精度判別がなされる。この後、IC などが実装されるが、その際、搭載位置は高精度で制御される。従来は $\pm 100\mu\text{m}$ 位だったが、現在、部品によっては $\pm 50\mu\text{m}$ の時代になっている。この後にはんだ付けを装置で行う。これは温度特性、加圧量、それに保持位置な

図 11 IC チップからプリント基板へのデザインルールの変化

どの制御が必要になって来る。そして最後に検査となる。

HIC などのベアチップ実装組立は図 13 のようになる。セラミック基板は銀ペーストなどで塗布してあり、これにベアチップをマウントして実装する。その後、直径 $30\sim 20\mu\text{m}$ の金線でワイヤボンディングされ、種々の電気検査をして封止される。

(2) 表面実装装置 従来は、表面実装装置としては軽薄短小、高機能、高信頼の路線で来たが、最近は、コスト面も重視して来ている。装置の分類としては、高速実装装置、はん用実装装置、高精度実装装置などに分類でき、それらをメーカー側が組合わせて、多品種少量、同時混載などを織り込んだ総合的な生産システム化へと向かっている。

ただ、問題点もいろいろある。代表的なもの

図 12 IC パッケージ装着順序

図 13 ベアチップ装着順序

図 14 HIC 用ワイヤボンディング

図 15 二次元レーザー加熱

しては、第一に段取替えの手間がかかりすぎることである。これがいちばん多い。第二として、装着精度が悪い。また第三として搭載可能な部品の品種が少ないことなどが挙げられる。これらは装置の自動化の対応上、重要課題になっている。

(3) ベアチップ実装装置 種々の方式の内、ワイヤ方式を取り上げると、HICは多数チップを使うため、多数ワイヤ対応、全自動、高速高精度、高速機構などの特徴を備えたHIC用ワイヤボンダが必要となる(図14)。ここでは、サーボ技術、認識技術などのメカトロ技術を駆使した装置となっている。

(4) はんだ付け技術(マイクロソルダリング)

まずリフロー方式について述べると、これは赤外線を使った方式が圧倒的に多く、種々の全体加熱方式の中で、6割を占める。しかし、熱分布が不均一なため、今後の伸び率は期待できない。

次に局部加熱方式の内、何といても注目されているのがレーザー方式である。現状では、種々の局部加熱方式の内、1割未満だが、将来は大きく伸びると言われている(3年で4倍の伸び)。こ

図 16 ダブルウェーブ方式

の方式はイニシャルコスト(装置価格)は高いが、フレキシブルな対応が出来るため、多品種対応に向いていると思われる。具体的な使い方は色々あるが、図15に示されるように、レーザ用ミラーを2枚(これを2組)使い、レーザ光を二次元的に制御し、微細なはんだ付けに対応する例もある。

次に光ビーム方式について述べると、現状で5%未満と少ないが、将来は伸びると期待されている。この方式は、イニシャルコストが安く、多量生産に向いており、今後伸びるとと思われる。

次にフローはんだ方式だが、この中でダブルウェーブ方式(図16)が全体の約6割を占める。ポピュラーな方式で、DIPタイプに使われる代表的な方法である。これがいまだに使われているのは、リード部品との混載が避けられないためである。

6. む す び

実装に関して言えることは、実装というものはいろいろの分野の協力が必要だということである。それは、個々の分野の独自の努力進歩と相互の総合的協力が必要である。実装技術は、めざましい進歩をとげているが、分野によっては、まだまだ遅れている所もある。今後の発展を期待するところである。

参 考 文 献

- (1) 本多, 電子材料, 9 (1985), 22.
- (2) 本多, 電子材料, 5 (1987), 29.
- (3) 宮代, 電子材料, 9 (1987), 22.
- (4) 坂本, 電子材料, 9 (1987), 40.
- (5) 須藤・ほか2名, 電子材料, 9 (1988), 65.
- (6) 日本プリント回路工業会, 表面実装技術(SMT)の動向調査報告書(1988).

(原稿受付 1989年1月24日)