216 電子システムの熱レイアウト設計における解析手法と最適化手法の融合

Fusion of Analysis and Optimum Method
at Thermal Layout Design of Electronics System

○ 正 岩田 剛治・大阪大学

林 真太郎・大阪大学

Yoshiharu Iwata, Osaka University, Yamadaoka 2-1, Suita, Osaka

Shintaro Hayashi, Osaka University, Yamadaoka 2-1, Suita, Osaka

佐藤 了平・大阪大学

藤本 公三・大阪大学

Ryohei Satoh, Osaka University, Yamadaoka 2-1, Suita, Osaka

Kozo Fujimoto, Osaka University, Yamadaoka 2-1, Suita, Osaka

Key Words: *Boundary Condition Independent, First Order Analysis, First Order Design, Thermal Analysis, Electronics Circuit Board, Integration Analysis and Optimization*

論文要旨

Until now, the analysis method and the optimization method, which were used in design, were evolving independently. However, when designed combining them, coexistence of time and precision was difficult. Then, we aimed at constructing the high-speed first order design method by the modularizing model and integration of first order analysis and optimization method based on boundary conditions between modules as the dynamic behavior of the design object. It designed using the thermal layout problem (all 16 parameters, design space about 6×10^{24}) of four device modules as a virtual design object. As a result, for 600s, the design time could search about 2×10^7 counts of evaluation for the proper solution, and enabled the very high-speed first order design.

1. 結論

これまで、設計において使用される解析手法と最適化手法は独立に進化してきている。しかし、それらを組み合わせ設計を行うと、時間と精度の両立が難しかった。そのため、これまで、初期解析（ファースト・オーダー・アナリシス以下 FOA）の研究が進められている⁽¹⁾⁽²⁾。しかし、これらの研究はモデルを構成要素で分割等を行い、簡単な解析手法を構築し、それと最適化手法を組み合わせる事で進められてきた⁽³⁾⁽⁴⁾。しかし、この場合、レイアウト設計等の対象の設計変数が多く、その選択肢も多い組み合わせ最適化問題となると非常に多数の解析が必要なため、やはり時間がかかってしまうという問題がある。そこで我々は、設計対象の解析モデルを線形で近似できる対象に対して、非常に高速に近似解を得る初期設計（ファースト・オーダー・デザイン以下 FOD）を詳細な設計の前段として構築することを提案する。

そこで、我々は従来の設計変数として用いられてきた設計対象の静的な属性値に、設計対象の解析結果としての動的挙動を追加する手法を提案する。そして、設計対象をその構成要素でモジュール化した時に、そのモジュール界面での解析結果としての動的挙動をモジュール間境界条件として用いる。そして、モジュール間境界条件に基づく解探索手順の構築と FOA の構築による FOD を提案し、電子回路基板の熱レイアウト設計の FOD に用いて、その効果を検討する。

2. モジュール間境界条件に基づくモジュールモデルの構築

システムの設計において、その従来の汎用の最適化手法ですべての静的属性値を同時に設計変数として扱うと、設計パラメータが増大し、設計空間の次元が増大する。このことから最適化の所用時間は増大し、解の収束性も悪化するという問題が生じる。そこで、設計のモジュールへの分割及び、設計の階層化が検討されている。しかし、評価手法である FOA

と協調する設計のモジュール化、階層化の研究は見られない。

そこで、本報告ではモジュール間境界条件に着目した FOA⁽⁵⁾と、モジュール間境界条件を最適化の変数に加えて最適化過程での FOA の高速化による階層化設計手法の検討を、電子回路基板の熱レイアウト設計の FOD を例題に行う。

回路基板に LSI を搭載したシステムのレイアウト設計を行おうとすると、LSI の実装部を単純な 2 抵抗モデルで置いた場合、1 つの LSI 毎に設計変数が 4 個になる。回路基板に LSI が 4 個搭載された場合では、設計変数が 16 個にもなる。この時の解の組み合わせは 6×10^{24} となり、その探索空間は広大な領域となる。そのため、従来の設計手法では規則性のある配置等の制約条件のある対象か、精度の非常に悪い評価を用いる手法でレイアウト設計が行われてきた。これに対して、配置等に物理的な制限以外を加えない、高速解析手法とそれに連係した設計手法を構築する。

そこで図 1 に示すように、設計対象システムをデバイスモジュール（LSI とその接合部を含む）と、基板モジュールに分割して独立での解析・設計ができるモデル化を行った。そして、デバイスモジュールは、等価熱抵抗モデル⁽⁶⁾でモデル化しボードへの接続（熱抵抗 R_{jb} ）、チップ（発熱量 Q_d ）、冷却構造への接続（熱抵抗 R_{ja} ）、および冷却構造（熱抵抗 R_a ）から成る。また、モジュール間での境界条件はデバイスモジュールからボードへの熱流（ H_{fb} ）およびデバイスモジュールの位置（または基板モジュールの温度（ $T_b + T_{bs} + T_a$ ））である。また、解析結果を表す温度としては 3 つある。 T_b は異なるデバイスモジュールからの熱流によりデバイスモジュール直下の基板温度上昇である。 T_{bs} はデバイスモジュール自体からの熱流によるデバイスモジュール直下の基板温度上昇である。 T_d はチップの温度である。最後に、 T_a は解析の初期温度でもある環境温度である。

Fig.1 Modularized model for design and analysis.

Fig. 2 Analysis method of Modularized model.

3. モジュール間境界条件に基づくモジュール解析手法

本研究では解析対象を動的挙動が線形近似できるものに絞ったことで、各モジュールによる相互作用が起こるモジュールでの解析において、各モジュールからの影響を個別に解析し、重ね合わせを用いて解析結果を統合する FOA 手法を構築した。

これにより、モジュール内解析のモジュール間境界条件により独立で解析できるようにするだけでなく、モジュール間の相互作用も独立に解析できるようにし、モジュールの独立性をさらに高め、以後の報告に詳述する設計時の解探索の効率化を図れる解析手法を提案する。

電子回路基板の熱解析を例にとると、図1に示すようにデバイスモジュールは基板モジュールからしか影響を受けないため、モジュール間境界条件を決めれば回路が閉ループとなり、キルヒホッフの法則により解析が可能である。

一方、基板モジュールは複数のデバイスモジュールから影響を受けるために、その相互作用を解析する必要がある。そこで、上記のフレームワークを適用してみると、図2の中で示されるように、基板温度上昇分布(T)は、すべてのデバイスモジュールの基板温度上昇分布(T_m)を式(1)に示されるように統合して解析される。

$$T(x, y, z) = T_1(HFb_1, x_{11}, y_{11}, x_{12}, y_{12}, z_1) + T_2(HFb_2, x_{21}, y_{21}, x_{22}, y_{22}, z_2) + T_3(HFb_3, x_{31}, y_{31}, x_{32}, y_{32}, z_3) + \dots \quad (1)$$

$T_m(HFbm, x_{m1}, y_{m1}, x_{m2}, y_{m2}, z_m)$: (デバイスモジュール m での基板上温度上昇分布; m : デバイスモジュール番号, $x_{m1}, y_{m1}, x_{m2}, y_{m2}$: デバイスモジュール番号 m の位置およびサイズ)

これを個別のモジュールベースで表現すると、基板温度上昇分布(T)は、当該デバイスモジュールの熱流によりデバイスモジュール下の基板の温度上昇(T_{bs})、他のデバイスモジュールの熱流によりデバイスモジュール下の基板の温度上昇(T_b)、環境温度(T_a)の和としてとらえられる。

この場合、モジュール毎にあらゆる境界条件を想定した基本解析データベースをオフラインで構築しておけば、解析速度は飛躍的に高速化できる。線形な現象であれば、境界条件のうち他のモジュールからの作用量の影響量の変化は線形予測できるので、特定パターンの作用量を解析しておけばよいが、他のモジュールの場所の変化による影響量の変化は線形予測はできないので、はそのすべての場所について解析を行うことになる。

これを電子回路基板の熱解析を例にとると、デバイスのサイズおよび配置ステップの最小単位領域に単位熱源を入れた解析を、基板上のすべての領域に対して解析を行って、基本解析データベースを構築する事になる。しかし、この場合このデータベースはデバイスが1つしか存在していないため、他のデバイスが存在による空冷効果が無視されているので、他のデバイスが存在しているところの温度に応じた熱流を加えることにより補正を行う。これは各デバイスから基板に流れる熱流の変更なので、解析速度は維持できる。

Fig. 3 Analysis flow chart of modularized method.

Fig. 4 Analysis results of chip temperatures.

Fig. 5 Classification design structure.

Fig. 6 Illustration of the effect of the changing a boundary condition of the heat flow rate from device module to board module (HFb).

各モジュール解析が可能となったので、各モジュール間境界条件の決定は、あるモジュールから、接続関係にある別のモジュールに対して行われる作用と、別のモジュールから帰ってくる応答が全モジュールで整合がとれるように図3に示すアルゴリズムで調整することで行う。これにより、図4に示す様に例題を用いて FEM と同じ解析を実行したところほぼ同様の解析結果が高速(約 1ms)で得られた。

4. モジュール間境界条件に基づく階層化設計

前章で構築した解析手法を用いた、電子回路基板の熱レイアウト設計の FOD において、システムの静的な属性値である設計パラメータを最適化するのではなく、システムの動的な挙動をパラメータとして含む、図5に示すような階層化

された設計解探索を提案する。ここでは、設計は3つの階層に分割されている。

1つ目の階層では表1に示す設計変数であるデバイスモジュールを選択し、それに対する2つ目の階層からの返値である最適なモジュール間境界条件の温度分布解析結果を基に最適なレイアウトを探索している。

2つ目の階層は1つ目の階層で選択されたデバイスモジュールにおいて、表1に示すモジュール間境界条件であるデバイスモジュールの配置と、デバイスモジュールから基板モジュールへ流れる熱流(HFb)を変更して、最後の階層からの返値である最適なデバイスモジュールの温度分布解析結果を基に最適なモジュール間境界条件を探索している。この時の設計変更による温度分布変化は、1, 3階層目が決定され

Fig. 7 Illustration of the effect of the changing boundary condition of device module position.

Fig.8 Design target model for verification of design method.

ればそれぞれ図6, 7で示されるようなモジュール間境界条件の変更による温度分布影響を考えればよく, これは, 熱伝導の線形性を利用した高速解析の結果を利用することにより解析結果を利用することにより温度分布の簡単な操作により収束計算なく解析が可能である。これは, この階層で解析において収束計算により算出していたモジュール間境界条件が解析前に決定されることにより, 図3で示す収束計算に必要なループが要らなくなるからである。

最後の階層は選択されたデバイスモジュールとそのモジュール間境界条件を前提において, デバイスモジュール内の2つの熱抵抗値($Ra+Rja$, Rjb)を変更して, チップ温度解析結果を基に最適なデバイスモジュールの探索を行っている。

この設計手法では, 一番外側の階層であるデバイスモジュールレイアウト設計の階層だけは他の階層と最適解の探索手法が異なる。この階層では配置を変更するデバイスモジュールをシステムの評価関数から適切に選択し, 最適な配置に変更する。この時, 設計前の評価値より良い値が出力されたときは設計値に更新し, そのデバイスモジュールに対してのみ最適な設計値であるとし, 評価値が改善しないときは設計を更新せず, そのデバイスモジュールに対しても最適な設計値であるとする。また, 設計が改善されたときはそのデバイスモジュールだけに最適な状態であるとする。これを繰り返していき, 最終的にすべてのデバイスモジュールにおいて最適な配置だと判断された時点での設計値を設計解として出力する。算出された設計解がすべてのデバイスにとって最適解であるという判断は, 設計過程において, 各デバイスモジュールの最適化フラグを保管する, 最適化管理テーブルを用いて行う。それ以外の階層は設計パラメータを変えたときの温度分布解析により応答値を得ることによって評価値の最適化を行っている。それ以外の階層は設計パラメータを変えたときの温度分布解析により応答値を得ることによって最適化を行っている。

Table 1 Constraint of the design parameters at each class.

Design class	Constraint of the design parameter
Device module layout	Device module position: x_i, y_i $5\text{mm} < x_i < 45\text{mm}$, $5\text{mm} < y_i < 45\text{mm}$ $ x_i - x_j > 5\text{mm}$, $ y_i - y_j > 5\text{mm}$ <i>(i, j): Device module number)</i>
Device module design	Thermal resistances of the connection with cooling structure and cooling structure: $Ra+Rja$ Thermal resistance of connection with a board: Rjb $10\text{ K/W} < Ra+Rja < 50\text{ K/W}$ $0.5\text{ K/W} < Rjb < 20\text{ K/W}$

5. モジュール間境界条件に基づく階層化設計手法の検証

これまでの結果をまとめて, 実際に設計システムを構築し, 仮想の設計対象を用いてそのレイアウト設計解の品質, 設計時間について検討を行う。

図8に示すような検証モデルを想定した。基板としては50mm角のガラスエポキシ基板を用いて, 4個の10mm角のSiチップを実装し, その上の冷却構造物で冷却した。この時, 基板への実装部は熱抵抗として取り扱い, 冷却構造物の能力も同様に熱抵抗として取り扱った。各Siチップの発熱量は図8に示すように, 1つを3W, 2つを2W, 1つを1Wとした。また, 初期配置は基板の一角に一塊にして配置した。

次に, 設計時の制約条件としては表1に示すように, 基板への実装部の熱抵抗(Rjb)の取り得る範囲, 冷却構造物への接続部の熱抵抗と冷却構造物の熱抵抗($Ra+Rja$)の取り得る範囲, デバイスモジュールが基板上で干渉しない範囲, デバイスモジュールが基板内に配置できる範囲とした。

次に, 設計変数であるデバイスモジュールの実装位置は基板上の座標の原点から3mm刻みで基板からはみ出ない範囲の離散値で変更し, 熱抵抗は各設計階層で取り得る範囲を100等分した離散値を用いた。

次に, 最適化の評価関数は, 設計解の妥当性を考慮しやすい対象として, 各デバイスモジュールでのチップの温度上昇の総和を用い, これを最小にするようにした。それに伴い, 移動するデバイスモジュールの選択は, 現状での設計値に対して最適であると判定していないデバイスモジュールの中から最もチップ温度の高いデバイスモジュールを選択して設計を行った。

最後に, 最適化は, 解析の高速性と, 階層化による各階層での選択肢の減少という特性を生かして, 総当たりで行った。また, 設計は, ①熱解析・モジュール内およびデバイスモジュールから基板への熱流の探索を行うプログラム, ②導出された設計解が前のステップの解に対して変更されている

Fig.9 Layout and temperature distribution change through the design process.

かどうかをチェックするプログラム、③設計の最適化を管理するプログラムからなる。そのため、設計システムを構成する各要素プログラム間を自動実行させるためにエンジニアスジャパン社の iSIGHT Ver.8.0 を用いてスクリプトを組み設計の自動化を行った。

この時の温度分布の変化していく過程と最終解を示したのが図9である。図9の(a)は初期配置の解析結果である。(b)ではデバイスモジュール A が移動している。初期配置より温度を低くできる右上の空間に移動すると考えられるが、それらの空間に移動すると、他のデバイスモジュールでのモジュール間境界条件が維持できなくなるため、あまり移動できない。(c)ではデバイスモジュール B が移動し、(d)ではデバイスモジュール A の移動可能領域がデバイスモジュール B の移動により広がった結果、デバイスモジュール A がより大きく移動している。(e)ではデバイスモジュール C が移動し、大きな移動が終了し、おおよその配置ができあがってきている。そして、これ以降では各デバイスモジュールから基板への熱流の調整が行われ、7 ステップ名工では最終的な微調整を行い、設計結果である(f)が導出され、その解が全デバイスモジュールにとって最適であるとの確認を最後の3ステップをかけて行っている。

また、図10は本ケーススタディでの設計の収束過程での評価関数の変化を表したものである。この図に示すように、最後は全デバイスモジュールにとって最適になるため、同じ評価関数の値が4回連続して、設計が収束している。

この仮想対象以外にも検証を行ったが、何れも配置及び温度とも妥当な結果が出ており、設計の初期解としては十分な品質が出ていると考えられる。

Fig.10 Performance index through the thermal layout design.

また、設計に必要な時間はこの場合で約 600s と非常に高速に解の導出ができており、非常に高速であり、ファーストオーダーデザインとして有効な手法であるといえる。また、設計解は同じであるが、iSIGHT で開発したスクリプトを別途 Ruby スクリプトで構築することで、250s 程度まで高速化できた。また、汎用性を持たせるために、目的関数等を与える部分を dll 化した場合は逆に、400s 程度まで dll 呼び出しのオーバーヘッドで速度が低下し、汎用性と高速化のバランス

をどの辺でとるかは、今後の設計・解析の高精度化の研究とも絡んだ課題である。

それと、本手法は基板上のデバイスレイアウトには欠かせない回路レイアウトとの協調設計を念頭に置いて開発されているので、回路レイアウト設計との協調設計システムの構築を行う予定である。

6. 結論

システムの動的挙動であるモジュール間境界条件に基づく電子システムの熱レイアウト設計の初期設計手法の構築に関して以下の結論を得た。

- 1) 設計変数として、システムの動的挙動であるモジュール間境界条件を用いる事により設計を階層化でき、モジュール間境界条件に基づく解析手法および最適化過程での解析の高速が技術と効率的に連係できる事を明らかにした。
- 2) また、モジュール間境界条件設計以下の階層の設計において、動的に変化する設計変数の変更可能領域の導出を設計の順序をつけることにより可能にした。電子システムの熱レイアウト設計の場合は、最初に、変更可能領域が変化しないデバイス位置 ($T_{bs}+T_b+T_a$) の設計を行う。次に、デバイスモジュールから基板モジュールに流れる熱流 (HF_b) の設計を次の層で行う。最後に、最終層でデバイスモジュール内設計最適化を行う。このように順次前の階層の設計からくる制約条件を基に動的に変化する設計変数の変更可能領域を算出する事によって各階層での設計が可能になった。
- 3) 電子システムの熱レイアウト設計での初期設計(FOD)を例題にして検証を行い、デバイスモジュールを1つずつその時々最適配置に移動させる事を繰り返す。そして、最終的に全デバイスにとって最適な配置になった時の解を適正解とする設計手法を構築した。

その結果、本設計手法を適用すれば、全組み合わせ約 6×10^{24} の設計空間 (50mm 角の基板に 10mm 角のデバイスモジュールが 4 個存在、全体で 16 パラメータ) から、約 2×10^7 回の解析を行うことで、約 600s で適正解を導出できることを明らかにし、初期設計の解としては十分な品質が出る事を明らかにした。

参考文献

- (1) Yoshimura, Masataka, Nishiwaki, Shinji, Izui, Kazuhiro, A concurrent design method for multiple cross-sectional automotive body frames involving discrete and continuous design variables, Proceedings of the ASME Design Engineering Technical Conference, Vol. 2 B (2003), pp.785-793
- (2) Takezawa, Akihiro, Nishiwaki, Shinji, Izui, Kazuhiro, Yoshimura, Masataka, Structural Topology Optimization Using Function-oriented Elements Based on the Concept of First Order Analysis, Proceedings of the ASME Design Engineering Technical Conference, Vol. 2 A (2003), pp.673-682
- (3) Kojima, Yoshio, Nishigaki, Hidekazu, Sugiura, Hideki, Nishiwaki, Shinji, Kikuchi, Noboru, First Order Analysis for Automotive Designs, ASME, Dynamic Systems and Control Division, Vol. 70 (2002), pp.179-187
- (4) Cetin, Onur L., Saitou, Kazuhiro, Nishigaki, Hidekazu, Nishiwaki, Shinji, Amago, Tatsuyuki, Kikuchi, Noboru, Modular structural component design using the first order analysis and decomposition-based assembly synthesis, ASME, Design Engineering Division, Vol. 112 (2001), pp.131-140
- (5) Y. IWATA, et al, "Conceptual Simulator for Thermal Design of High Speed and High Density Electronics System", Proceedings of 2002 International Conference on Electronics Packaging, pp.301-306
- (6) Refai-Ahmed, G, Karimanal, K.V., Compact conduction model of ball grid array packages, IEEE Transactions on Components and Packaging Technologies, Vol. 26-3 (2003), pp.610-615