最近のバリスタの進歩

小笠原 正*

Recent Advances of Varistor

Tadashi OGASAWARA[†]

Varistors have a lot of excellent characteristics, such as symmetry of electric polarity in the V-I curve, good surge absorption and excellent non-linearity. Therefore, varistors are widely used in electrical and electronic equipments for protection device from surge, noise or ESD (electro static discharge). In particular, multilayer chip varistors are now used extensively for IC using most of portable equipments such as mobile phone and tablet PC. Multilayer chip varistors are made by stacked zinc oxide varistor material and internal electrode material such as Pd. Since the equivalent circuit of the multilayer chip varistor is formed in parallel with the capacitor and two Zener diodes, it is possible to reduce the number of electronic parts. The minimum shape is mass-produced to 0402 type, which contributes to the miniaturization of the circuit board of the electronic equipments. Near future development of low-capacitance type and low-voltage type and impedance matching element would be achieved, and the applications would further expand.

Key Words : ZnO, Varistor, Multilayer chip varistor, Nonlinear coefficient, ESD

1. はじめに

セラミック半導体は、センサ、ヒータ、サーミスタ、バリスタなどの広い分野で実用化されている。その中でも酸化亜鉛バリスタは、1968年に松岡ら¹⁾によって開発された優れた電圧非直線性とサージ吸収性能^{2), 3)}を持つ、日本のオリジナル発明品である。バリスタが使用される機器は今では重電用避雷器から携帯電話にいたるまで幅広く広がっており、電気・電子機器の保護や誤動作の防止に不可欠な部品となっている。

特に、最近多く使われるようになった携帯電話やモバイル機器は、駆動電圧の低電圧化や高速動作のICの使用によって、サージや静電気等のノイズに対して脆弱化している。その結果、人体からの静電気によって機器が誤動作をしたり、ICが損傷したりといった問題を引き起こすので、保護対策が重要になっている^{4), 5)}。本稿では酸化亜鉛バリスタの概要について述べ、さらに最近多く使われている積層チップバリスタについて述べる。

2. バリスタとは

バリスタ (Varistor) はFigure 1に示すような電流-電圧特性を示す。印加電圧がある一定の電圧を超えると電気抵抗が大きく減少し、電流が流れ始める。一般にバリスタの電圧-電流特性は次の近似式で表される。

$$I = \left(\frac{V}{A} \right)^{\alpha} \dots \dots \dots (1)$$

Figure 1 Current-voltage characteristics of varistor.

ここで、 I は電流、 V は印加電圧、 A と α は定数である。 α は電圧-電流特性における非直線性を表す係数であり、非直線係数と呼ばれている。 α が大きいほど非直線性が優れていることを示している。 A は便宜的に、電流が1mA流れる時の電圧 V_{1mA} (V)が使用される。 V_{1mA} はバリスタ電圧と呼ばれ、実質的には電流が急増するブレイクダウン電圧を示している。非直線係数 α は試料に流れる電流が1mAと10mAの時の電圧 V_{1mA} と V_{10mA} とから次式で求められる。

$$\alpha = \frac{1}{\log \left(\frac{V_{10mA}}{V_{1mA}} \right)} \dots \dots \dots (2)$$

バリスタは、保護される素子と並列に回路に配置され、印加または誘起されるノイズやサージ(電気量の大きいノイズ)を吸収して端子間の電圧を回路の耐電圧レベル以下に抑えるために用いられる。

バリスタはセラミックスの粒界を積極的に利用したデバイスであり、使用する素材によってTable 1に示すようにいろいろな種類がある。歴史的に見ると、シリコン(Si)バリスタや炭化珪素(SiC)バリスタなどが使われたこともあったが、サー

平成25年3月26日受付; 平成25年5月14日受理

* 秋田県立大学 地域連携・研究推進センター

〒015-0055 秋田県由利本荘市土谷海老ノ口84-4

[†] Science and Technology Integration Center Akita Prefectural University, 84-4, Tsuchiya-aza-ebino-kuchi, Yurihonjo, 015-0055, Akita, Japan

E-mail: oga3@akita-pu.ac.jp

Table 1 Properties of various varistors

Material	Varistor voltage [V]	Nonlinear coefficient [-]
Cu ₂ O	0.3	5~10
Si	0.6~1.0	10~20
Se	1.0	5~10
SiC	8~20,000	3~7
SrTiO ₃	2~100	2~10
ZnO	4~20,000	20~60
Zener diode	5~200	100

Table 2 Composition of ZnO-varistor
mol%

ZnO	Pr ₆ O ₁₁	Co ₃ O ₄	Cr ₂ O ₃	Al ₂ O ₃
97.995	0.5	1.0	0.5	0.005

ジを吸収するバリスタとして、非直線係数が大きい酸化亜鉛 (ZnO) 系バリスタが広く使われている。酸化亜鉛バリスタの材料としては、主原料の酸化亜鉛をベースとして、酸化ビスマス、酸化アンチモンを主添加物としたビスマス系¹⁾と、希土類の酸化プラセオジム、酸化コバルトを主添加物としたプラセオジム系⁶⁾の2種類がある。これにさらに複数の他の添加物を加えて成形・焼成したセラミックスがバリスタであり、非直線性が大きく優れたノイズ吸収特性を示す。Table 2 にプラセオジム系の代表的な組成を示す。

ところで、Table 1 を見ると、酸化亜鉛バリスタは他の種類のバリスタに比べて非直線性が優れており、ツェナーダイオードに近い値となっている。ではなぜ酸化亜鉛バリスタはこのような大きい非直線性を示すのであろうか。酸化亜鉛バリスタの電圧非直線性の発現機構については、いろいろな研究^{7)~9)}がなされているが、現在では電圧非直線性の発現は粒界に形成された界面準位に形成される二重ショットキー障壁によるとする説が広く支持されている⁷⁾。

しかし、このような急峻な電圧非直線性は、単純な二重ショットキー障壁だけでは説明がつかない。これについては、ホール誘起ブレイクダウン説が有力である¹⁰⁾。その説によると、高電圧によって励起された熱電子が障壁を越えた後、過剰のエネルギーを価電子帯の電子に与えて伝導帯まで落ちる。この時エネルギーを得た価電子帯の電子は伝導帯まで上がるが、その電子が抜けてできたホールは界面準位の電子によって粒界まで引き寄せられて粒界に蓄積し、その電子と再結合する。これによりショットキー障壁の高さが下がり、より多くの電子が障壁を越え、さらに障壁を下げる。この繰り返しが一挙に起き、急峻な電圧非直線性が現れるとされている。

次章以降では最近携帯電話などの携帯機器の静電気対策部品として多く使用されている積層タイプチップバリスタ^{11), 12)} (以下チップバリスタと称す) について解説する。

3. チップバリスタ

3.1 チップバリスタの用途

iPhoneやGalaxyなどのスマートフォンやデジカメ、iPadなどのタブレット型PCなどの携帯機器が日常品として使用さ

れるようになってきている。これらの携帯機器は小型化・高機能化をはかるために、使用されているICの駆動電圧は低くなっており、動作速度は加速度的に速くなっている。このようなICは人体などから発生する静電気のような微弱なノイズによっても誤動作を起こしたり、破壊をすることがあり、それに対する対策が必要不可欠となっている。

静電気対策用の保護素子として、従来はツェナーダイオードが使用されていたが、近年チップバリスタはいろいろな形状が取り揃えられるようになり、基板にはんだ付けできるという取扱い易さなどから静電気対策部品の標準部品になりつつある。

チップバリスタは、静電気などの有害な外来ノイズが無い場合はコンデンサのような特性を示すが、静電気などが入ってきた場合にはナノ秒のオーダーで瞬時に応答し、携帯機器の接地部に異常電流をバイパスして、携帯機器中のICを誤動作や破壊から守っている。

3.2 チップバリスタの構造

Figure 2 にチップバリスタの構造を模式的に示している。基本的に積層コンデンサと同様で、バリスタ機能を有する酸化亜鉛セラミックスと内部電極の金属とが交互に積層され、両端に端子電極が形成された構造になっている。チップバリスタでもバリスタの素材としては、前述のビスマス系とプラセオジム系の2種類に大別される。

酸化亜鉛バリスタは高温で酸化雰囲気中での焼成が必要なことから、内部電極としては白金、パラジウム、銀あるいはそれらの混合物や化合物を用いる必要がある。しかしパラジウムを使用する場合、プラセオジム系の素材ではなんら問題が無いが、ビスマス系の材料では焼成する際の高温でビスマスとパラジウムが反応するため使用できない。白金を使用するか、材料の焼成温度を低下させて銀を使用することなどが考えられる。

Figure 2 Structure of chip varistor.

Figure 3 Equivalent function of chip varistor.

端子電極は内部電極と確実に接続させるために銀の下地電極を用い、その上に半田耐熱性を確保するためのニッケル層と半田付け性を確保するためのスズ層の3層構造にすることが多い。

チップバリスタの等価回路をFigure 3に示すが、基本的に静電容量付き双方向2素子入りツェナーダイオードと考えると分かりやすい。チップバリスタは、積層コンデンサと同様の構造をしているので、電極面積や積層数を変えることによって静電容量を任意に選ぶことができる。従って、回路の構成によってはコンデンサの代わりに積層バリスタを用いて、回路の保護機能を併せ持った回路構成が可能となる。

3.3 チップバリスタの製造方法

チップバリスタの製造方法を紹介する。基本組成は、酸化亜鉛 (ZnO)、酸化プラセオジウム (Pr_6O_{11})、酸化コバルト (Co_3O_4)、アルミナ (Al_2O_3) などである。これらの粉末を所望の組成になるように各原料粉末を秤量し、アセトンなどの有機溶剤、エステル系溶剤、可塑剤、アクリル系バインダーを適量添加し、ペースト状の塗料を作製する。不純物の混入を避けるため、樹脂製のボールミルを用い、混合用のメディアにはジルコニアボールを使用して混合する。

この塗料を使用してドクターブレード法などにより所望の厚さの連続したグリーンシートをPETフィルム上などに成形する。シートの厚みを厚くするとバリスタ電圧は高くなり、静電容量は小さくなる。逆に薄くするとバリスタ電圧は低くなり、静電容量は大きくなる。

出来上がったシートの上に、パラジウムなどの内部電極を印刷法などで形成する。このシートを積み重ねて積層する。積み重ねたシートを70℃程度の温度に加熱、加圧して接着させる。

その後、所望の形状にナイフ刃などで切断し、得られたグリーンチップを300℃程度に加熱してバインダーを除去した後、所望のバリスタ電圧となるように焼成温度を調整した焼成炉で焼成する。

このようにして得られたセラミックチップの両端に銀ペーストを塗布・乾燥した後、焼き付けをして下地電極を形成する。さらに電気メッキ法によって一層目にニッケル膜を、二層目にスズ膜を形成して端子電極とする。

3.4 チップバリスタの電気特性

バリスタ電圧や非直線性 α などの電気特性はバリスタテスト (例えばKEITHLEY 237) を用いて測定する。一般的に電流が1mA流れるときの電圧をバリスタ電圧と呼ぶ。電流が1mA流れる時の電圧と10mA流れる時の電圧を用いて、非直線係数 α は式(2)を用いて求める。市販されているチップバリスタのバリスタ電圧は7~40V程度であり、非直線係数は10~25程度である。

チップバリスタの主たる用途は、ICの静電気からの保護である。静電気試験については、代表的な規格としてIEC61000-4-2が適用される。この規格では静電気の放電波形のピーク電流値、立ち上がり時間などの特性が定められている。

チップバリスタによる静電気の電圧制限特性を評価するための測定系をFigure 4に示す。ESDシミュレータによって所望の大きさの静電気を発生させ、被測定物に静電気放電ガンの先端を接触あるいは近づけた後、放電させる。ESDシミュレー

Figure 4 Measuring method of Electro Static Discharge.

Figure 5 Effect of chip varistor. (a) without chip varistor, (b) with chip varistor.

タの回路構成は、基本的に高電圧直流電源とコンデンサ、および放電を制御するための放電抵抗からなっている。

静電気の波形はナノ秒程度と高速なので、帯域の十分広いオシロスコープを用いて端子間の電圧を測定する必要がある。この図では測定端を50Ωとしてあるが、被保護素子のインピーダンスに合わせて測定する。

Figure 5に高電圧直流電源の電圧を2kVとし、放電したときの典型的なチップバリスタによる端子間電圧の抑制の様子を示す。静電気対策部品が無い場合、Figure 5(a)のような電圧が直接機器の回路中のICに加わるため、機器の誤動作や破壊に繋がる可能性があるが、チップバリスタで対策した場合にはFigure 5(b)のように静電気ノイズを非常に低い電圧に抑制することができるので機器やICの保護が可能となる。

前段で述べたように、バリスタの等価回路はFigure 3に示すように、静電容量付き双方向2素子入りツェナーダイオードで表される。これは、チップバリスタがツェナーダイオードと同様に素子の持つ抵抗成分が印加する電圧や電流によって非線形変化する抵抗成分を有していることを示している。

つまり、機器の回路電圧や伝送信号のような低電圧の印加に対しては高抵抗を示し、静電気などの高いピークを有するノイズを印加した際には低抵抗を示すのである。このため、機器に静電気が侵入した場合にはチップバリスタの抵抗が瞬時に低抵抗となり、放電電流をチップバリスタ素子側に流し込むことで静電気を吸収できる。チップバリスタを効果的に使用することで、機器やICを保護する対策が可能となる。

4. 終わりに

バリスタは電気・電子機器の保護や誤動作防止素子として幅広く使われてきた。最近は積層コンデンサなどの積層チップ部

品を作成する技術を応用したチップバリスタの使用が増加している。チップバリスタは、静電容量付き双方向2素子入りツェナーダイオードと考えられ、取扱い易く、さらにESD対策の部品点数を低減することができる。

素子形状は現在最小で0402形状まで製造されており、特に携帯機器の小型化・高機能化に益々貢献するものと予想される。製造コストも半導体と比較すると安価にできると考えられ、今後も使用が増加していくと考えられる。

さらにインピーダンスマッチング素子やバリスタ電圧の低電圧タイプや低静電容量タイプが開発されることで、用途が拡大していくであろう。

参考文献

- [1] M. Matsuoka. *Jpn.J.Appl.Phys.*, Vol.10, pp.736-746 (1971)
- [2] T. K. Gupta. *J.Am.Ceram.Soc.*, Vol.73, pp.1817-1840 (1990)
- [3] L. M. Levinson and H. R. Philipp. *Am.Ceram.Soc.Bull.*, Vol.65, pp.639-646 (1986)
- [4] 松岡 大, 山崎利行, 小笠原正. 機能材料, 第25巻, 第5号, pp.22-27 (2005)
- [5] 松岡 大, 石井浩一, 寺田祐二. マテリアルインテグレーション, 第21巻, 第3号, pp.19-23 (2008)
- [6] K. Mukae, K. Tsuda and I. Nagasawa. *Jpn.J.Appl.Phys.*, Vol.16, pp.1361-1368 (1977)
- [7] D. R. Clarke. *J.Am.Ceram.Soc.*, Vol.82, pp.485-502 (1999)
- [8] L. M. Levinson and H. R. Philipp. *Appl.Phys.Lett.*, Vol.24, pp.75-76 (1974)
- [9] D. R. Clarke. *J.Appl.Phys.*; Vol.49, pp.2407-2411 (1978)
- [10] G. E. Pike, S. R. Kurtz, P. L. Gourley, H. R. Philipp and Lionel M. Levinson. *J.Appl.Phys.*, Vol.57, pp.5512-5518 (1985)
- [11] N. Shohata, M. Nakanishi and K. Utsumi. *Ceram.Trans.*, Vol.80, pp.329-37 (1989)
- [12] D. Matsuoka, T. Yamazaki and T. Ogasawara. *Ceram.Trans.*, Vol.90, pp.105-114 (1998)