表面実装型パワー半導体パッケージの熱抵抗に関する考察

A Study of Thermal Resistance for Surface Mount Type Power Semiconductor Packages

正 西 剛伺 (足利大)

Koji Nishi¹

¹ Ashikaga University, 268-1 Omae-cho, Ashikaga, Tochigi 326-8558, Japan

Key Words: Thermal Resistance, Power Semiconductor, Cauer Thermal Network

1. はじめに

近年、モータにおける高い制御性及び省エネ化の要請により、さまざまな電動機器において 3 相インバータ回路を用いたモータ駆動が一般化しつつある。本研究では、数 10～数 100W クラスのモータ駆動に用いられるパワー半導体に採用されている表面実装型パッケージを対象として、放熱設計を行う上で重要なパッケージ熱抵抗の測定を実施している。既報では、Cauer 型熱回路網を用いて測定結果から熱抵抗分布を抽出した。本発表では、3 次元熱解析を用いて、測定結果から得られた熱抵抗分布について考察した結果について報告する。

2. 対象とするデバイスとテスト基板

本研究では、表面実装型パッケージの一つである DPAK パッケージを採用した N チャネル MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) を対象とする。テスト基板は $50.0 \times 50.0 \times 1.60\text{mm}$ の片面実装基板で、そのほぼ中央に MOSFET DMN3016LK3 (図中の FET) を実装している (図 1)。テスト基板は 2 種類あり、一つはドレイン端子直下のパッドサイズを最小サイズに近い $5.63 \times 5.70\text{mm}$ にした基板 (図 1 (a))、もう一つは既報のシミュレーション結果⁽¹⁾を参考に、パッドサイズを上記の 4 倍の面積にあたる $11.26 \times 11.40\text{mm}$ にした基板 (図 1 (b)) である。コネクタと電源及び測定機器を接続することでデバイスを発熱させるとともに、TSP (Temperature-Sensitive Parameter) を用いてジャンクション温度を測定した⁽²⁾。

3. 非定常熱解析

DPAK パッケージの熱解析モデルを図 2 に示す。本モデルとテスト基板モデルを組み合わせ、3 次元非定常熱解析を実施した。そして、上記の測定結果と解析結果を比較することで、測定結果から得られた熱抵抗分布について考察した。本発表では、その結果について報告する。

参考文献

- (1) 西剛伺, 第 33 回エレクトロニクス実装学会春季講演大会 (2019), 12B3-01.
- (2) 西剛伺, 三九二孝弘, 第 57 回日本伝熱シンポジウム (2020), E232.

(a) Smallest pad board (Board A). (b) Larger pad board (Board B).

Fig.1 MOSFET Test Boards.

Fig.2 DPAK Package Model.