周波数変調パルス型イメージセンサを用いたロボットのための適応ビジョンシステム

Adaptive Vision System with Pulse Frequency Modulation Image Sensor

○ 学 杉村 武昭(東北大学) 学 出口 淳(東北大学) 沈 正七(東北大学)

正 栗野 浩之(東北大学) 正 小柳 光正(東北大学)

Takeaki Sugimura

Jun Deguchi

Jeoung Chill Shim

Hiroyuki Kurino

Mitsumasa Koyanagi

*Department of Bioengineering and Robotics, Tohoku University,
01 Aza Aoba, Aramaki, Aoba-ku, Sendai 980-8579, Japan1*

Key Words : Adaptive vision, Image sensor, Pulse frequency modulation

1. はじめに

近年、ロボット技術が急速な発展を見せ、将来人間と同じ環境を共有して作業することが現実味を帯びてきた。人の生活環境のような様々な物体が散在し、複数移動物体を含むような動的環境においてロボットが周囲の環境の変化に素早く反応して活動するためには、視覚情報を高速で処理し、姿勢制御、アクチュエータへのフィードバック、誤差を補正する必要がある。そのためにはどのような照明条件にあっても適切な感度領域へ自動的に適応し、従来のビデオレート以上での視覚情報の収集と情報処理ができるビジョンシステムが求められている。^[1,2]従来、周囲の明るさに対する適応化(自動感度補正)には、レンズに取り付けられた絞りの制御、もしくはイメージセンサの蓄積時間を外部のプロセッサから制御するなどの方法が取られてきた。しかしながらシステムが複雑になる、ビデオレート以上での高速処理が困難であるなどの問題点があった。

本研究では、イメージセンサアレイと A/D 変換器、Fixed Pattern Noise 補正回路さらには適応制御回路を集積し、1チップで 1kframe/sec 以上の高速データ転送と 1frame 以内での自動感度補正が可能な高速小型ビジョンチップの開発を目標としている。

2. 周波数変調パルス型イメージセンサを用いた適応ビジョンシステムの提案

提案する適応ビジョンシステムは、輝度に応じて周波数変調パルスを出力する CMOS イメージセンサアレイ、そのパルスの計数を行い A/D 変換を行うカウンタ、画像情報を格納するフレームメモリ、カウンタの計数時間を制御して適応制御を行う適応制御回路から構成される。この適応ビジョンシステムの構成図を Fig.1 に示す。CMOS イメージセンサアレイと A/D 変換器となるカウンタ回路は同一 LSI に集積されており、適応制御回路からカウンタ期間を入力して画像情報を 8bit 256 階調のデジタル値で出力する。フレームメモリに入力された画像は適応制御回路により処理される。適応制御回路は、画像の輝度の平均値があらかじめ格納されている閾値より大きい場合はカウンタの計数時間を短くし、小さい場合は計数時間を長くしてその演算結果をイメージセンサ LSI に転送する。この制御により、周辺の輝度に対してビジョンシステムを高速に適応させることが可能である。本システムでは 3 フレームでの適応化を実現している。今回の試作ではイメージセンサアレイと A/D 変換器を 1 チップ化、適応制御回路と Fixed Pattern Noise 補正回路は FPGA に実装する 2 チップ構成とした。

3. 周波数変調パルス型イメージセンサの設計

設計した周波数変調パルス型イメージセンサは、 16×16 ピクセルの CMOS イメージセンサアレイと 8 個の 8 ビットカウンタ、制御回路から構成される。この構成を Fig.2 に示す。

CMOS イメージセンサアレイは Fig.3 に示す画素回路を 16×16 ピクセルの範囲に並べたものであり、各画素回路はフォトトランジスタに入射した光の輝度に応じてパルスを出力する。したがって、カウンタを用いてパルスの計数を行うことで、デジタルデータを出力する A/D 変換が実現される。このカウンタ回路の構成を Fig.4 に示す。計数時間はカウンタ回路に入力される制御信号により決定される。設計したイメージセンサではこのカウンタ回路を 8 個並列に動作させており、高速な読み出しが可能である。計数結果は MUX を介して 1 ピクセルずつ順にチップ外部に出力される。

設計したイメージセンサを CMOS $0.35 \mu\text{m}$ 3 層メタルテクノロジーを用いて試作した。試作したイメージセンサチップのチップ写真を Fig.5 に示す。チップ内のコア右上部が 16×16 ピクセルイメージセンサアレイであり、その下部に並列カウンタが配置されている。また、制御は左下部の制御回路で行っている。

4. 適応ビジョンシステムの実装と評価

今回、提案した適応ビジョンシステムで、実際に撮像を行いシステムの評価を行った。物体を撮像した画像とグレースケール画像の例を Fig.6 に示す。FPGA には、適応制御回路、フレームメモリ、イメージセンサ LSI とのインターフェイス回路、PC に接続されたデジタル入力ボードとのインターフェイス回路が実装されている。

実装したシステムを用いて撮像を行い、周辺の明るさに対する適応制御を行った場合の撮像可能なダイナミックレンジの変化について測定を行った。測定は、レンズを装着したイメージセンサ LSI から 250mm はなれたところに明度スケールを置き、その明度スケールを撮像することで行った。まず、スケールに入射する照明光の照度の測定を行い、次にそこから照度を変化させて、再現が可能な明度の範囲を測定した。その測定結果を Fig.7 に示す。このグラフは、再現が可能な明度の上限と下限を示したものである。比較のため、適応制御を行わずカウンタの計数時間を 32 クロックサイクルと 255 クロックサイクルに固定した場合も示した。この図より、適応制御を行った場合、適応制御を行わない場合と比較して、約 700 ルクスから 14000 ルクスまでの広いダイナミックレンジが得られることが分かり、動的にダイナミックレンジを制御する適応ビジョンシステムの有効